

1. 特性

- 可选择工作模式
- 低功耗模式
 - 7.2mW
- 高分辨率模式:
 - 12.8mW
- THD: -120dB
- CMRR: 127dB
- INL: 2ppm @G=64
- 低噪声 6nV/√Hz
- 双通道多路复用器
- 快速响应超范围检测器
- 灵活的数字滤波器:
 - Sinc+有限脉冲响应 (FIR) +无限脉冲响应 (IIR) (可选)
 - 线性或最小相位选项
- 失调误差和增益误差校准
- SYNC 输入
- 模拟电源: 5V/3.3V 或 ±2.5V/ ±1.65V
- 数字电源: 1.8V 至 5V

2. 应用

- 高端称重
- 高精度仪器

3. 概述

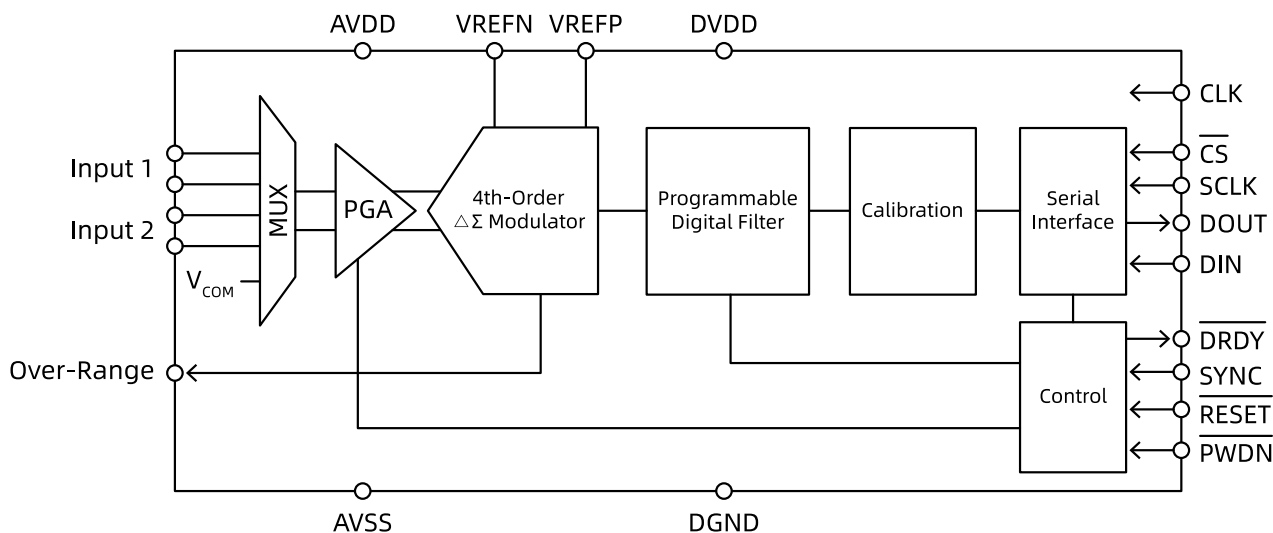
LHA9924 是一款高性能、单芯片模数转换器 (ADC)。该器件包括一个低噪声增益放大器 (Gain=64)、 Δ - Σ 调制器和数字滤波器。该 ADC 支持两种运行模式，可在功耗与分辨率之间实现最佳平衡。

双通道多路复用器可以选择外部信号测量和内部 ADC 测试信号。具有使输入电路短路来测试内部噪声的模式。PGA 具有高输入阻抗和低噪声，可与传感器直接连接。

ADC 可提供出色的低噪声和线性性能。调制器输出由片上数字滤波器进行过滤和抽取，以生成 ADC 转换结果。数字滤波器提供 250 至 64000 SPS 的数据速率。高通滤波器 (HPF) 具有可编程转角频率。片上增益和失调调节寄存器支持系统校准。同步输入控制 ADC 转换的时序。关断输入使 ADC 进入关断模式。

LHA9924 采用紧凑的 24 引线 5mm x 4mm QFN 封装，完整额定工作温度为 -40°C 至 +85°C。

4. 功能框图



目录

1. 特性	1
2. 应用	1
3. 概述	1
4. 功能框图	1
5. 版本历史	3
6. 引脚配置和功能	4
7. 规格	5
7.1. 绝对最大额定值	5
7.2. ESD 性能	5
7.3. 推荐工作条件	5
7.4. 热性能	6
7.5. 电气特性	6
7.6. 时序要求	7
7.7. 时序切换特性	7
7.8. 典型条件	8
8. 参数测量信息	9
8.1. 噪声性能	9
9. 详细说明	9
9.1. 概述	9
9.2. 功能框图	10
9.3. 功能说明	11
9.4. 设备功能模式	19
9.5. 编程	28
9.6. 寄存器映射	31
10. 应用与实现	34
10.1. 应用信息	34
10.2. 初始化设置	34
11. 封装尺寸	35
12. 采购信息	35

5. 版本历史

版本号	日期	更新内容
PreA	2022 年 8 月 19 日	初版
Rev.A	2023 年 6 月 27 日	更新部分参数
	2023 年 9 月 24 日	补充包装信息
Rev.B	2024 年 5 月 14 日	固定增益更新

6. 引脚配置和功能

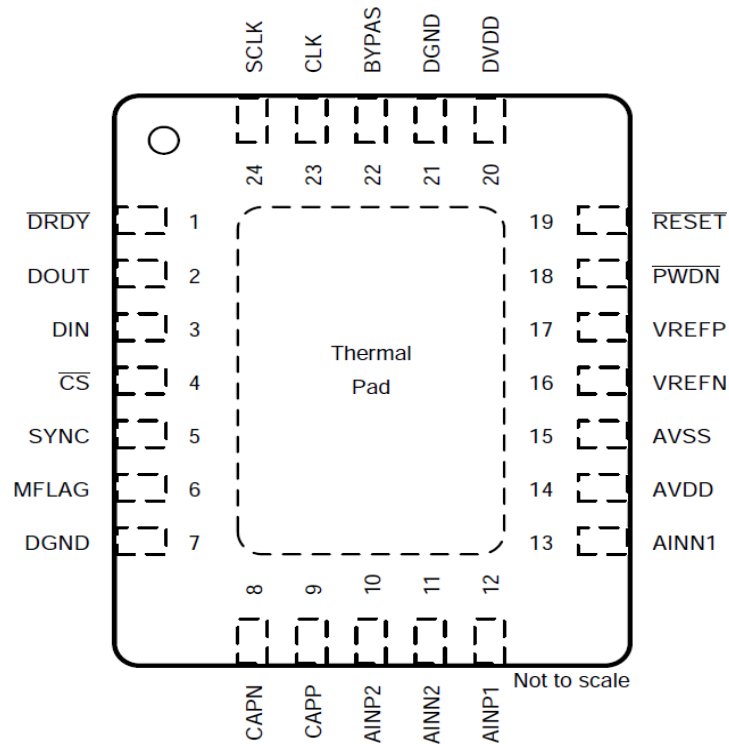


图1. 引脚分布

表1. 技术规格

引脚		输入/输出	描述
名称	编号		
AINN1	13	模拟输入	负模拟输入 1
AINN2	11	模拟输入	负模拟输入 2
AINP1	12	模拟输入	正模拟输入 1
AINP2	10	模拟输入	正模拟输入 2
AVDD	14	模拟电源	正模拟电源
AVSS	15	模拟电源	负模拟电源
BYPAS	22	模拟	1.8V稳压输出: 将 1 μ F 电容器连接到 DGND
CAPN	8	模拟	将 ≥ 100 nF (X7R) 电容器从 CAPP 连接到 CAPN (推荐CAPN外部接AVSS)
CAPP	9	模拟	将 ≥ 100 nF (X7R) 电容器从 CAPP 连接到 CAPN
CLK	23	数字输入	主时钟输入 (4.096 MHz)
$\overline{\text{CS}}$	4	数字输入	串行接口片选, 低电平有效
DGND	7	地面	数字地 (连接到数字地平面)
DGND	21	地面	数字地 (连接到数字地平面)
DIN	3	数字输入	串行接口数据输入
DOUT	2	数字输出	串行接口数据输出
$\overline{\text{DRDY}}$	1	数字输出	数据准备好指示: 低电平有效
DVDD	20	数字供应	数字电源
MFLAG	6	数字输出	ADC超范围指示: 0 = 正常, 1 = 调制器超范围
$\overline{\text{PWDN}}$	18	数字输入	掉电输入, 低电平有效
$\overline{\text{RESET}}$	19	数字输入	复位输入, 低电平有效
SCLK	24	数字输入	串行接口时钟输入
SYNC	5	数字输入	同步输入, 上升沿有效
VREFN	16	模拟输入	负参考输入
VREFP	17	模拟输入	正参考输入
Thermal pad			浮空

7. 规格

7.1. 绝对最大额定值

表2. 额定电压值

	最小值	最大值	单位
AVDD 到 AVSS	-0.3	5.5	V
AVSS 到 DGND	-2.8	0.3	V
DVDD 到 DGND	-0.3	5.5	V
模拟输入电压	AVSS - 0.3	AVDD + 0.3	V
DGND 的数字输入电压	-0.3	DVDD + 0.3	V
输入电流, 连续	-10	10	mA
工作温度	-50	125	°C
结温		150	°C
储存温度, Tstg	-60	150	°C

1、高于这些额定值的应力可能会造成永久性损坏。长时间暴露在绝对最大条件下可能会降低器件的可靠性。

7.2. ESD 性能

表3. ESD 额定值

		价值	单位
V(静电放电)	静电放电	人体模型 (HBM), 符合 JEDEC JS-001	±4000
		充电设备模型 (CDM), 符合 JEDEC JESD22-C101	±500

7.3. 推荐工作条件

表4. 工作条件

		最小	典型	最大	单位
电源					
AVSS	负模拟电源 (相对于 DGND)	-2.6		0	V
AVDD	正模拟电源 (相对于 AVSS)	AVSS + 3		AVSS + 5.25	V
DVDD	数字电源 (相对于 DGND)	1.65		5.5	V
模拟输入					
FSR	满量程输入电压范围 ($V_{IN} = (A_{INP} - A_{INN}) / 2$)		$\pm V_{REF} / PGA$		V
	校准余量 ¹			106	%FSR
A _{INP} 或 A _{INN}	绝对输入电压范围	AVSS		AVDD	V
参考电压输入					
	参考输入电压 ($V_{REF} = V_{REFP} - V_{REFN}$)	1	5	AVDD - AVSS + 0.2	V
V _{REFN}	负参考输入	AVSS - 0.1		V _{REFP} - 1	V
V _{REFP}	正参考输入	V _{REFN} + 1		AVDD + 0.1	V
数字输入					
V _{IH}	高电平输入电压	$0.8 \times DVDD$		DVDD	V
V _{IL}	低电平输入电压	DGND		$0.2 \times DVDD$	V
f _{CLK}	时钟输入	1		4.096	MHz
f _{SCLK}	串行时钟速率	f _{CLK} / 2			MHz
温度					
	规定温度	-40		85	°C

1、校准裕量是用户校准失调和增益误差后允许的最大输入电压。

7.4. 热性能

表5. 热性能

热指标		LHA9924	单位
		QFN	
		24引脚	
$R_{\theta JA}$	Junction-to-ambient thermal resistance	30.2	°C/W
$R_{\theta JC(top)}$	Junction-to-case (top) thermal resistance	27.5	°C/W
$R_{\theta JB}$	Junction-to-board thermal resistance	8.5	°C/W
ψ_{JT}	Junction-to-top characterization parameter	0.3	°C/W
ψ_{JB}	Junction-to-board characterization parameter	8.6	°C/W
$R_{\theta JC(bot)}$	Junction-to-case (bottom) thermal resistance	1.7	°C/W

7.5. 电气特性

−40°C 至 +85°C 范围内的最大和最小规格； $T_A=25^{\circ}\text{C}$ 、 $AVDD=2.5\text{V}$ 、 $AVSS=-2.5\text{V}$ 、 $f_{CLK} = 4.096\text{ MHz}$ 、 $VREFP=2.5\text{V}$ 、 $VREFN=-2.5\text{V}$ 、 $DVDD=3.3\text{V}$ 、 $PGA=64$ 、高分辨率和低功耗模式和 $f_{DATA}=1000\text{ SPS}$ （除非另有说明）。

表6. 电气特性

参数		测试条件		最小值	典型值	最大值	单位
模拟输入							
	PGA 输入电压噪声密度	低功耗模式		8		nV/√Hz	
		高分辨率模式		6			
	差分输入阻抗			1		GΩ	
	共模输入阻抗			250		MΩ	
I _{IB}	输入偏置电流			4		nA	
	互扰	f = 31.25 Hz		−135		dB	
	多路复用器开关导通电阻			30		Ω	
PGA 输出							
	绝对输出范围		AVSS + 0.2		AVDD − 0.2	V	
交流性能							
SNR	信噪比, G=64	低功耗模式		115.2		dB	
		高分辨率模式		117.6			
THD	总谐波失真	低功耗模式				dB	
		PGA = 64		−120			
		高分辨率模式					
		PGA = 64		−120		dB	
SFDR	无杂散动态范围			123		dB	
直流性能							
	精度			24		Bits	
f _{DATA}	数据速率	FIR 滤波器模式	250		4000	SPS	
		正弦滤波器模式	8000		64000		
INL	积分非线性			±1		ppm	
Offset	失调电压			±5		μV	
	校准后的失调电压			噪声级别		μV	
Offset Drift	失调电压漂移	PGA=64		1		nV / °C	
Gain Error	增益误差	PGA=64		0.1%			
	校准后的增益误差			0.0002%			
Gain Drift	增益漂移	PGA=64		±1.5		ppm/ °C	
CMR	共模抑制比	f _{CM} = 60 Hz, 1.25 Vp-p		125		dB	
PSR	电源抑制比	f _{PS} = 60 Hz, 100mmVpp	AVDD、AVSS	116		dB	
			DVDD	125			
参考电压输入							

参数		测试条件	最小值	典型值	最大值	单位
	参考输入阻抗	低功耗模式		170		kΩ
		高分辨率模式		85		
数字滤波器响应						
	通带纹波			±0.003		dB
	通带 (-0.01dB)			$0.375 \times f_{DATA}$		Hz
	带宽 (-3dB)			$0.413 \times f_{DATA}$		Hz
	高通滤波器角		0.1		10	Hz
	阻带衰减(8)			135		dB
	停止带			$0.500 \times f_{DATA}$		Hz
	群延迟	最小相位滤波器 (9)		$5 / f_{DATA}$		s
		线性相位滤波器		$31 / f_{DATA}$		
	稳定时间（延迟）	最小相位滤波器		$62 / f_{DATA}$		s
		线性相位滤波器		$62 / f_{DATA}$		
数字输入输出						
V _{OH}	逻辑高电平输出	I _{OH} = 1 mA		$0.8 \times DVDD$		V
V _{OL}	逻辑低电平输出	I _{OL} = 1 mA		$0.2 \times DVDD$		V
I _{IKG}	输入漏电	$0 < V_{DIGITAL\ IN} < DVDD$		±10		μA
电源						
IAVDD IAVSS	模拟电源电流	低功耗模式				
		PGA = 64		1.3		mA
		高分辨率模式				
		PGA = 64		2.3		mA
		待机模式		0.35		μA
掉电模式		0.35				
IDVDD	数字电源电流	低功耗模式		0.32		mA
		高分辨率模式		0.4		
		待机模式		26		μA
		掉电模式		0.3		
PD	功耗	低功耗模式				
		PGA = 64		7.2		mW
		高分辨率模式				
		PGA = 64		12.8		mW
		待机模式		90		μW
掉电模式		4				

7.6. 时序要求

在 $T_A = -40^{\circ}\text{C}$ 至 $+85^{\circ}\text{C}$ 且 $DVDD = 1.65\text{V}$ 至 3.6V 时 (除非另有说明)。

表7. 时序要求

		最小值	最大值	单位
t_{CSSC}	CS 低到 SCLK 高: 建立时间	40		ns
t_{SCLK}	SCLK 周期	2	16	$1 / f_{CLK}$
$t_{SPWH, L}$	SCLK 脉冲持续时间, 高电平和低电平 ¹	0.8	10	$1 / f_{CLK}$
t_{DIST}	DIN 对 SCLK 高有效: 建立时间	50		ns
t_{DIHD}	有效 DIN 到 SCLK 高电平: 保持时间	50		ns
t_{CSH}	CS 高脉冲	100		ns
t_{SCCS}	CLK 高到 CS 高	24		$1 / f_{CLK}$

1、将 SCLK 保持在 64 个 DRDY 下降沿的低电平可复位串行接口。

7.7. 时序切换特性

表8. 时序切换特性

参数	测试条件	最小值	典型值	最大值	单位
t_{CSDOO}	CS 低到 DOUT 驱动: 传输延迟			60	ns
t_{DOPO}	SCLK 低到有效的新的 DOUT: 传输延迟	DOUT 负载 = 20 pF 100 kΩ		100	ns

参数	测试条件	最小值	典型值	最大值	单位
t_{DOHD}	SCLK 低到 DOUT 无效: 保持时间	0			ns
t_{CSDOZ}	$\overline{CS}$ 高至 DOUT 三态			40	ns

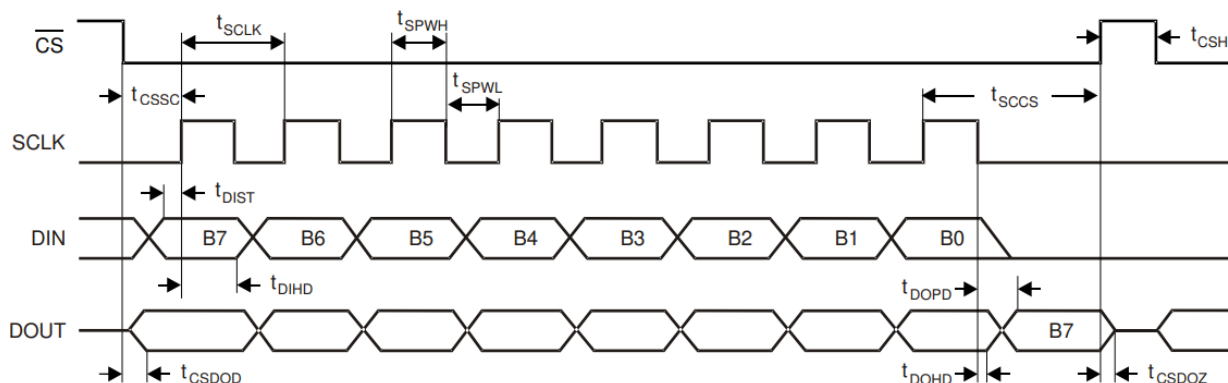


图2. 串行接口时序图

7.8. 典型条件

+25°C 时, $AVDD = 2.5\text{ V}$, $AVSS = -2.5\text{ V}$, $f_{CLK} = 4.096\text{ MHz}$, $V_{REFP} = 2.5\text{ V}$, $V_{REFN} = -2.5\text{ V}$, $DVDD = 3.3\text{ V}$, $PGA = 64$, 高分辨率模式和 $f_{DATA} = 1000\text{ SPS}$ (除非另有说明)。

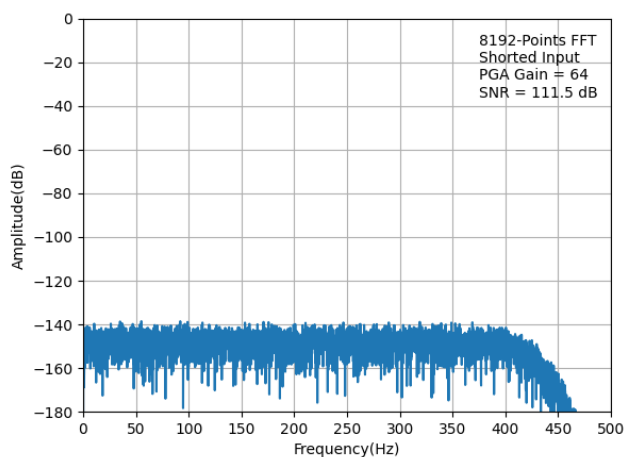


图3. 噪声频谱

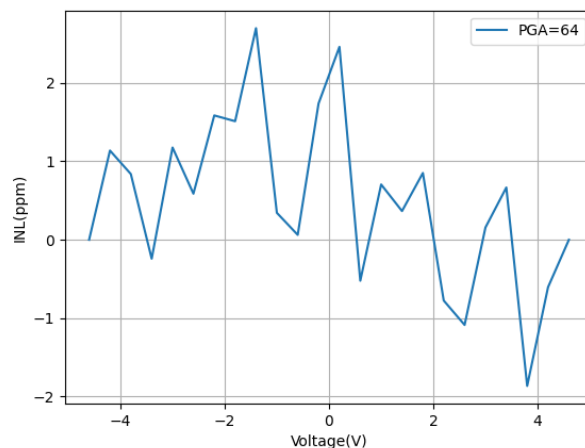


图4. 积分非线性 INL

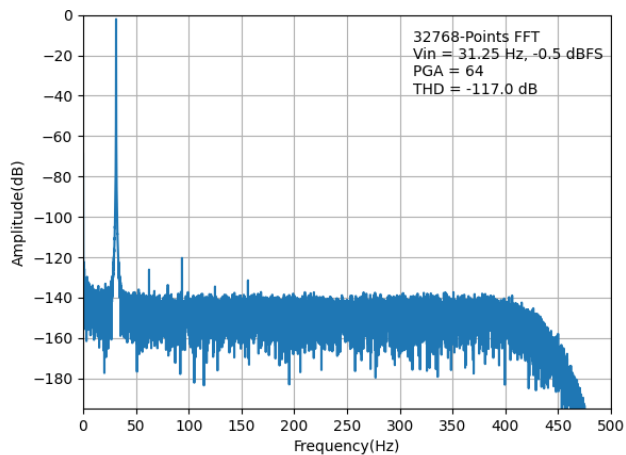


图5. 输出 FFT 频谱

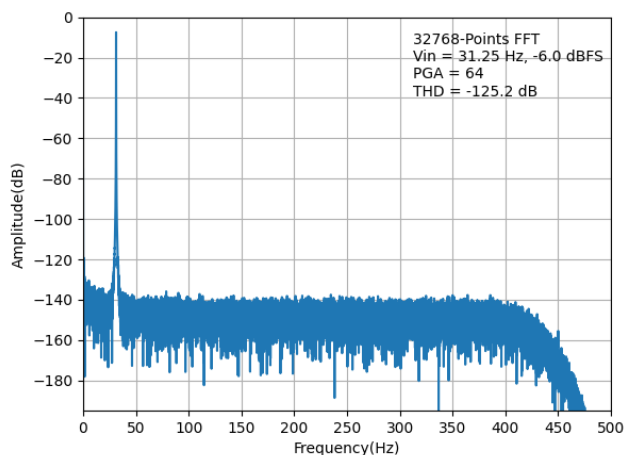


图6. 输出 FFT 频谱

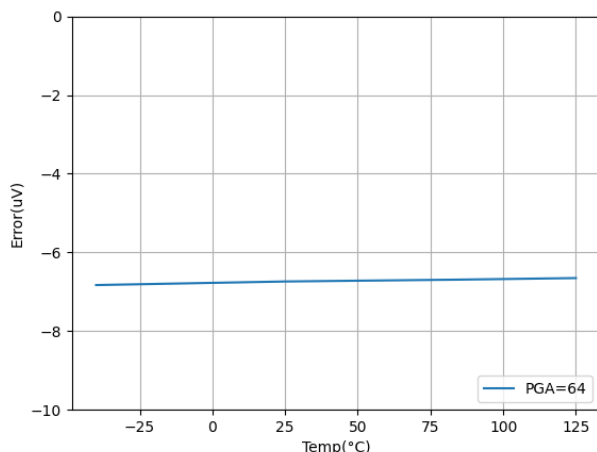


图7. 失调电压漂移 (校准前)

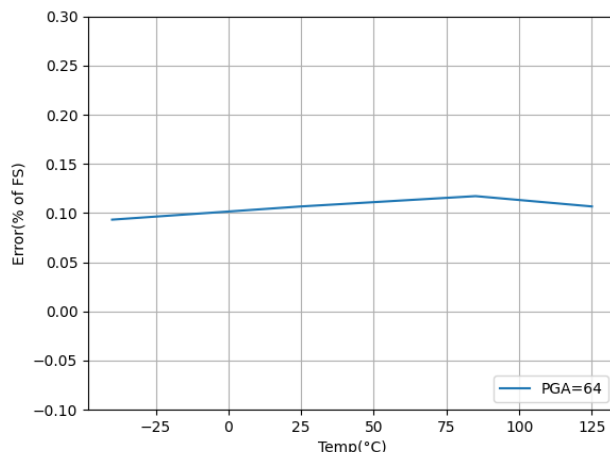


图8. 增益误差温漂 (校准前)

8. 参数测量信息

8.1. 噪声性能

LHA9924 提供出色的信噪比(SNR)。SNR 取决于数据速率、增益和工作模式(高分辨率或低功耗)。由于通过降低数据速率来降低带宽，因此 SNR 会相应提高。类似地，随着增益增加，等效输入噪声降低。低功耗模式降低了调制器的过采样率，降低了 PGA 的偏置电流。因此，低功耗模式会降低工作功耗，但也会导致转换噪声增加。ADC 采用斩波模式来消除 PGA 中的 1/f 噪声。

等效输入噪声与 SNR 的关系为等式 (1)：

$$SNR = 20 \log \frac{FSR_{RMS}}{N_{RMS}} \quad (1)$$

- FSR_{RMS} = 满量程的 RMS = $V_{REF} / (\sqrt{2} \times PGA)$
- N_{RMS} = 等效输入噪声的 RMS

表9. SNR (dB) 和等效输入噪声 (μVRMS)

数据速率 (SPS)	PGA = 64 (信噪比, 分贝) ¹		PGA = 64 (输入参考噪声, μV RMS)	
	低功耗模式	高分辨率模式	低功耗模式	高分辨率模式
250	115.5	117.6	0.091	0.073
500	112.6	114.6	0.129	0.103
1000	109.6	111.6	0.187	0.146
2000	106.4	108.5	0.269	0.209
4000	102.8	105.3	0.409	0.299
8000	102.2	105.1	0.43	0.31
16000	96.6	101.3	0.82	0.47
32000	89.2	96.1	1.92	0.86
64000	75.4	88.9	9.37	1.97

1、TA = 25°C 时的典型值。SNR 数据四舍五入到最接近的 0.1dB。测量带宽：0.1 Hz 至 $0.413 \times$ 数据速率。

2、250~4000SPS 为 FIR 滤波器，8000~64000SPS 为 SINC 滤波器

9. 详细说明

9.1. 概述

LHA9924 是一款高性能模数转换器(ADC)，专为实验室仪器仪表和其他性能要求严格的应用而设计。该转换器在 250SPS 至 64000 SPS 的数据速率下提供 24 位分辨率。请参阅 LHA9924 的功能框图部分。

LHA9924 提供两种工作模式，高分辨率和低功耗。这些模式提供了功耗和 SNR 性能之间的折衷。对于大多数 ADC 配置，低功耗模式可将功耗降低 5mW，但会导致 SNR 平均降低 3dB。工作模式由 MODE 寄存器位编程。

双通道差分输入多路复用器允许多种测量配置：

1. 输入通道 1(AINP1-AINN1)
2. 输入通道 2(AINP2-AINN2)
3. 所有输入断开。PGA 通过 400-Ω 电阻在内部短接至 VCOM。
4. 输入通道 1 和输入通道 2 一起连接到 PGA 进行测量。
5. PGA 输入连接到 AINN2 用于共模测试。
6. 所有输入断开。PGA 通过 400-Ω 电阻在内部短接至 VCOM，并在电阻后短路，用于 ADC 噪声测试。

输入多路复用器之后是一个具有极低噪声的连续时间 PGA，PGA 的增益为固定 64。

四阶 delta-sigma 调制器测量差分输入信号($V_{IN}=A_{INP}-A_{INN}$)相对于差分基准($V_{REF}=(V_{REFP}-V_{REFN})$)电压的关系，在差分输入电压范围 $=\pm 5V$ (PGA=1)以内。数字输出(MFLAG)指示调制器由于过驱动情况而处于过载状态。调制器数字输出数据被路由到数字滤波器以提供转换输出数据。

数字滤波器由一个可变抽取率、五阶 Sinc 滤波器，一个具有可编程相位、固定抽取、有限脉冲响应(FIR)低通滤波器，和一个转角频率可调节的无限脉冲响应(IIR)高通滤波器，用于去除直流和低频信号。数字滤波器的输出可取自 Sinc 或 FIR 滤波器级，高通滤波器可以选择加在 FIR 后。

增益(Gain)和失调(Offset)寄存器缩放数字滤波器的输出以产生最终输出转换数据。该功能可用于校准和传感器增益匹配。

SYNC 输入复位数字滤波器和调制器的操作，将多个 ADC 的转换同步到外部时序事件。SYNC 输入支持连续输入模式，该模式接受锁定到转换速率的外部数据帧时钟。当周期不匹配时会发生自动同步。

RESET输入复位寄存器设置，并重新启动转换过程。

PWDN输入将设备设置为断电。请注意，寄存器设置不会保留在PWDN模式中。使用 STANDBY 命令进行软件断电（待机模式下的静态电流略高）。

抗噪声施密特触发器和时钟输入提高了高噪声环境中的可靠性。除了读取和写入配置寄存器之外，SPI 兼容的串行接口用于读取转换数据。

该器件支持单极(+5V/3.3V)或双极($\pm 2.5V/\pm 1.65V$)电源操作，数字电源范围 1.8V 至 5V。

内部稳压器通过 DVDD 电源为数字内核供电。BYPAS（引脚 28）是稳压器输出，需要一个 1μF 电容器来降低噪声。请注意，BYPAS 上的稳压输出电压不可用于驱动外部电路。

9.2. 功能框图

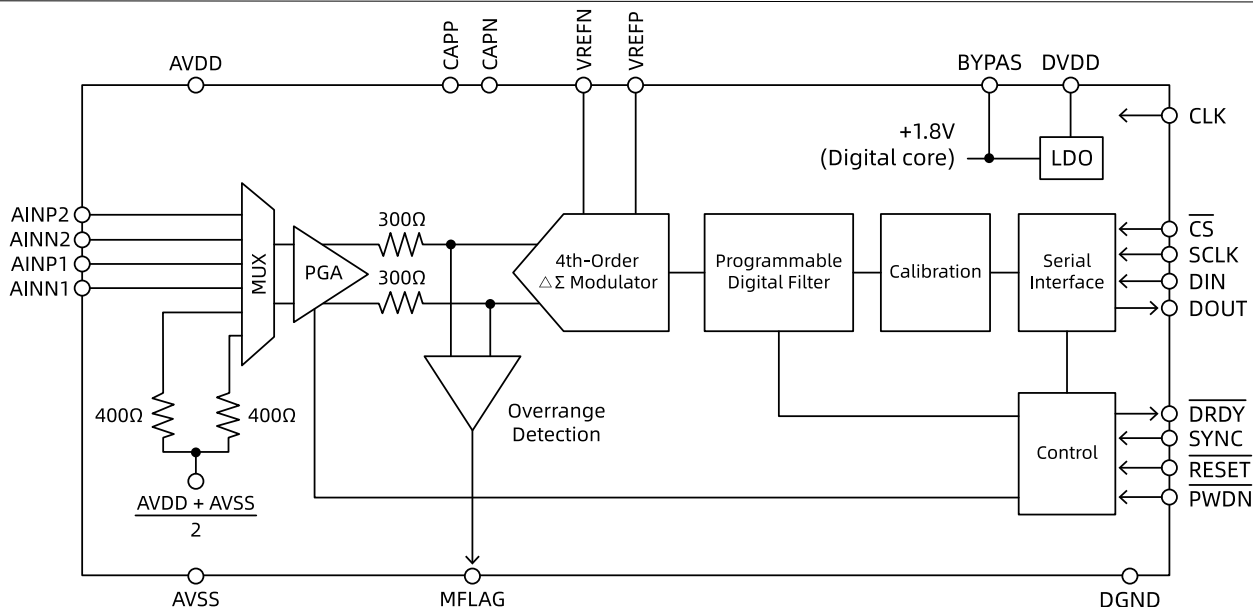


图9. LHA9924 功能图框

9.3. 功能说明

9.3.1. 模拟输入和多路复用器

输入多路复用器的示意图如下图所示。

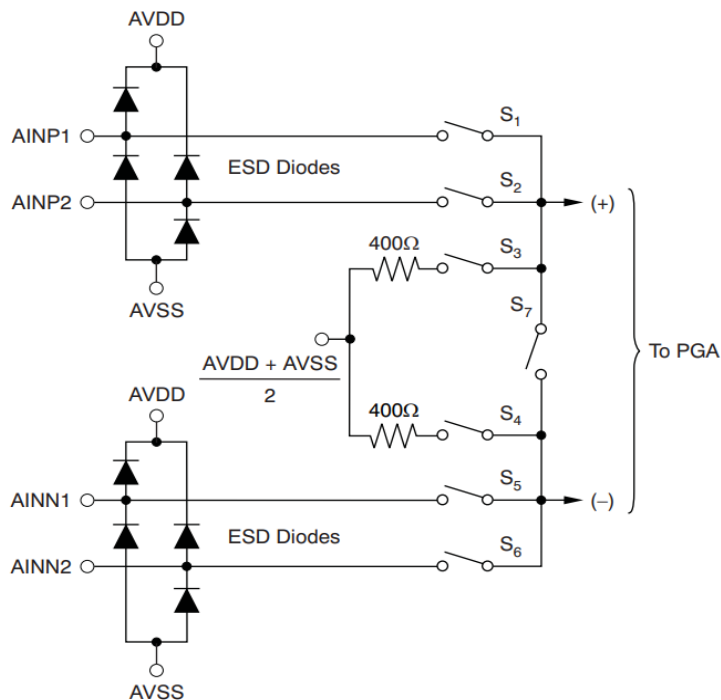


图10. 模拟输入和多路复用器

ESD 二极管保护多路复用器输入。如果任一输入低于 $AVSS - 0.3\text{ V}$ 或高于 $AVDD + 0.3\text{ V}$ ，则 ESD 保护二极管可以开启。如果出现这些情况，请使用外部钳位二极管、串联电阻或两者都将输入电流限制在安全值。

超幅驱动一个未使用的输入会影响另一个输入的转换。如果过驱动输入与测量输入相互作用，则使用外部肖特基二极管钳位过驱动信号。

PGA 的指定输入工作范围如等式 2 所示：

$$AVSS + 0.1\text{ V} < (\text{AINN 或 AINP}) < AVDD - 0.1\text{ V} \quad (2)$$

为获得最佳操作，请将绝对输入电平（输入信号电平和共模电平）保持在这些限制范围内。

除了用于各种自测模式的内部连接外，多路复用器还将两个外部差分输入之一连接到前置放大器输入。下表总结了上图的多路复用器配置。

表10. 多路复用器模式

多路复用器[2:0]	开关	描述
000	S1、S5	AINP1 和 AINN1 连接到前置放大器
001	S2、S6	AINP2 和 AINN2 连接到前置放大器
010	S3、S4	前置放大器输入通过 400-Ω 内部电阻短路在一起
011	S1、S5、S2 S6	AINP1、AINN1 和 AINP2、AINN2 连接在一起并连接到前置放大器
100	S6、S7	外部短路，前置放大器输入与 AINN2 短路（共模测试）
101	S3、S4、S7	前置放大器输入短路用于噪声和 Offset 测试

9.3.2. 增益放大器（PGA）

LHA9924 的 PGA 是一款低噪声、连续时间、差分输入和差分输出 CMOS 放大器，增益为 64。PGA 以差分方式驱动 ADC 的调制器。

由于电荷存储在输入斩波开关的杂散电容上，当启用斩波稳定时，低电平瞬态电流会流过输入。瞬态电流的平均值导致有效输入阻抗。PGA 差分输入阻抗 1GΩ。

下表显示了 PGA 的满量程差分范围。

表11. PGA 增益设置

PGA[2:0]	增益	差分输入范围 (V) ¹
XXX	64	±0.078

1、 $V_{REF} = 5V$ 。输入范围随 V_{REF} 缩放。

9.3.3. 数字滤波器

数字滤波器接收调制器输出数据流，并对数据进行抽取和滤波。通过调整过滤量，可以在分辨率和数据速率之间进行权衡：过滤更多以获得更高的分辨率，过滤更少以获得更高的数据速率。

数字滤波器由三个滤波器部分组成：可变抽取、五阶 Sinc 滤波器；具有可选相位的固定抽取 FIR 低通滤波器 (LPF)；和一个可编程的一阶高通滤波器 (HPF)，如下图所示。

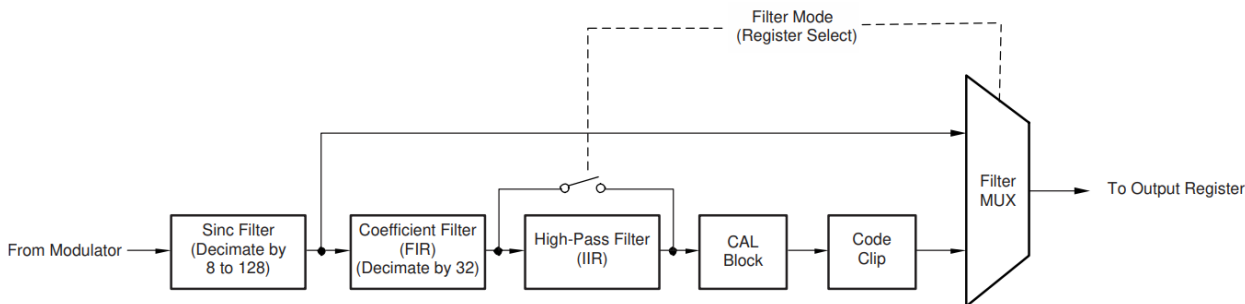


图11. 数字滤波器和输出代码处理

如上图所示，可以从三个过滤器部分之一获取输出。对于转换数据的部分过滤，选择 Sinc 过滤模式。Sinc 滤波器模式旨在与外部 FIR 滤波器结合使用。对于完整的片上滤波，选择 Sinc + FIR 模式。Sinc + FIR 滤波器模式时，可以包含 HPF 以从数据中去除直流和低频。下表显示滤波器模式选项。

表12. 数字滤波器选择

FILTR[1:0] 位	数字滤镜模式
00	保留（未使用）
01	Sinc

FILTR[1:0] 位	数字滤镜模式
10	Sinc + FIR
11	Sinc + FIR + HPF

9.3.3.1. Sinc 滤波器部分 (sinx/x)

下表 Sinc 滤波器是一个可变抽取率、五阶低通滤波器。数据以 $f_{MOD} = f_{CLK} / 4$ (高分辨率模式) 或 $f_{MOD} = f_{CLK} / 8$ (低功耗模式) 的速率从调制器提供给滤波器。Sinc 滤波器可衰减调制器产生的高频噪声, 并与滤波量成比例地降低数据速率(抽取率)。Sinc 滤波器的抽取率会影响转换器的整体数据速率。Sinc 和 Sinc + FIR 滤波器模式数据速率由 DR[2:0] 寄存器位设置。Sinc 滤波器模式数据速率显示在下表中。

表13. Sinc 滤波器模式数据速率

DR[2:0] 寄存器	抽取比 (N)		数据速率 (SPS)
	高分辨率模式	低功耗模式	
000	128	64	8,000
001	64	32	16,000
010	32	16	32,000
011	16	8	64,000
100	8	4	-

等式 9 显示了正弦滤波器的缩放 Z 域传递函数。

$$H(Z) = \left[\frac{1-Z^{-N}}{N(1-Z^{-1})} \right]^5 \quad (9)$$

其中

N = 抽取率

等式 10 显示了正弦滤波器的频域传递函数。

$$[H(f)] = \left[\frac{\sin\left\{\frac{\pi N \times f}{f_{MOD}}\right\}}{N \sin\left\{\frac{\pi \times f}{f_{MOD}}\right\}} \right]^5 \quad (10)$$

其中

• N = 抽取率

• $f_{MOD} = f_{CLK} / 4$ (高分辨率模式) 或 $f_{CLK} / 8$ (低功耗模式) (10)

正弦滤波器具有以输出数据速率及其倍数出现的陷波(或零)。在这些频率下, 滤波器的增益为零。

左下图显示了正弦滤波器的频率响应, 右下图显示了正弦滤波器的滚降。

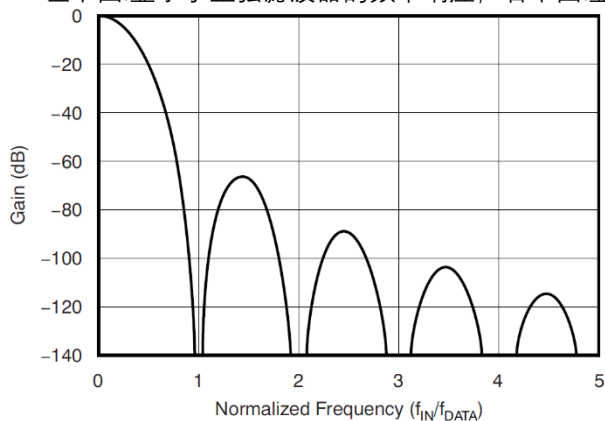


图12. Sinc 滤波器频率响应

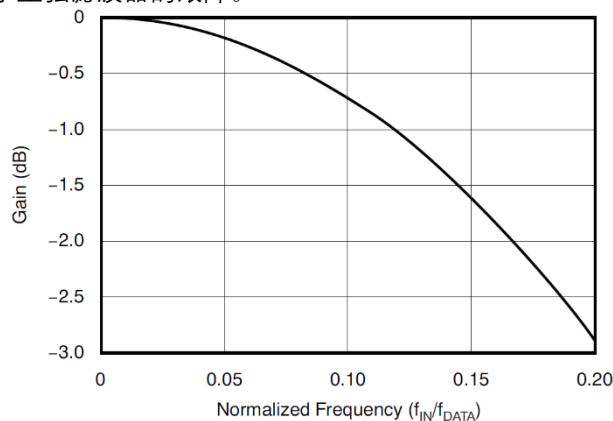


图13. Sinc 滤波器滚降

9.3.3.2. FIR 部分

数字滤波器的第二部分是 FIR 低通滤波器。数据从 Sinc 滤波器提供给该部分。FIR 阶段分为四个子部分, 如下图所示。

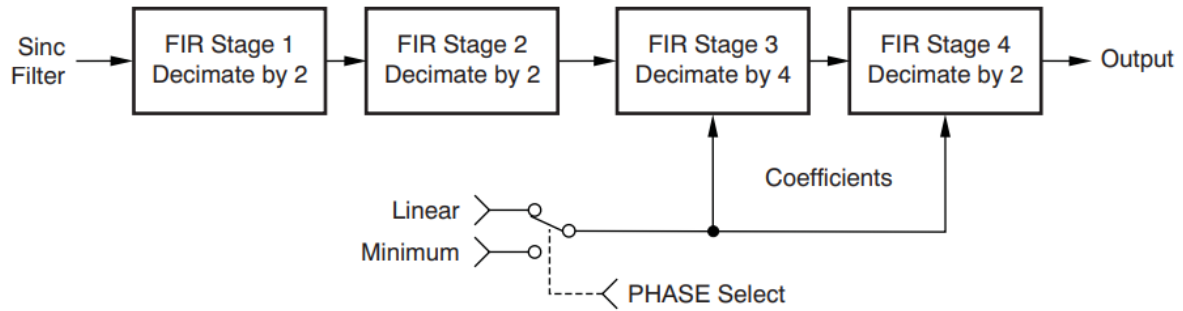


图14. FIR 滤波器

前两个子部分是固定抽取比为 2 的半带滤波器。FIR 滤波器的第三部分抽取比为 4（固定），第四部分抽取比为 2（固定）。整个 FIR 部分的整体抽取比为 32。第三和第四子部分使用两个系数集，用于线性相位模式和最小相位模式（可编程）。下表列出了 FIR 级的数据速率编程和总体抽取率。有关 FIR 滤波器系数，请参见下表。

表14. FIR 滤波器数据速率

DR[2:0] 寄存器	总体抽取率（组合 Sinc + FIR）		FIR 数据速率 (SPS)
	高分辨率模式	低功耗模式	
000	4096	2048	250
001	2048	1024	500
010	1024	512	1000
011	512	256	2000
100	256	128	4000

表15. FIR 级系数

系数	第 1 级	第 2 级	第 3 级		第 4 级	
	线性相位缩放 = 1/512	线性相位缩放 = 1/ 8388608	缩放 = 1/134217728		缩放 = 1/134217728	
			线性相位	最小阶段	线性相位	最小阶段
b0	3	-10944	0	819	-132	11767
b1	0	0	0	8211	-432	133882
b2	-25	103807	-73	44880	-75	769961
b3	0	0	-874	174712	2481	2940447
b4	150	-507903	-4648	536821	6692	8262605
b5	256	0	-16147	1372637	7419	17902757
b6	150	2512192	-41280	3012996	-266	30428735
b7	0	4194304	-80934	5788605	-10663	40215494
b8	-25	2512192	-120064	9852286	-8280	39260213
b9	0	0	-118690	14957445	10620	23325925
b10	3	-507903	-18203	20301435	22008	-1757787
b11		0	224751	24569234	348	-21028126
b12		103807	580196	26260385	-34123	-21293602
b13		0	893263	24247577	-25549	-3886901
b14		-10944	891396	18356231	33460	14396783
b15			293598	9668991	61387	16314388
b16			-987253	327749	-7546	1518875
b17			-2635779	-7171917	-94192	-12979500
b18			-3860322	-10926627	-50629	-11506007
b19			-3572512	-10379094	101135	2769794
b20			-822573	-6505618	134826	12195551
b21			4669054	-1333678	-56626	6103823
b22			12153698	2972773	-220104	-6709466
b23			19911100	5006366	-56082	-9882714
b24			25779390	4566808	263758	-353347
b25			27966862	2505652	231231	8629331
b26			25779390	126331	-215231	5597927

系数	第 1 级	第 2 级	第 3 级		第 4 级	
	线性相位缩放 = 1/512	线性相位缩放 = 1/ 8388608	缩放 = 1/134217728		缩放 = 1/134217728	
			线性相位	最小阶段	线性相位	最小阶段
b27			19911100	-1496514	-430178	-4389168
b28			12153698	-1933830	34715	-7594158
b29			4669054	-1410695	580424	-428064
b30			-822573	-502731	283878	6566217
b31			-3572512	245330	-588382	4024593
b32			-3860322	565174	-693209	-3679749
b33			-2635779	492084	366118	-5572954
b34			-987253	231656	1084786	332589
b35			293598	-9196	132893	5136333
b36			891396	-125456	-1300087	2351253
b37			893263	-122207	-878642	-3357202
b38			580196	-61813	1162189	-3767666
b39			224751	-4445	1741565	1087392
b40			-18203	22484	-522533	3847821
b41			-118690	22245	-2490395	919792
b42			-120064	10775	-688945	-2918303
b43			-80934	940	2811738	-2193542
b44			-41280	-2953	2425494	1493873
b45			-16147	-2599	-2338095	2595051
b46			-4648	-1052	-4511116	-79991
b47			-874	-43	641555	-2260106
b48			-73	214	6661730	-963855
b49			0	132	2950811	1482337
b50			0	33	-8538057	1480417
b51			0	0	-10537298	-586408
b52					9818477	-1497356
b53					41426374	-168417
b54					56835776	1166800
b55					41426374	644405
b56					9818477	-675082
b57					-10537298	-806095
b58					-8538057	211391
b59					2950811	740896
b60					6661730	141976
b61					641555	-527673
b62					-4511116	-327618
b63					-2338095	278227
b64					2425494	363809
b65					2811738	-70646
b66					-688945	-304819
b67					-2490395	-63159
b68					-522533	205798
b69					1741565	124363
b70					1162189	-107173
b71					-878642	-131357
b72					-1300087	31104
b73					132893	107182
b74					1084786	15644
b75					366118	-71728
b76					-693209	-36319
b77					-588382	38331
b78					283878	38783
b79					580424	-13557
b80					34715	-31453

系数	第 1 级	第 2 级	第 3 级		第 4 级	
	线性相位缩放 = 1/512	线性相位缩放 = 1/ 8388608	缩放 = 1/134217728		缩放 = 1/134217728	
			线性相位	最小阶段	线性相位	最小阶段
b81					-430178	-1230
b82					-215231	20983
b83					231231	7729
b84					263758	-11463
b85					-56082	-8791
b86					-220104	4659
b87					-56626	7126
b88					134826	-732
b89					101135	-4687
b90					-50629	-976
b91					-94192	2551
b92					-7546	1339
b93					61387	-1103
b94					33460	-1085
b95					-25549	314
b96					-34123	681
b97					348	16
b98					22008	-349
b99					10620	-96
b100					-8280	144
b101					-10663	78
b102					-266	-46
b103					7419	-42
b104					6692	9
b105					2481	16
b106					-75	0
b107					-432	-4
b108					-132	0
b109					0	0

如下图 FIR 滤波器的频率响应具有最小纹波，平坦到数据速率的 0.375 (± 0.003 dB 通带纹波，直到 $0.375 \cdot f_{\text{DATA}}$)，并且在奈奎斯特频率下完全衰减。

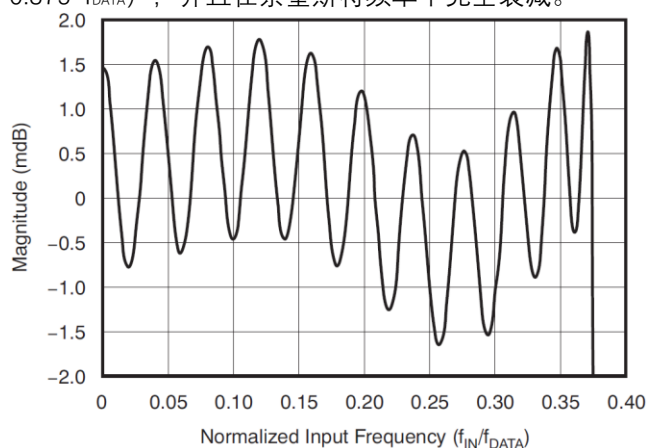


图15. FIR 滤波器通带幅度响应

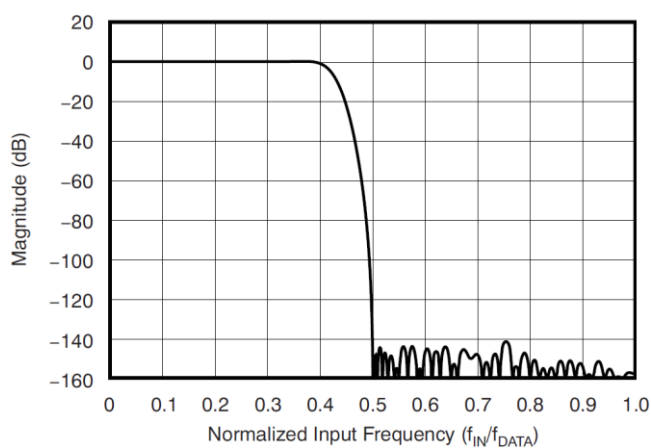


图16. FIR 滤波器从通带到阻的幅度响应

尽管上图中未显示，但通带响应以调制器频率的倍数重复 ($N \cdot f_{\text{MOD}} - f_0$ 和 $N \cdot f_{\text{MOD}} + f_0$ ，其中 $N = 1, 2$ 等， f_0 = 通带)。如果这些镜像频率存在于信号中并且在模数转换过程之前没有被过滤，它们会折回（或混叠）到通带并导致错误。输入端接阻容低通滤波器可降低混叠频率的幅度。

9.3.3.3. 群时延和阶跃响应

FIR 模块实现为具有可选线性或最小相位响应的多级 FIR 结构。滤波器的通带、过渡带和阻带响应几乎相同，但各自的相位响应不同。

9.3.3.4. 线性相位响应

线性相位滤波器表现出相对于输入频率的恒定延迟时间（即恒定群延迟）。线性相位滤波器的特性是，从输入信号的任何时刻到输出数据的同一时刻，时间延迟都是恒定的，并且与信号频率无关。在分析多音信号时，这种滤波器行为导致相位误差基本为零。但是，群延迟比最小相位滤波器要长，如下图所示。

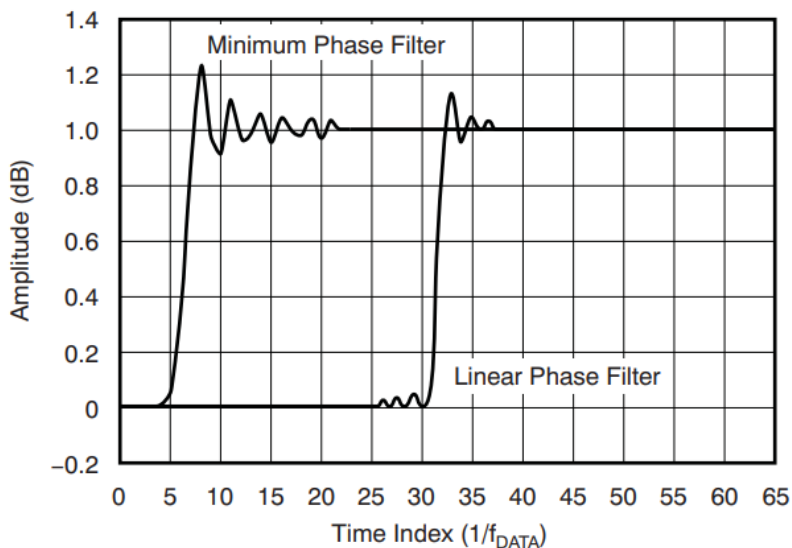


图25. FIR 阶跃响应

9.3.3.5. 最小相位响应

最小相位滤波器提供了从输入信号到达到转换数据输出的短暂延迟，但相位关系与频率的关系不是恒定的，如下图所示。滤波器相位由 PHASE 位选择，如下表所示。

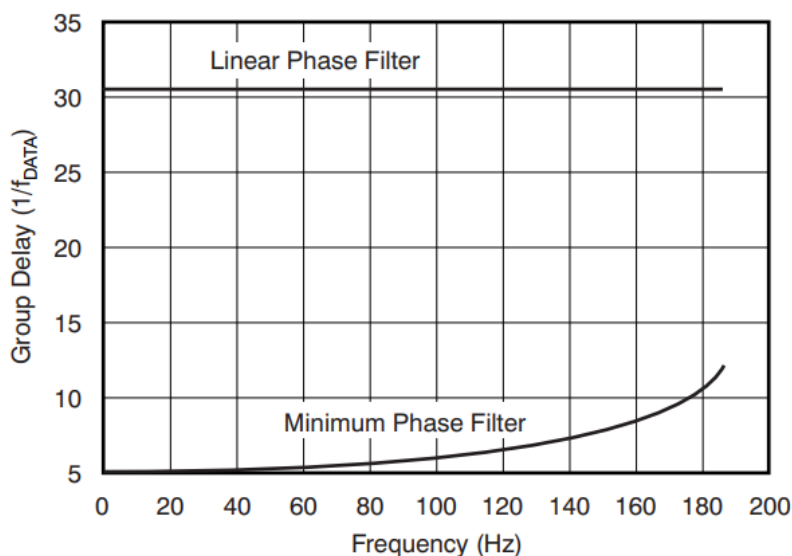


图26. FIR 群延迟 ($f_{DATA} = 500\text{Hz}$)

表16. FIR 滤波器相位选择

PHASE位	滤波器相位
0	线性相位
1	最小相位

9.3.3.6. 高通滤波器

LHA9924 的 HPF 传递函数:

$$HPF(Z) = \left(\frac{A+1}{2} \right) \times \frac{1-Z^{-1}}{1-\left(\frac{B+1}{2} \right) Z^{-1}}$$

A:

$$HPF[1:0] = 65536 \left[1 - \frac{\cos \omega_N + \sin \omega_N - 1}{2 \cos \omega_N} \right]$$

B:

$$HPF[1:0] = 65536 \left[1 - 2 \frac{\cos \omega_N + \sin \omega_N - 1}{\cos \omega_N} \right]$$

其中:

$$\omega_N = 2\pi f_{HP}/f_{DATA}$$

表17. HPF 常用系数配置表

Fhp(Hz)	Fdata(SPS)	Ratio(Fhp/Fdata)	HPF(a)[1:0](HEX)	HPF_ADD(b)[1:0](HEX)
2	1000	0.002	FCCE	F99B
4	1000	0.004	F9A5	F34B
6	1000	0.006	F687	ED0E
8	1000	0.008	F372	E6E4
10	1000	0.01	F066	E0CD
12	1000	0.012	ED64	DAC8
14	1000	0.014	EA6B	D4D5
16	1000	0.016	E77A	CEF4
18	1000	0.018	E492	C923
20	1000	0.02	E1B2	C364
22	1000	0.022	DEDA	BDB4
24	1000	0.024	DC0A	B814
26	1000	0.026	D942	B284
28	1000	0.028	D681	AD03
30	1000	0.03	D3C8	A790
32	1000	0.032	D116	A22C
34	1000	0.034	CE6B	9CD6
36	1000	0.036	CBC7	978E
38	1000	0.038	C92A	9253
40	1000	0.04	C693	8D26
42	1000	0.042	C403	8805
44	1000	0.044	C179	82F1
46	1000	0.046	BEF5	7DE9
48	1000	0.048	BC77	78ED
50	1000	0.05	B9FF	73FD
52	1000	0.052	B78C	6F19
54	1000	0.054	B520	6A3F
56	1000	0.056	B2B9	6571
58	1000	0.058	B057	60AE
60	1000	0.06	ADFA	5BF4
62	1000	0.062	ABA3	5746
64	1000	0.064	A950	52A1
66	1000	0.066	A703	4E06
68	1000	0.068	A4BA	4975
70	1000	0.07	A276	44ED
72	1000	0.072	A037	406E

Fhp(Hz)	Fdata(SPS)	Ratio(Fhp/Fdata)	HPF(a)[1:0](HEX)	HPF_ADD(b)[1:0](HEX)
74	1000	0.074	9DFC	3BF9
76	1000	0.076	9BC6	378C
78	1000	0.078	9994	3328
80	1000	0.08	9766	2ECC
82	1000	0.082	953C	2A78
84	1000	0.084	9316	262D
86	1000	0.086	90F5	21E9
88	1000	0.088	8ED7	1DAE
90	1000	0.09	8CBD	1979
92	1000	0.092	8AA6	154D
94	1000	0.094	8894	1127
96	1000	0.096	8684	0D09
98	1000	0.098	8479	08F1
100	1000	0.1	8270	04E1
102	1000	0.102	806B	00D6

9.4. 设备功能模式

9.4.1. 同步 (SYNC PIN 和 SYNC 命令)

LHA9924 可以与外部事件同步，如果同时应用同步脉冲，也可以将多个 LHA9924 设备同步在一起。

LHA9924 有两种同步方法：SYNC 输入引脚和 SYNC 命令。此外，还有两种同步模式：脉冲同步和连续同步。在脉冲同步模式下，LHA9924 在每次同步事件时无条件同步。在连续同步模式下，第一次同步是无条件的，此后 ADC 仅在下一个 SYNC 引脚边沿未以数据速率的整数倍出现时重新同步。通常，同步时钟应用于 SYNC 引脚，其周期等于数据速率的整数倍。当 SYNC 输入和 DRDY 输出的周期由于系统故障或时钟噪声事件不匹配时，ADC 会重新同步。

9.4.1.1. 脉冲同步模式

在脉冲同步模式下，LHA9924 通过停止和重新启动转换过程来无条件地同步。在这种模式下，可以通过引脚或命令进行同步。同步时，器件复位内部滤波器存储器，DRDY 变为高电平，在数字滤波器稳定后，新的转换数据可用，如下图下表所示。

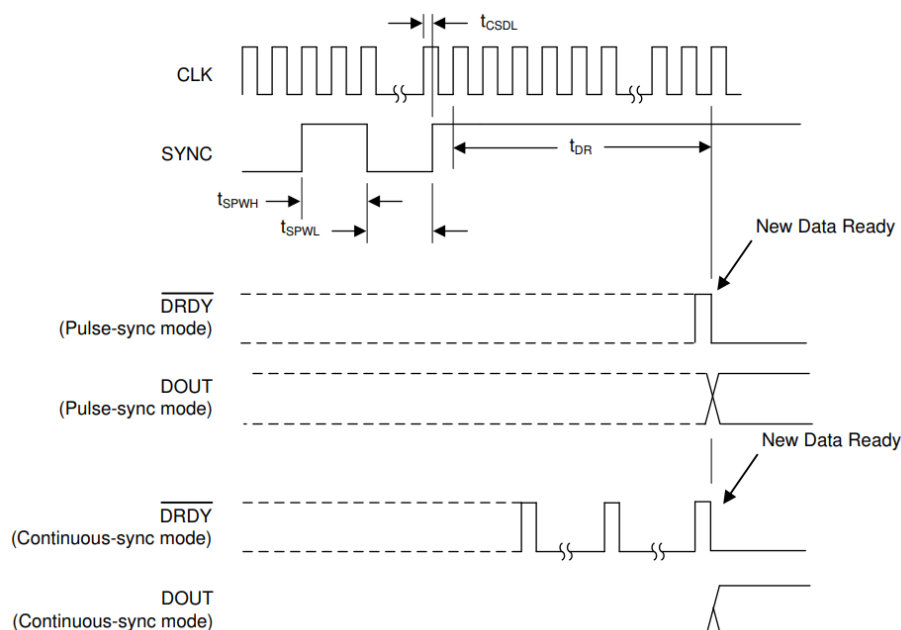


图27. 单同步的脉冲同步和连续同步时序

表18. 脉冲同步时序

参数		最小值	最大值	单位
t_{CSDL}	CLK 上升沿到 SYNC 上升沿 ¹	30	-30	ns
时间同步	同步时钟周期 ²	1	无限	n / f_{DATA}
$t_{SPWH, L}$	SYNC 脉冲宽度, 高或低	2		$1 / f_{CLK}$
t_{DR}	数据准备就绪时间 (Sinc 滤波器)	$63.09375 / f_{DATA} + 812 / f_{CLK}$		
	数据准备就绪时间 (FIR 滤波器)	$63.09375 / f_{DATA} + 768 / f_{CLK}$		

- 1、CLK 上升沿到 SYNC 上升沿时序不得出现在指定的时间窗口内。
- 2、连续同步模式：一个自由运行的时钟应用于 SYNC 输入，而不会导致重新同步。

 表19. 数据就绪的 t_{DR} 时间 (正弦滤波器)

f_{DATA} (KSPS)	f_{CLK} 周期 ¹
128	440
64	616
32	968
16	1672
8	2824

- 1、对于 SYNC 和 WAKEUP 命令，从第 8 个 SCLK 上升沿之后的下一个 CLK 上升沿到 $\overline{DRDY}$ 下降沿的 f_{CLK} 周期数。仅对于 WAKEUP 命令，减去两个 f_{CLK} 周期。

观察 SYNC 上升沿到 CLK 上升沿的时序限制。同步发生在 SYNC 上升沿之后的下一个 CLK 上升沿，或者当通过命令同步时，在第 8 个 SCLK 上升沿之后。要通过同步命令同步多个 ADC，请同时向 ADC 广播该命令。

9.4.1.2. 连续同步模式

在连续同步模式下，可以应用单个同步脉冲或连续同步时钟。在此模式下使用 SYNC 引脚。当应用单个同步脉冲（上升沿）时，器件会以与脉冲同步模式相同的方式重新同步。仅当 SYNC 上升沿之间的时间不是转换周期的整数倍时，才会发生 ADC 重新同步。当重新同步发生时， $\overline{DRDY}$ 继续以数据速率的周期切换，并且 DOUT 输出保持低电平，直到数据准备好（63 个 $\overline{DRDY}$ 周期之后）。在第 63 次读数时，转换数据有效，如下图所示。

如果向 SYNC 引脚施加额外的脉冲，则从前一个脉冲经过的时间必须是输出数据速率的整数倍，否则会导致重新同步。

如果同步时钟应用于 SYNC 引脚，则器件仅在 $t_{SYNC} \neq N / f_{DATA}$ 的条件下重新同步，其中 $N = 1, 2, 3$ 等等。重新同步时， $\overline{DRDY}$ 继续选通，但 DOUT 上的数据保持低电平，直到滤波器复位后新数据有效。如果同步时钟的周期与数据速率的整数倍匹配，则 ADC 不会重新同步。请注意，由于首次应用 SYNC 时钟后 $\overline{DRDY}$ 的初始延迟，应用时钟的相位和输出数据速率 ($\overline{DRDY}$) 未对齐。下图显示了连续同步模式的时序。

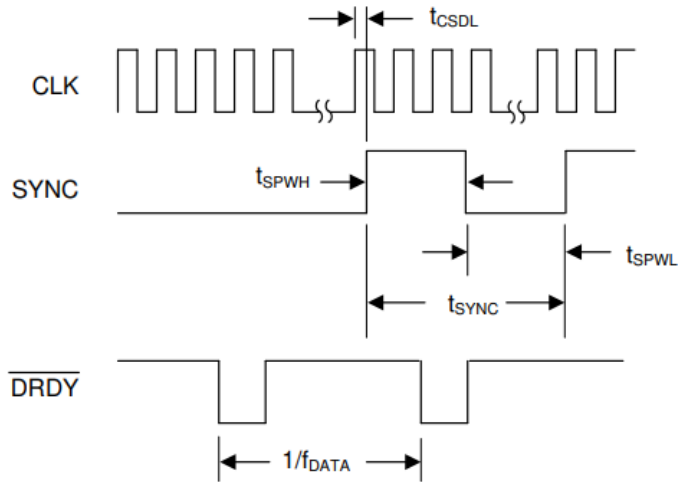


图28. 使用 SYNC 时钟的连续同步时序

在连续同步模式编程后应用同步时钟。然后 SYNC 的第一个上升沿导致同步。请注意，对任何 ADC 寄存器的后续写入会导致在寄存器写入操作时重新同步。重新同步导致先前同步丢失。发送 STANDBY 命令，然后发送 WAKEUP 命令以重新建立先前的同步。只要 STANDBY 和 WAKEUP 命令之间的时间不是转换周期的整数倍至少一个时钟周期，重新同步就有效。

9.4.2. 复位 (RESET 引脚和复位命令)

通过三种方式重置 ADC：循环电源、将 RESET 引脚切换为低电平或发送 RESET 命令。使用 RESET 引脚时，将其拉低并保持至少 $2 / f_{CLK}$ 以强制复位。LHA9924 保持在复位状态，直到引脚被释放。通过 RESET 命令，RESET 在该命令的 SCLK 的第 8 个上升沿之后的下一个 f_{CLK} 上升沿生效。为了确保 RESET 命令起作用，可能需要复位 SPI 接口；见串行接口章节。

当 LHA9924 复位时，寄存器设置为默认值，转换在 CLK 的下一个上升沿同步。新的转换数据可用，如下图表所示。

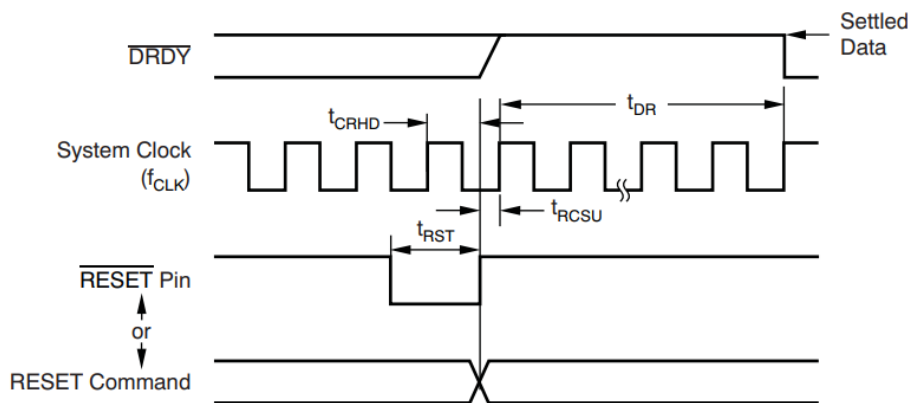


图29. 复位时序

表20. 复位时序

参数		最小	单位
t_{CRHD}	CLK 到 $\overline{RESET}$ 保持时间	10	ns
t_{RCSU}	$\overline{RESET}$ 到 CLK 建立时间	10	ns
t_{RST}	复位低	2	$1 / f_{CLK}$
t_{DR}	准备数据的时间	$63.09375 / f_{DATA} + 768 / f_{CLK}$	s

9.4.3. 主时钟输入 (CLK)

LHA9924 需要一个时钟才能运行。指定的时钟频率为 4.096 MHz，并应用于 CLK 引脚。ADC 数据速率随时钟频率而变化，但是通过降低时钟频率来降低噪声并没有好处；选择较慢的数据率以减少噪声。

与任何高速数据转换器一样，高质量、低抖动时钟对于实现最佳性能至关重要。晶体时钟振荡器是推荐的时钟源。确保避免时钟输入过度振铃；使时钟走线尽可能短，并在时钟源附近使用 50Ω 串联电阻。

9.4.4. 掉电（PWDN引脚和 STANDBY 命令）

以两种方式关闭 LHA9924：将 PWDN 引脚拉低，或发送 STANDBY 命令。当 PWDN 引脚被拉低时，内部电路被禁用以最小化功耗并且寄存器设置的内容被复位。处于断电状态时，器件输出保持活动状态，器件输入不得浮动。当发送 STANDBY 命令时，SPI 端口和配置寄存器保持活动状态。下图表显示了时序。当 $\overline{CS}$ 为高电平时，待机模式被取消。

处于断电状态时，器件输出保持活动状态，器件输入不得浮动。当发送 STANDBY 命令时，SPI 端口和配置寄存器保持活动状态。下图表显示时间。当 $\overline{CS}$ 为高电平时，待机模式被取消。

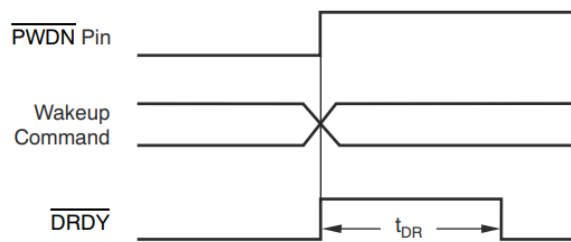


图30. PWDN 引脚和唤醒命令时序

表21. 从上电， PWDN引脚和 Wake-Up 指令到新数据的延时

范围			过滤模式
t_{DR}	上电后 2^{16} 个 CLK 周期的数据就绪时间；	$63.09375 / f_{DATA} + 812 / f_{CLK}$	Sinc ⁴
	在 PWDN 引脚或 WAKEUP 命令后准备好新数据	$63.09375 / f_{DATA} + 768 / f_{CLK}$	FIR

1、电源上电和 PWDN 引脚默认为 1000 SPS FIR。

2、减去 WAKEUP 命令的两个 CLK 周期。在命令到 $\overline{DRDY}$ 下降期间，WAKEUP 命令的时间从 CLK 的下一个上升沿到 SCLK 的第八个上升沿之后。

9.4.5. 上电顺序

LHA9924 具有三个电源：AVDD、AVSS 和 DVDD。下图显示了 LHA9924 的上电顺序。电源可以按任何顺序排序。电源 [AVDD – AVSS 和 DVDD 的差异] 产生信号，这些信号被“与”在一起以产生复位。在电源超过上电复位阈值后，在释放内部复位之前会计算 2^{16} 个 f_{CLK} 周期。内部复位解除后，新的转换数据可用。

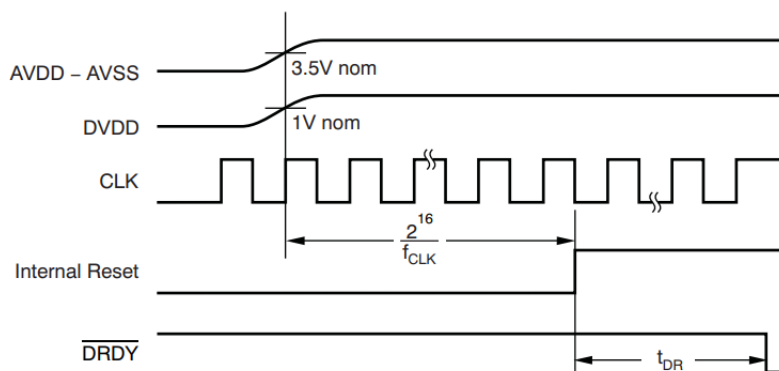


图31. 上电顺序

9.4.6. 串行接口

串行接口用于读取转换数据和访问配置寄存器。该接口与 SPI 兼容，由四个信号组成： $\overline{CS}$ 、SCLK、DIN 和 DOUT。当 SCLK 以 2.048 MHz 运行时，多达 15 个以 4 kSPS 转换的 ADC 可以共享一个公共串行总线。

9.4.6.1. 片选 ($\overline{CS}$)

片选 ($\overline{CS}$) 是低电平有效输入，可启用 ADC 串行接口进行数据传输。 $\overline{CS}$ 低电平使能通信。 $\overline{CS}$ 高禁用通信。禁用通信时，DOUT (输出数据引脚) 为高阻抗 (三态模式)。此外，SCLK 活动被忽略，正在进行的数据传输或命令被复位。 $\overline{CS}$ 必须在与 ADC 的数据传输期间保持低电平。 $\overline{CS}$ 可以拉低，从而永久启用 ADC 串行接口。当 $\overline{CS}$ 变为高电平时，ADC 空闲模式 (STANDBY) 和停止读取数据连续 (SDATAC) 模式被取消。有关 SDATAC 模式的更多信息，请参阅 SDATAC 要求章节。

9.4.6.2. 串行时钟 (SCLK)

串行时钟 (SCLK) 是一个数字输入，用于将数据时钟输入 (DIN) 和输出 (DOUT) ADC。SCLK 是具有高度抗噪能力的施密特触发器输入。然而，保持 SCLK 信号干净可以防止无意中移动数据可能出现的故障。数据在 SCLK 的上升沿移入 DIN，在 SCLK 的下行沿将数据移出 DOUT。不活动时保持 SCLK 为低电平。当 $\overline{CS}$ 为高电平时，SCLK 被忽略。

9.4.6.3. 数据输入 (DIN)

数据输入引脚 (DIN) 用于向 LHA9924 输入寄存器数据和命令。在读取数据连续模式下读取转换数据时保持 DIN 低电平 (发出 SDATAC 命令时除外)。DIN 上的数据在 SCLK 的上升沿移入转换器。

9.4.6.4. 数据输出 (DOUT)

数据输出引脚 (DOUT) 用于从 LHA9924 输出数据。数据在 SCLK 的下降沿移出。当 $\overline{CS}$ 为高电平时，DOUT 引脚处于三态。

9.4.6.5. 串口自动超时

每次 $\overline{CS}$ 拉高时，串行接口都会复位。但是，对于将 $\overline{CS}$ 拉低的应用，串行端口不能通过将 $\overline{CS}$ 拉高来复位。LHA9924 提供了一种功能，可在传输停止或中断，或者 SCLK 上出现噪声毛刺时自动恢复接口。要远程复位串行接口，请将 SCLK 保持在低电平 64 个 $\overline{DRDY}$ 周期。串行接口的复位导致数据传输或正在进行的命令终止。串行接口复位发生后，下一个 SCLK 脉冲开始一个新的通信周期。为防止接口远程复位，每 64 个 $\overline{DRDY}$ 脉冲至少脉冲 SCLK 一次。

9.4.6.6. 数据就绪 ($\overline{DRDY}$)

$\overline{DRDY}$ 是一个输出，当新的转换数据准备好并开始检索时被驱动为低电平，如下图所示。在连续模式下读取数据时，必须在四个 CLK 周期之前完成读取操作下一个下降的 $\overline{DRDY}$ 再次变低，或者数据被新的转换数据覆盖。在命令模式下读取数据时，读取操作可以与下一个 $\overline{DRDY}$ 的发生重叠，而不会损坏数据。

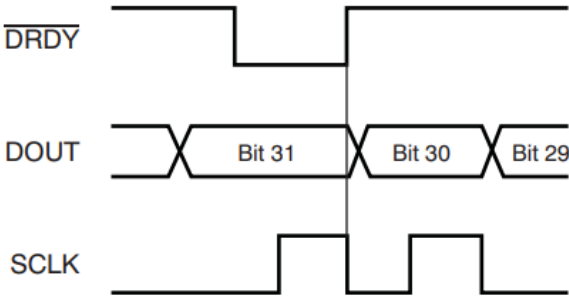


图32. 带有数据检索的 $\overline{\text{DRDY}}$

$\overline{\text{DRDY}}$ 在 SCLK 的第一个下降沿复位为高电平。上下两张图分别显示有数据回读和没有数据回读的 $\overline{\text{DRDY}}$ 的功能。

如果未检索到数据（未提供 SCLK ），则在更新期间 $\overline{\text{DRDY}}$ 会在四个 f_{CLK} 周期内产生高电平脉冲，如下图所示。当 $\overline{\text{CS}}$ 为高电平时， $\overline{\text{DRDY}}$ 保持有效。

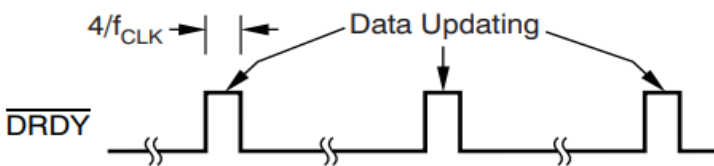


图33. 没有数据检索的 $\overline{\text{DRDY}}$

9.4.7. 数据格式

LHA9924 输出数据为 24 位二进制补码格式，如下表。

表22. 理想输出代码与输入信号

INPUT SIGNAL V_{IN} ($\text{A}_{\text{INP}} - \text{A}_{\text{INN}}$)	24-BIT IDEAL OUTPUT CODE	
	FIR FILTER	Sinc FILTER
$> \frac{V_{\text{REF}}}{\text{PGA}}$	7FFFFFFh	7FFFFFFh
$\frac{V_{\text{REF}}}{\text{PGA}}$	7FFFFFFh	7FFFFFFh
$\frac{V_{\text{REF}}}{\text{PGA} \times (2^{23} - 1)}$	000001h	000001h
0	000000h	000000h
$\frac{-V_{\text{REF}}}{\text{PGA} \times (2^{23} - 1)}$	FFFFFFFh	FFFFFFFh
$\frac{-V_{\text{REF}} \times 2^{23}}{\text{PGA} \times (2^{23} - 1)}$	800000h	800000h
$< \frac{-V_{\text{REF}} \times 2^{23}}{\text{PGA} \times (2^{23} - 1)}$	800000h	800000h

- 1、排除噪声、线性度、失调和增益误差的影响。
- 2、由于与高数据速率相关的过采样率 (OSR) 降低，因此在 Sinc 滤波器模式下不提供完整的 24 位分辨率。

3、在 Sinc 滤波器模式下，当超出满量程范围时，输出不会在相应的正码或负码处削波。

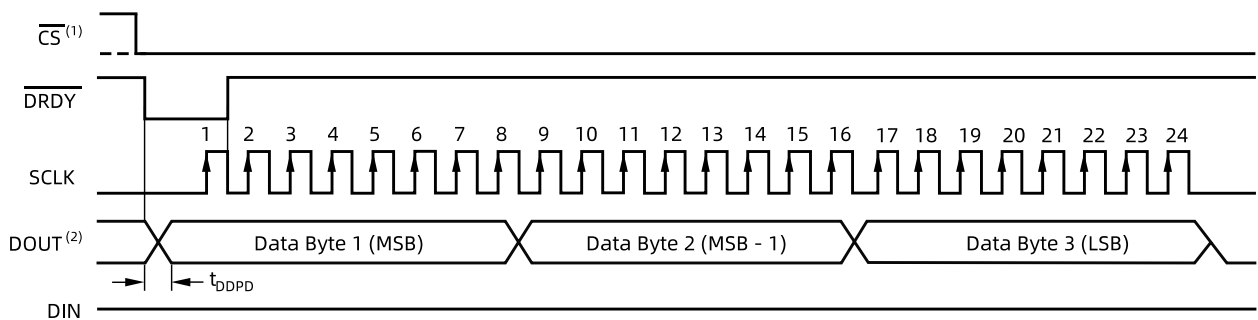
9.4.8. 读取数据

LHA9924 提供两种读取转换数据的模式：连续读数据模式和 按命令读数据 模式。

9.4.8.1. 读数据连续模式

在读取数据连续模式下，无需读取命令即可从 ADC 读取转换数据。此模式是开机时的默认模式。此模式也由 RDATA 命令启用。当 $\overline{\text{DRDY}}$ 变低时，表示有新数据可用，数据的 MSB 放在 DOUT 上，如下图所示。用户在 SCLK 的上升沿读取（锁存）数据。在 SCLK 的第一个下降沿， $\overline{\text{DRDY}}$ 返回高电平。读取 24 位数据后，进一步的 SCLK 转换会导致 DOUT 变为低电平。整个数据移位操作必须在 $\overline{\text{DRDY}}$ 再次下降之前的四个 CLK 周期内完成，否则数据可能被破坏。

当发出 SDATAC 命令时， $\overline{\text{DRDY}}$ 输出被阻止，但 LHA9924 继续转换。在停止连续模式下，通过命令读取数据。



1、当 $\overline{\text{CS}}$ 为高电平时，DOUT 处于三态。 $\overline{\text{CS}}$ 可以拉低。

图34. FIR 连续读取数据

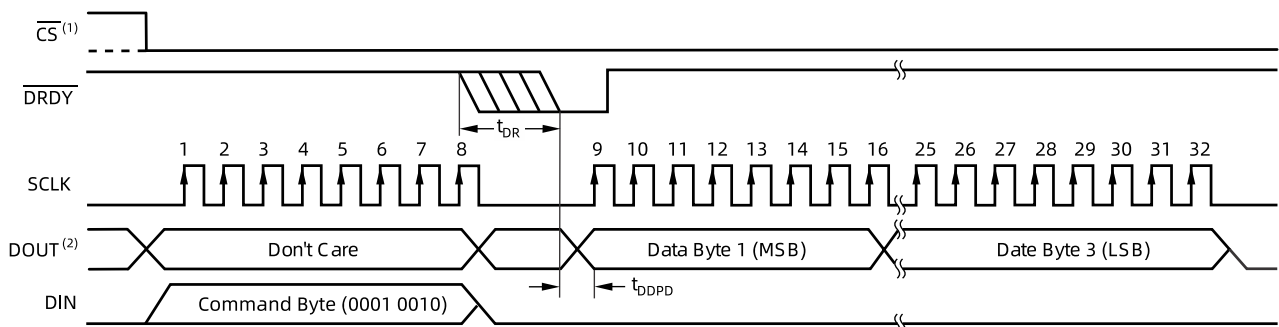
表23. DRDY 到 DOUT 传播延迟

	范围	最小值	典型值	最大值	单位
t_{DDPD}	$\overline{\text{DRDY}}$ 到 DOUT 传播延迟上的有效 MSB ¹			100	ns

1、当 $\overline{\text{CS}}$ 为高电平时，DOUT 处于三态。DOUT 上的负载 = 20 pF || 100 kΩ。

9.4.8.2. 按命令读取数据模式

SDATAC 命令停止读取数据连续模式，然后将 ADC 置于按命令读取数据模式。在 read-data-by-command 模式下，RDATA 命令被发送到设备以读取每个新的转换数据。当接收到读取数据命令时（在第 8 个 SCLK 上升沿），只有当 $\overline{\text{DRDY}}$ 随后变为低电平 (t_{DR}) 时，才能读取数据。当 $\overline{\text{DRDY}}$ 变低时，转换数据出现在 DOUT 上。可以在 SCLK 的上升沿读取数据。



1、当 $\overline{\text{CS}}$ 为高电平时，DOUT 处于三态。 $\overline{\text{CS}}$ 可以拉低。

图35. 通过命令 RDATA 读取数据

表24. 数据读取命令后新数据的时间

范围	最小值	典型值	最大值	单位
t_{DR}	0		1	f_{DATA}

9.4.9. 单次读数操作

LHA9924 可以在软件控制下使用 STANDBY 命令执行非常节能的一次性转换。下图显示了这个序列。

首先，发出 STANDBY 命令来设置待机模式。

当准备好进行测量时，发出 WAKEUP 命令。当 $\overline{DRDY}$ 变为低电平时，完全稳定的转换数据已准备就绪，可以在读取数据连续模式下直接读取。之后，发出另一个 STANDBY 命令。当准备好进行下一次测量时，从另一个 WAKEUP 命令开始重复循环。

参阅图表查看和获取新数据的时间。

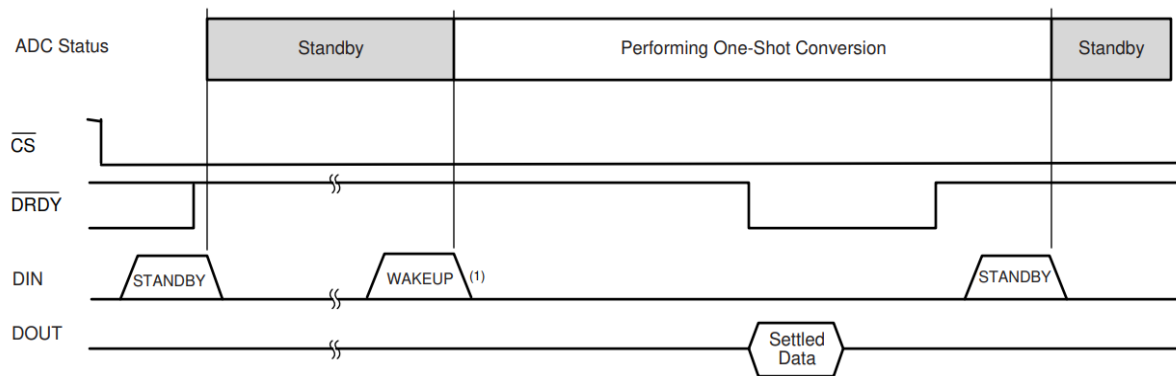


图36. 使用 STANDBY 命令的一次性转换

9.4.10. 失调和满量程校准寄存器

在产生最终输出代码之前，转换数据可以针对失调和增益进行缩放。如下图所示，数字滤波器的输出首先减去失调寄存器（OFC），然后乘以满量程寄存器（FSC）。等式 15 显示缩放：

$$Final\ Output\ Date = (Input - OFC[2:0]) \times \frac{FSC[2:0]}{400000h} \quad (15)$$

失调和满量程寄存器的值是通过直接写入来设置的，或者它们是由校准命令自动设置的。

失调和满量程校准适用于特定的 PGA 设置。当 PGA 改变时，这些寄存器通常需要重新计算。校准在 Sinc 滤波器模式下被绕过。

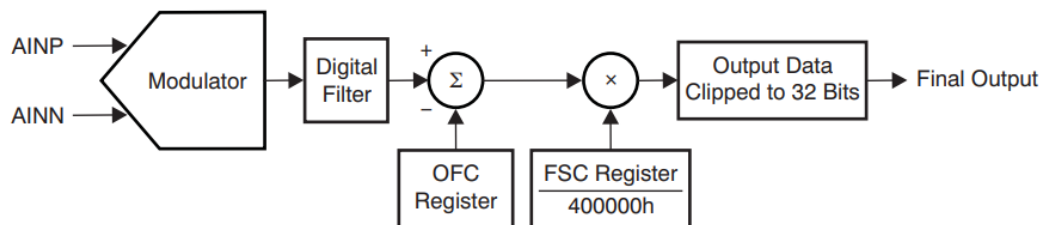


图37. 校准框图

9.4.10.1. OFC[2:0] 寄存器

24 位失调校准字由三个 8 位寄存器组成。失调寄存器左对齐以与 24 位转换数据对齐。失调量采用二进制补码格式，最大正值为 7FFFFh，最大负值为 80000h。从转换数据中减去该值。寄存器值 00000h 没有失调校正（默认值）。

表25. 失调校准字

寄存器	字节	位顺序							
OFC0	LSB	B7	B6	B5	B4	B3	B2	B1	B0 (LSB)
OFC1	MID	B15	B14	B13	B12	B11	B10	B9	B8
OFC2	MSB	B23 (MSB)	B22	B21	B20	B19	B18	B17	B16

虽然失调校准寄存器值可以校正从 $-FS$ 到 $+FS$ 的失调，但为了避免输入过载，请不要超过最大输入电压范围 106% FSR（包括校准）。

表26. 失调校准值

OFC 寄存器	最终输出代码 ¹
7FFFFFFh	800000h
000001h	FFFFFFh
000000h	000000h
FFFFFFh	000001h
800000h	7FFFFFFh

1、带有零码输入的完整 24 位最终输出码。

9.4.10.2. FSC[2:0] 寄存器

满量程校准是一个 24 位字，由三个 8 位寄存器组成，如下表所示。

满量程校准值为 24 位、直线失调二进制，在代码 400000h 处归一化为 1。

表27. 满量程校准字

寄存器	字节	位顺序							
FSC0	LSB	B7	B6	B5	B4	B3	B2	B1	B0 (LSB)
FSC1	MID	B15	B14	B13	B12	B11	B10	B9	B8
FSC2	MSB	B23 (MSB)	B22	B21	B20	B19	B18	B17	B16

下表总结了满量程寄存器的缩放。寄存器值 400000h（默认值）没有增益校正（增益 = 1）。尽管满量程校准寄存器值可校正大于 1 的增益误差（增益校正 < 1），但模拟输入的满量程范围不得超过 106% FSR（包括校准）以避免输入过载。

表28. 满量程校准寄存器值

FSC 寄存器	增益校正
800000h	2.0
400000h	1.0
200000h	0.5
000000h	0

9.4.11. 校准命令（OFSCAL 和 GANCAL）

使用校准命令（OFSCAL 或 GANCAL）校准转换数据。失调和增益校准寄存器的值在内部写入以执行校准。在发送命令之前，必须将适当的输入信号应用于 LHA9924 输入。使用较慢的数据速率以获得更一致的校准结果。此外，如果在上电时进行校准，请确保参考电压已完全稳定。

下图显示校准命令序列。在模拟输入电压（和参考电压）稳定后，发送 SDATAC 命令，然后发送 SYNC 和 RDATA 命令。DRDY 在 64 个数据周期后变低。在 DRDY 变低后，发送 SDATAC 命令，然后是校准命令（OFSCAL 或 GANCAL），然后是 RDATA 命令。16 个数据周期后，校准完成，此时可以读取转换数据。SYNC 输入在校准序列期间必须保持高电平。

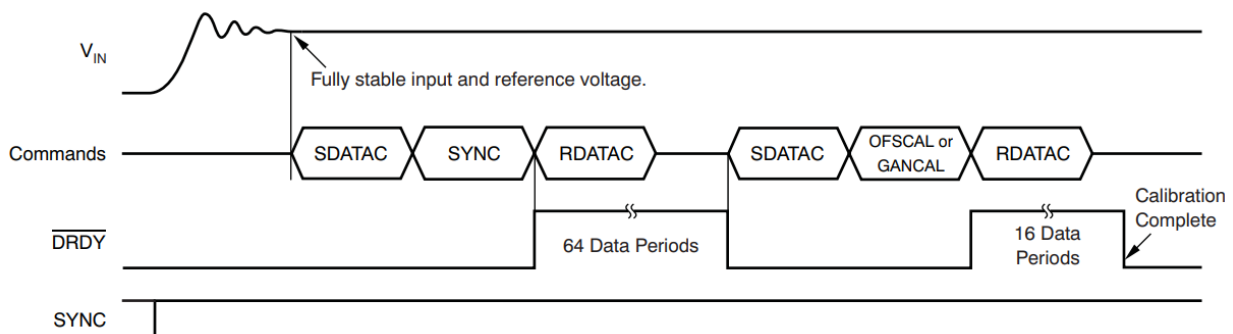


图38. 失调和增益校准时序

校准命令适用于特定的 PGA 设置。如果更改 PGA，则需要重新校准。校准在 Sinc 滤波器模式下被绕过。

9.4.11.1. OFSCAL 命令

OFSCAL 命令执行失调校准。在发送 OFSCAL 命令序列之前，必须向 LHA9924 施加零输入信号，并使输入稳定。当命令序列发送时，LHA9924 平均 16 个读数，然后将这个值写入 OFC 寄存器。OFC 寄存器的内容可以随后被读取或写入。在失调校准期间，满量程校正被绕过。使用 OFSCAL 命令校准可选的 100mV 失调。

9.4.11.2. GANCAL 命令

GANCAL 命令执行增益校准。在发送 GANCAL 命令序列之前，必须应用直流输入（通常为满量程输入，但不超过满量程的 106%）。信号稳定后，可以发送命令序列。LHA9924 平均 16 个读数，然后计算将施加的校准电压缩放到满量程的增益值。增益值被写入 FSC 寄存器，其内容随后被读取或写入。

9.4.11.3. 用户校准

无需使用校准命令即可执行 LHA9924 的系统校准。此过程需要在外部计算校准值，然后将其写入校准寄存器。此过程的步骤是：

- 1、设置 OFSCAL[2:0] 寄存器 = 0h，GANCAL[2:0] = 400000h。这些值分别将失调和增益寄存器设置为 0 和 1。
- 2、将零差分输入应用于系统的输入。等待系统稳定，然后平均输出读数。更多的平均读数会导致更一致的校准。将平均值写入 OFC 寄存器。
- 3、应用差分直流信号或交流信号（通常为满量程，但不超过 106% FSR）。等待系统稳定，然后平均输出读数。

写入 FSC 寄存器的值由等式 16 或方程 17 计算。

直流信号校准显示在等式 16 中。预期的输出代码基于 31 位输出数据。

$$FSC[2:0] = 400000h \times \left\{ \frac{\text{Expected Output Code}}{\text{Actual Output Code}} \right\} \quad (16)$$

对于交流信号校准，使用收集数据的 RMS 值，如等式 17 所示：

$$FSC[2:0] = 400000h \times \left\{ \frac{\text{Expected Output Value}}{\text{Actual Output Value}} \right\} \quad (17)$$

9.5. 编程

9.5.1. 命令

下表列出的命令控制 LHA9924 的操作。大多数命令是独立的（即一个字节的长度）；除了实际的寄存器数据字节外，寄存器读取和写入命令的长度为两个字节。

表29. 命令说明

命令	类型	描述	第一个命令字节 ^{1, 2}	第二个命令字节 ³
WAKEUP	控制	从待机模式唤醒	0000 000X (00h 或 01h)	
STANDBY	控制	进入待机模式	0000 001X (02h 或 03h)	
SYNC	控制	同步模数转换	0000 010X (04h 或 05h)	
RESET	控制	将寄存器重置为默认值	0000 011X (06h 或 07h)	
RDATAC	控制	进入读取数据连续模式	0001 0000 (10h)	
SDATAC	控制	停止读取数据连续模式	0001 0001 (11h)	
RDATA	数据	通过命令读取数据 ⁴	0001 0010 (12h)	
RREG	寄存器	读取地址 rrrrr(4) 处的 nnnnn 寄存器	001r rrrr (20h + 000r rrrr)	000n nnnn (00h + n nnnn)
WREG	寄存器	在地址 rrrrr 处写入 nnnnn 寄存器	010r rrrr (40h + 000r rrrr)	000n nnnn (00h + n nnnn)
OFSCAL	校准	失调校准	0110 0000 (60h)	
GANCAL	校准	增益校准	0110 0001 (61h)	

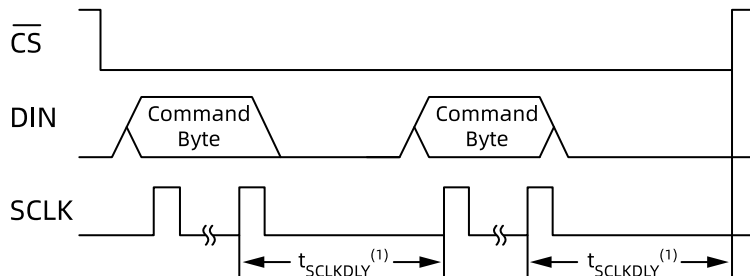
1、X = 不在乎。

2、rrrrr = 寄存器读写命令的起始地址。

3、nnnnn = 要读取或写入的寄存器数 - 1。例如，要读取或写入三个寄存器，设置 nnnnn = 2 (00010)。

4、需要在发送命令之前取消读取数据连续模式。

5、CS 必须在命令字节序列的持续时间内保持低电平。从一个命令的最后一个 SCLK 上升沿到下一个命令的第一个 SCLK 上升沿，命令之间和一个命令中的字节之间需要 24 个 f_{CLK} 周期的延迟。



(1) $t_{SCLKDLY} = 24/f_{CLK}(\text{min})$

图39. 连续命令

9.5.1.1. SDATAC 需求

在连续读取数据模式下，LHA9924 在应用 SCLK 时将转换数据放在 DOUT 引脚上。由于 RREG 或 RDATA 操作导致转换数据和放置在 DOUT 上的寄存器数据之间存在潜在冲突，因此有必要在 RREG 或 RDATA 命令之前发送停止连续读取数据(SDATAC) 命令。SDATAC 命令禁用 DOUT 引脚上转换数据的直接输出。 $\overline{CS} = 1$ 取消 SDATAC 模式；因此，在将 SDATAC 命令发送到下一个 RREG 或 RDATA 命令后，保持 $\overline{CS}$ 保持低电平。

9.5.2. WAKEUP: 从待机模式唤醒

WAKEUP 命令用于退出待机模式。发送此命令后，第一个数据准备就绪的时间如上图表所示。正常运行时发送此命令无效；例如，在 DIN 保持低电平的情况下，通过连续读取模式读取数据。

9.5.2.1. 待机：待机模式

STANDBY 命令将 LHA9924 置于待机模式。在待机状态下，器件进入低功耗状态，此时保持低静态电流以保持寄存器设置和串行接口处于活动状态。ADC 保持待机模式，直到 $\overline{CS}$ 变为高电平或发送 WAKEUP 命令。要完全关闭器件，请将 $\overline{PWDN}$ 引脚拉低（不保存寄存器设置）。待机模式的操作如下图 所示。

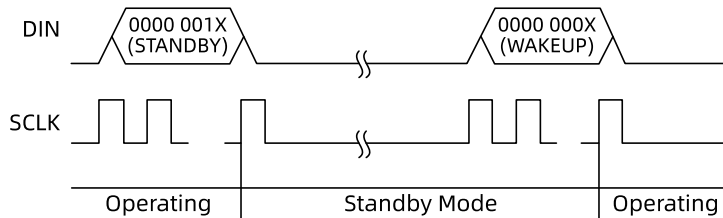


图40. STANDBY 命令序列

9.5.2.2. SYNC: 同步模数转换

SYNC 命令同步模数转换。接收到命令后，取消正在进行的读取并重新开始转换过程。为了同步多个 LHA9924，命令必须同时发送到所有设备。在此命令期间，SYNC 引脚必须保持高电平。

9.5.2.3. 复位：复位设备

RESET 命令将寄存器重置为默认值，启用连续读取数据模式，并重新启动转换过程。RESET 命令在功能上等同于将 RESET 引脚拉低。

9.5.2.4. RDATA: 连续读取数据

RDATA 命令连续启用读取数据模式（默认模式）。在这种模式下，转换数据直接从器件中读取，无需提供数据读取命令。每次 $\overline{DRDY}$ 下降时，都有新数据可供读取。有关详细信息，请参阅连续读取数据模式部分。

9.5.2.5. SDATAC: 停止读取数据连续

SDATAC 命令停止连续读取数据模式。在发送寄存器和数据读取命令之前退出连续读取数据模式。

SDATAC 命令抑制 DRDY 输出，但 LHA9924 继续转换。将 CS 拉高以取消 SDATAC 模式。

9.5.2.6. RDATA: 通过命令读取数据

RDATA 命令读取转换数据。有关详细信息，请参阅通过命令读取数据模式部分。

9.5.2.7. RREG: 读取寄存器

RREG 命令用于读取单个或多个寄存器。该命令由一个两字节的操作码参数组成，然后是寄存器数据的输出。操作码的第一个字节包括起始地址，第二个字节指定要读取的寄存器数量减一。

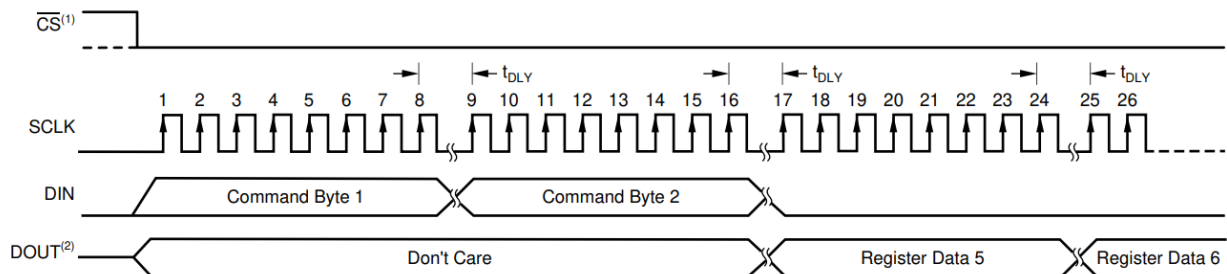
第一个命令字节：001r rrrr，其中 rrrr 是第一个寄存器的起始地址。

第二个命令字节：000n nnnn，其中 nnnnn 是要读取的寄存器数减一。

从 SCLK 的第 16 个下降沿开始，寄存器数据出现在 DOUT 上。在第 17 个 SCLK 上升沿读取数据。

RREG 命令在下图中说明。

每个字节事件之间需要 24 个 f_{CLK} 周期的延迟。



示例：读取六个寄存器，从寄存器 05h (OFC0) 命令字节 1 = 0010 0101 开始命令字节 2 = 0000 0101

(1) 当 CS 为高电平时，DOUT 处于三态。CS 可以拉低。请参阅图 2 CS 低至 SCLK 上升沿时间。

图41. 读取寄存器数据

表30. 每个字节事件之间延迟

范围	最小
t_{DLY}	24 f_{CLK} 周期

9.5.2.8. WREG: 写入寄存器

WREG 命令写入单个或多个寄存器。该命令由两个字节的操作码参数组成，后跟寄存器数据的输入。操作码的第一个字节包含起始地址，第二个字节指定要写入的寄存器数量减一。

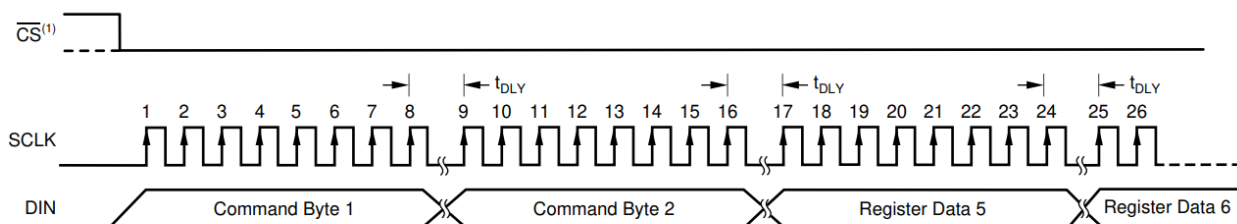
第一个命令字节：010r rrrr，其中 rrrr 是第一个寄存器的起始地址。

第二个命令字节：000n nnnn，其中 nnnnn 是要写入的寄存器数减一。

数据字节：一个或多个寄存器数据字节，取决于指定的寄存器数量。

下图说明了 WREG 命令。

每个字节事件之间需要 24 个 f_{CLK} 周期的延迟。



Example: Write six registers, starting at register 05h (OFC0)
Command Byte 1 = 0100 0101
Command Byte 2 = 0000 0101

(1) CS 可以拉低。

图42. 写入寄存器数据

9.5.2.9. OFSCAL : 失调校准

OFSCAL 命令执行失调校准。在发送此命令之前，转换器的输入（或外部前置放大器的输入）应归零并稳定。失调校准寄存器在此操作后更新。有关详细信息，请参阅校准命令部分。

9.5.2.10. GANCAL : 增益校准

GANCAL 命令执行增益校准。转换器的输入应具有稳定的直流输入（通常为满量程，但不超过满量程的 106%）。增益校准寄存器在此操作后更新。有关详细信息，请参阅校准命令部分。

9.6. 寄存器映射

总的来说，这些寄存器包含配置器件所需的所有信息，例如数据速率、滤波器选择、校准等。寄存器由 RREG 和 WREG 命令访问。通过发送或接收连续字节，寄存器可以单独访问，也可以作为寄存器块访问。寄存器写操作后，ADC 复位，导致 63 个读取周期的中断。

表31. 寄存器映射

地址	寄存器	复位值	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
00h	ID_CFG	X0h	ID3	ID2	ID1	ID0	0	0	OFFSET1	OFFSET0
01h	CONFIG0	52h	SYNC	MODE	DR2	DR1	DR0	PHASE	FILTR1	FILTR0
02h	CONFIG1	08h	0	MUX2	MUX1	MUX0	CHOP	PGA2	PGA1	PGA0
03h	HPF0	32h	HPF07	HPF06	HPF05	HPF04	HPF03	HPF02	HPF01	HPF00
04h	HPF1	03h	HPF15	HPF14	HPF13	HPF12	HPF11	HPF10	HPF09	HPF08
05h	OFC0	00h	OFC07	OFC06	OFC05	OFC04	OFC03	OFC02	OFC01	OFC00
06h	OFC1	00h	OFC15	OFC14	OFC13	OFC12	OFC11	OFC10	OFC09	OFC08
07h	OFC2	00h	OFC23	OFC22	OFC21	OFC20	OFC19	OFC18	OFC17	OFC16
08h	FSC0	00h	FSC07	FSC06	FSC05	FSC04	FSC03	FSC02	FSC01	FSC00
09h	FSC1	00h	FSC15	FSC14	FSC13	FSC12	FSC11	FSC10	FSC09	FSC08
0Ah	FSC2	40h	FSC23	FSC22	FSC21	FSC20	FSC19	FSC18	FSC17	FSC16

9.6.1. 寄存器说明

ID_CFG: ID_Configuration 寄存器（地址 = 00h）[复位 = xxh]

表32. ID_CFG 寄存器

7	6	5	4	3	2	1	0
ID3	ID2	ID1	ID0	SID3	SID2	SID1	SID0
R-xh	R-xh	R-xh	R-xh	R-xh	R-xh	R-xh	R-xh

图例: R/W = Read/Write; R = Read only; -n = value after reset.

Bit[7:4] ID[3:0]
Factory-programmed identification bits (read-only). The ID bits are subject to change without notification.

Bit[3:0] SID[3:0]
Factory-programmed identification bits (read-only).

CONFIG0: 配置寄存器 0（地址 = 01h）[复位 = 52h]

表33. CONFIG0 寄存器

7	6	5	4	3	2	1	0
同步	模式	DR2	DR1	DR0	阶段	过滤器1	过滤器0
R W-0h	R W-1h	R W-0h	R W-1h	R W-0h	R W-0h	RW -1h	R W-0h

图例: R W = 读写; R = 只读; -n = 重置后的值。

位[7] 同步
同步模式位。
0: 脉冲同步模式（默认）
1: 连续同步模式

位[6] 模式
模式控制
0: 低功耗模式

位[5:3]	1: 高分辨率模式 (默认) DR[2:0] FIR (SINC) 输出数据速率选择位。 000: 250 (8000) SPS 001: 500 (16000) SPS 010: 1000 (32000) SPS (默认) 011: 2000 (64000) SPS 100: 4000 (128000) SPS
位[2]	相位 FIR 相位响应位。 0: 线性相位 (默认) 1: 最小相位
位[1:0]	FILTR[1:0] 数字滤波器配置位。 00: 保留 01: 仅正弦滤波器块 10: Sinc + LPF 滤波器块 (默认) 11: Sinc + LPF + HPF 滤波器块

CONFIG1: 配置寄存器 1 (地址 = 02h) [复位 = 00h]

表34. CONFIG1 寄存器

7	6	5	4	3	2	1	0
0	MUX2	MUX1	MUX0	RESE-RVED0	PGA2	PGA1	PGA0
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

图例: R/W = Read/Write; R = Read only; -n = value after reset.

Bit[7]	Reserved Always write 0
Bit[6:4]	MUX[2:0] MUX select bits. 000: AINP1 and AINN1 (default) 001: AINP2 and AINN2 010: Internal short through 400-Ω resistor 011: AINP1 and AINN1 connected to AINP2 and AINN2 100: External short to AINN2 101: Internal short for noise test
Bit[3]	RESERVED0 High-pass filter parameter config bit. 0: HPF [1:0] config parameter A for FIR filter 1: HPF [1:0] config parameter B for FIR filter
Bit[2:0]	PGA[2:0] PGA gain select bits. XXX: G = 64

HPF0 和 HPF1 寄存器

这两个字节 (分别为高字节和低字节) 设置高通滤波器的拐角频率。

HPF0: 高通滤波器拐角频率, 低字节 (地址 = 03h) [复位 = CAh]

高通滤波器频率配置 0。当 CONFIG1.RESERVED0 为 0 时, 该域为系数 A 的低八位, 复位值是 0xCA; 当 CONFIG1.RESERVED0 为 1 时, 该域为系数 B 的低八位, 复位值是 0x9F。

表35. HPF0 寄存器

7	6	5	4	3	2	1	0
HPF07	HPF06	HPF05	HPF04	HPF03	HPF02	HPF01	HPF00
R/W-0h	R/W-0h	R/W-1h	R/W-1h	R/W-0h	R/W-0h	R/W-1h	R/W-0h

图例: R/W = 读写; R = 只读; -n = 重置后的值。

HPF1: 高通滤波器拐角频率, 高字节 (地址 = 04h) [复位 = FCh]

高通滤波器频率配置 1。当 CONFIG1.RESERVED0 为 0 时, 该域为系数 A 的高八位, 复位值是 0xFC; 当 CONFIG1.RESERVED0 为 1 时, 该域为系数 B 的高八位, 复位值是 0xF9。

表36. HPF1 寄存器

7	6	5	4	3	2	1	0
HPF15	HPF14	HPF13	HPF12	HPF11	HPF10	HPF09	HPF08
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-1h	R/W-1h

图例: R/W = 读写; R = 只读; -n = 重置后的值。

OFC0、OFC1、OFC2 寄存器

这三个字节设置失调校准值。

OFC0: 失调校准, 低字节 (地址 = 05h) [复位 = 00h]

表37. OFC0 寄存器

7	6	5	4	3	2	1	0
OFC07	OFC06	OFC05	OFC04	OFC03	OFC02	OFC01	OFC00
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

图例: R/W = 读写; R = 只读; -n = 重置后的值。

OFC1: 失调校准, 中间字节 (地址 = 06h) [复位 = 00h]

表38. OFC1 寄存器

7	6	5	4	3	2	1	0
OFC15	OFC14	OFC13	OFC12	OFC11	OFC10	OFC09	OFC08
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

图例: R/W = 读写; R = 只读; -n = 重置后的值。

OFC2: 失调校准, 高字节 (地址 = 07h) [复位 = 00h]

表39. OFC2 寄存器

7	6	5	4	3	2	1	0
OFC23	OFC22	OFC21	OFC20	OFC19	OFC18	OFC17	OFC16
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

图例: R/W = 读写; R = 只读; -n = 重置后的值。

FSC0、FSC1、FSC2 寄存器

这三个字节设置满量程校准值。

FSC0: 满量程校准, 低字节 (地址 = 08h) [复位 = 00h]

表40. FSC0 寄存器

7	6	5	4	3	2	1	0
FSC07	FSC06	FSC05	FSC04	FSC03	FSC02	FSC01	FSC00
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

图例: R/W = 读写; R = 只读; -n = 重置后的值。

FSC1: 满量程校准, 中间字节 (地址 = 09h) [复位 = 00h]

表41. FSC1 寄存器

7	6	5	4	3	2	1	0
FSC15	FSC14	FSC13	FSC12	FSC11	FSC10	FSC09	FSC08
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

图例: R/W = 读写; R = 只读; -n = 重置后的值。

FSC2: 满量程校准, 高字节 (地址 = 0Ah) [复位 = 40h]

表42. FSC2 寄存器

7	6	5	4	3	2	1	0
FSC23	FSC22	FSC21	FSC20	FSC19	FSC18	FSC17	FSC16
R/W-0h	R/W-1h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

图例: R/W = 读写; R = 只读; -n = 重置后的值。

10. 应用与实现

10.1. 应用信息

LHA9924 是一款非常高分辨率的 ADC，具有两种工作模式，可在功耗和 SNR 性能之间进行权衡。最佳性能需要特别注意支持电路和印刷电路板 (PCB) 设计。将嘈杂的数字组件（例如微控制器、振荡器等）放置在远离转换器和前端组件的 PCB 区域中。通过将数字组件放置在靠近电源入口点的位置，使数字电流路径保持较短并与敏感的模拟组件分开。

10.2. 初始化设置

复位或上电后，使用以下步骤配置寄存器：

重置串行接口。在使用串行接口之前，可能需要恢复串行接口(未定义的 I/O 上电排序可能会导致出现错误的 SCLK)。要复位接口，请将 CS 引脚切换为高电平然后低电平，或者将 RESET 引脚切换为高电平然后低电平，或者在读取数据连续模式下，将 SCLK 保持低电平 64 个 $\overline{\text{DRDY}}$ 周期。

配置寄存器。寄存器可以通过单独写入或作为一组写入来配置，并且只能在 STATAC 模式下进行配置。要取消读取数据连续模式，请在寄存器读取和写入操作之前发送 SDATAC 命令。

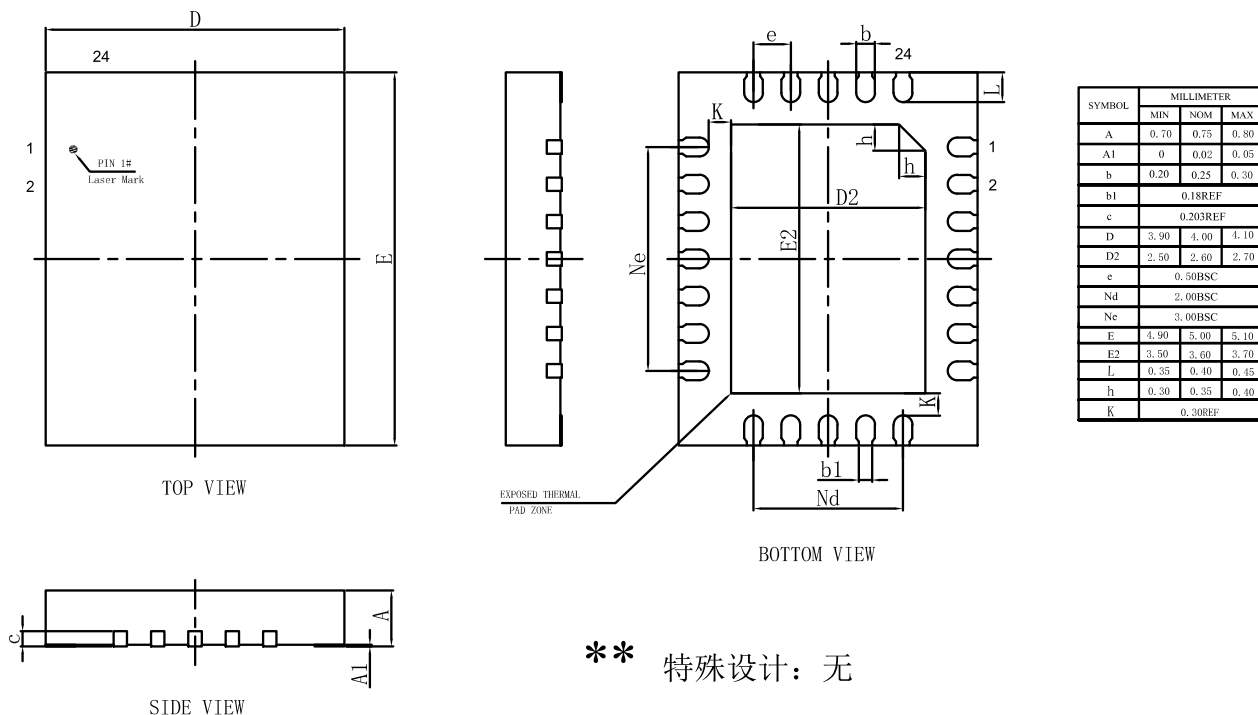
验证寄存器数据。要验证设备通信，请回读寄存器。

设置数据模式。寄存器配置后，通过执行 RDATA 命令将器件配置为连续读取数据模式，或配置为按命令读取数据模式 (在步骤 2 中通过 SDATAC 命令设置)。

同步读数。只要 SYNC 为高电平，LHA9924 就会自由运行数据转换。要在脉冲同步模式下重新同步转换，请将 SYNC 拉低，然后再拉高。在连续同步模式下，将同步时钟应用到 SYNC 引脚，时钟周期等于 ADC 转换周期的倍数。

读取数据。如果读取数据连续模式处于活动状态，则在 $\overline{\text{DRDY}}$ 下降后通过施加 SCLK 脉冲直接读取数据。如果读取数据连续模式无效，则只能通过执行 RDATA 命令读取数据。必须在此模式下发送 RDATA 命令才能读取每个转换结果。

11. 封装尺寸



12. 采购信息

表43. 采购信息

芯片编号	FIR 速率	通道数	精度	温度范围	封装类型	引脚数
LHA9924HEQG	64KSPS	2	24 Bits	-40°C ~ 85°C	QFN	24

表44. 包装规格

订购型号	封装类型	引脚数	包装类型	大包装量	备注
LHA9924HEQG	QFN	24	TRAY	2450 颗/盘	

注释: REEL: 卷带包装;
TRAY: 托盘包装;
TUBE: 管式包装;