

1. 特性

- 8 个低噪声可编程增益放大器 (PGA) 和 8 个高分辨率模数转换器 (ADC) (LHE790X)
- 低功耗：每通道 0.73mW
- 超低功耗模式：每通道 0.4mW
- 输入参考噪声：2.3 μ V_{PP} (150Hz 带宽 (BW), G = 6)
- 输入偏置电流：500pA
- 数据速率：250SPS 至 64kSPS
- 共模抑制比 (CMRR)：-120dB
- 可编程增益：1、2、3、4、6、8、12 或 24
- 支持满足 AAMI EC11、EC13、IEC60601-1、IEC60601-2-27 和 IEC60601-2-51 标准的系统
- 单极或双极电源：
 - AVDD = 2.7V 至 5.25V
 - DVDD = 1.65V 至 5.25V
- 内置右腿驱动放大器、导联断开检测、威尔逊中心终端、起搏检测、测试信号
- 增强直流导联脱落功能和交流导联脱落阻抗检测
- 友好的硬件起搏检测算法接口
- 内置振荡器与基准
- SPI 兼容串口

2. 应用

- 医疗仪器（心电图 (ECG)、肌电图 (EMG) 和脑电图 (EEG)）：病人监护；动态心电图，事件，压力，

以及生命体征，包括 ECG、AED、远程医疗、双谱指数 (BIS)、诱发音频电位 (EAP)、睡眠监护仪。

3. 说明

LHE7904、LHE7906、LHE7908 (LHE790X) 是多通道同步采样 24 位 Δ - Σ 模数转换器 (ADC) 系列，内置有可编程增益放大器 (PGA)、内部基准以及振荡器。LHE790X 包含医疗心电图 (ECG) 和脑电图 (EEG) 应用中通常所需的全部功能。凭借高集成度和出色性能，LHE790X 能够以大幅缩小的尺寸、显著降低的功耗和整体成本开发可扩展的医疗仪器系统。

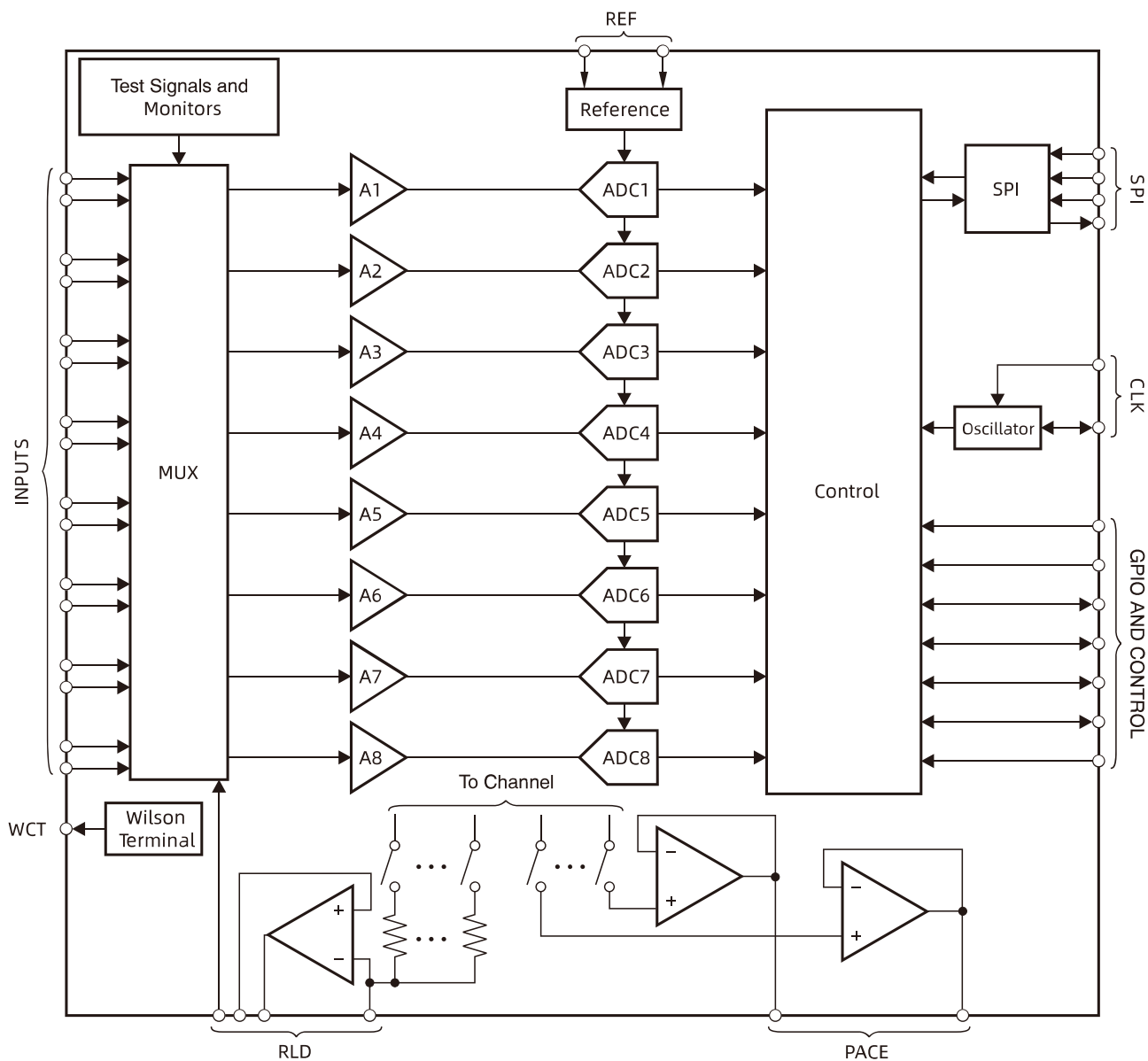
LHE790X 的每个通道都有一个灵活的输入复用器 (MUX)，此复用器能够独立连接至内部生成的信号以进行测试、温度和导联断开检测。此外，可选择输入通道的任一配置生成右腿驱动 (RLD) 输出信号。LHE790X 工作数据速率高达 64kSPS，集成硬件起搏检测算法。可通过上拉/下拉电阻或激励电流源在器件内部实现导联断开检测。3 个集成放大器用于生成标准 12 导联 ECG 所需的威尔逊中心终端 (WCT) 和戈德伯格中心终端 (GCT)。可在高通道数系统中采用菊花链配置串联多个 LHE790X 器件。

封装选项包括微型 8mm × 8mm、64 焊球 BGA 与 LQFP-64 封装。LHE790X BGA 版本的商业级额定温度范围为 0°C 至 70°C。工业级额定温度范围为 -40°C 至 +85°C。

器件信息

器件型号	封装	封装尺寸 (标称值)
LHE790X	BGA (64)	8.00mm x 8.00mm
	LQFP (64)	10.00mm x 10.00mm

4. 简化电路原理图



目录

1. 特性.....	1
2. 应用.....	1
3. 说明.....	1
4. 简化电路原理图	2
5. 版本历史	5
6. 引脚配置和功能	6
6.1. 64 引脚 BGA 俯视图, 底部的焊接凸点.....	6
6.2. 64 引脚 LQFP 俯视图	9
7. 规格.....	12
7.1. 绝对最大额定值	12
7.2. ESD 额定值.....	12
7.3. 建议的工作条件	12
7.4. 热性能信息	13
7.5. 电气特性	13
7.6. 电气特性 (CONTINUED).....	14
7.7. 时序要求: 串行接口	17
7.8. 开关特性: 串行接口	17
7.9. 典型特性	18
8. 参数测量信息	21
8.1. 噪声测量	21
9. 详细说明	23
9.1. 概要	23
9.2. 功能方框图	24
9.3. 特性说明	24
9.3.1. 模拟功能	24
9.3.2. 数字功能	45
9.3.3. 功能模式	50
9.3.4. 编程	57

9.3.5. SPI 命令定义	59
9.3.6. 寄存器映射	64
9.3.7. 寄存器说明	65
10. 应用和实现	81
10.1. 应用信息	81
10.1.1. 设置器件以进行基本数据采集	81
10.1.2. 建立输入共模	83
10.1.3. 抗混叠	85
10.2. 典型应用	85
10.2.1. 使用 LHE790X 上的 PACEOUT 引脚进行基于软件的人工起搏器检测	85
11. 电源建议	87
11.1. 上电时序	87
11.2. 连接到单极 (3V 或 1.8V) 电源	88
11.3. 连接到双极 ($\pm 1.5V$ 或 $\pm 1.8V$) 电源	89
12. 布局	90
12.1. 布局指南	90
12.2. 布局示例	90
13. 封装和可订购信息	92
14. 采购指南	93

5. 版本历史

版本号	日期	更新内容
PreA	2023 年 4 月 17 日	初版
PreB	2023 年 4 月 28 日	1. 增加 ULP 版本说明 2. 增加 AC LEAD OFF 寄存器说明 3. 增加 pace 测试数据 4. 其他细节改动
PreC	2023 年 5 月 12 日	1. 增加 AC LEAD OFF 阻抗测量描述 2. 增加 DC LEAD OFF 输出到 GPIO 描述
PreD	2023 年 6 月 28 日	1. 修改 pace buffer 增益 2. 修改内部测试信号幅值描述 3. 修改寄存器描述 4. 修改 RTREG WTREG 命令描述 5. 增加 DRV_STRENGTH 寄存器 6. 修改 DRDY 引脚编号
	2023 年 9 月 24 日	增加包装信息
PreE	2023 年 12 月 11 日	1. 增加 7.9 典型特性图片 2. 修改导联脱落检测图 25. 3. 补齐 8.1 噪声测量数据 4. 修改 10.2.1 PACEOUT 检测功能描述 5. 修改软件起搏器检测拓扑方框图 64.
	2024 年 4 月 8 日	增加小包装规格
	2024 年 11 月 1 日	1. 修改时钟描述

6. 引脚配置和功能

6.1. 64 引脚 BGA 俯视图，底部的焊接凸点

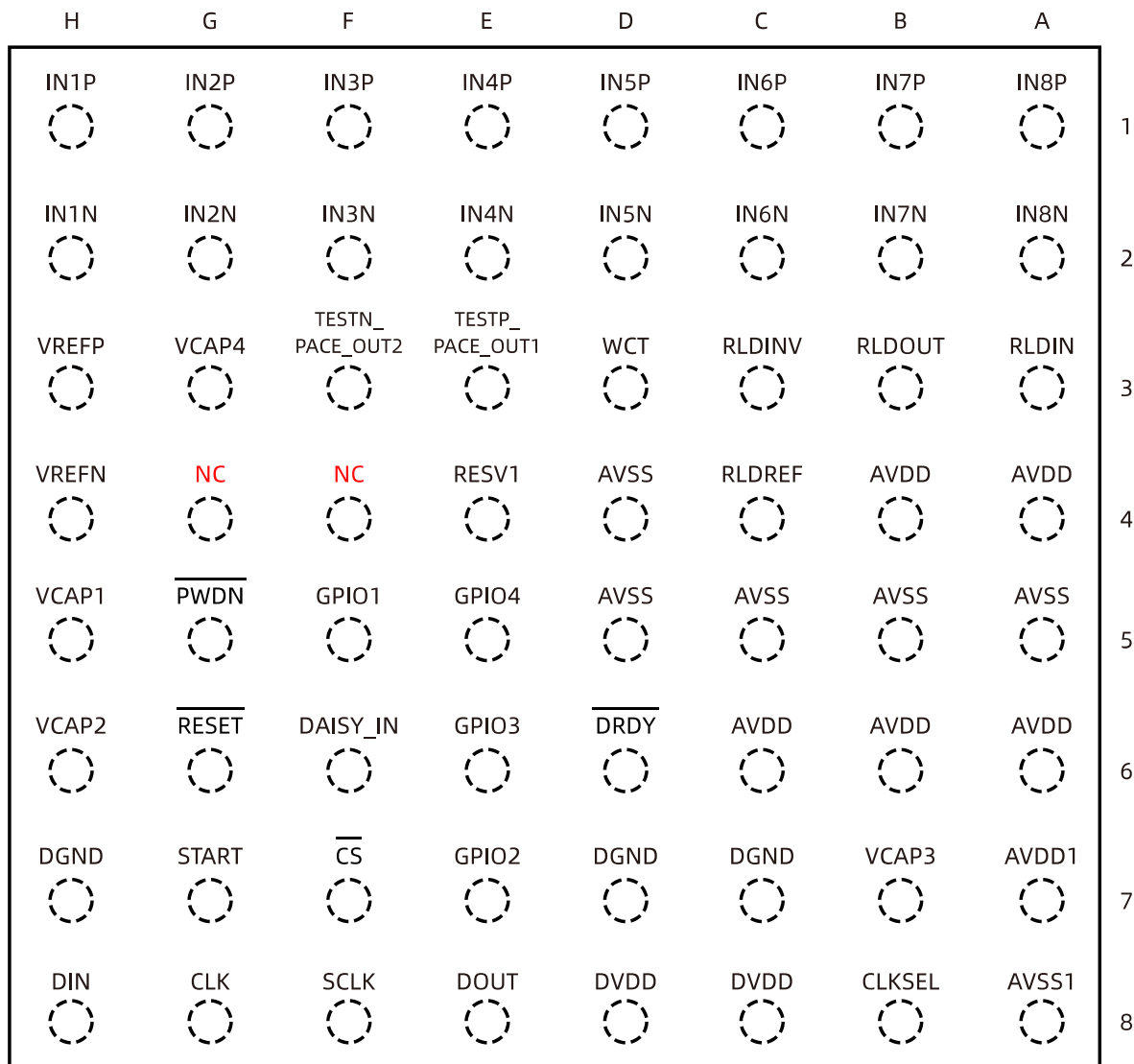


图1. 64 引脚 BGA 俯视图，底部的焊接凸点

表1. 引脚功能: BGA 封装(continued)

引脚		类型	说明
编号	名称		
1A	IN8P ⁽¹⁾	模拟输入	差分模拟正输入 8 (LHE790X)
1B	IN7P ⁽¹⁾	模拟输入	差分模拟正输入 7 (LHE790X)
1C	IN6P ⁽¹⁾	模拟输入	差分模拟正输入 6 (LHE7906、LHE790X)
1D	IN5P ⁽¹⁾	模拟输入	差分模拟正输入 5 (LHE7906、LHE790X)
1E	IN4P ⁽¹⁾	模拟输入	差分模拟正输入 4
1F	IN3P ⁽¹⁾	模拟输入	差分模拟正输入 3
1G	IN2P ⁽¹⁾	模拟输入	差分模拟正输入 2
1H	IN1P ⁽¹⁾	模拟输入	差分模拟正输入 1
2A	IN8N ⁽¹⁾	模拟输入	差分模拟负输入 8 (LHE790X)
2B	IN7N ⁽¹⁾	模拟输入	差分模拟负输入 (LHE790X)
2C	IN6N ⁽¹⁾	模拟输入	差分模拟负输入 6 (LHE7906、LHE790X)
2D	IN5N ⁽¹⁾	模拟输入	差分模拟负输入 5 (LHE7906、LHE790X)
2E	IN4N ⁽¹⁾	模拟输入	差分模拟负输入 4
2F	IN3N ⁽¹⁾	模拟输入	差分模拟负输入 3
2G	IN2N ⁽¹⁾	模拟输入	差分模拟负输入 2
2H	IN1N ⁽¹⁾	模拟输入	差分模拟负输入 1
3A	RLDIN ⁽¹⁾	模拟输入	多路复用器的右腿驱动输入
3B	RLDOUT	模拟输出	右腿驱动输出
3C	RLDINV	模拟输入/输出	右腿驱动输入反相输入
3D	WCT	模拟输出	威尔逊中心端子输出
3E	TESTP_PACE_OUT1 ⁽¹⁾	模拟输入/缓冲输出	内部测试信号或单端缓冲输出 (基于寄存器设置)
3F	TESTN_PACE_OUT2 ⁽¹⁾	模拟输入/输出	内部测试信号或单端缓冲输出 (基于寄存器设置)
3G	VCAP4	—	模拟旁路电容器; 将 1 μ F 电容器连接到 AVSS
3H	VREFP	模拟输入/输出	正基准输入/输出电压, 建议使用 22 μ F 电容 AVSS, 以提高性能
4A	AVDD	电源	模拟电源
4B	AVDD	电源	模拟电源
4C	RLDREF	模拟输入	右腿驱动同相输入
4D	AVSS	电源	模拟接地
4E	RESV1	数字输入	保留以供将来使用; 必须连接至逻辑低电平 (DGND)。
4F	NC		
4G	NC		
4H	VREFN	模拟输入	负基准电压
5A	AVSS	电源	模拟接地
5B	AVSS	电源	模拟接地
5C	AVSS	电源	模拟接地
5D	AVSS	电源	模拟接地
5E	GPIO4	数字输入/输出	通用输入/输出引脚 4
5F	GPIO1	数字输入/输出	通用输入/输出引脚 1
5G	$\overline{\text{PWDN}}$	数字输入	关断引脚; 低电平有效
5H	VCAP1	—	模拟旁路电容器; 将 22 μ F 电容器连接到 AVSS, 如希望启动时间短, 建议 1 μ F
6A	AVDD	电源	模拟电源
6B	AVDD	电源	模拟电源
6C	AVDD	电源	模拟电源

引脚		类型	说明
编号	名称		
6D	DRDY	数字输出	数据指示信号；低电平有效
6E	GPIO3	数字输入/输出	通用输入/输出引脚 3
6F	DAISY_IN ⁽²⁾	数字输入	菊花链输入；如果未使用，则与 DGND 短接。
6G	RESET	数字输入	系统复位引脚；低电平有效
6H	VCAP2	—	模拟旁路电容器；将 1 μ F 电容器连接到 AVSS
7A	AVDD1	电源	模拟电源
7B	VCAP3	—	模拟旁路电容器，内部生产 1.8V；将 1 μ F 电容器连接到 DGND(兼容也可接 AVSS)。
7C	DGND	电源	数字接地
7D	DGND	电源	数字接地
7E	GPIO2	数字输入/输出	通用输入/输出引脚 2
7F	CS	数字输入	SPI 片选；低电平有效
7G	START	数字输入	开始转换
7H	DGND	电源	数字接地
8A	AVSS1	电源	模拟接地
8B	CLKSEL	数字输入	主时钟选择
8C	DVDD	电源	数字电源
8D	DVDD	电源	数字电源
8E	DOUT	数字输出	SPI 数据输出
8F	SCLK	数字输入	SPI 时钟
8G	CLK	数字输入/输出	外部主时钟输入或内部时钟输出。
8H	DIN	数字输入	SPI 数据输入

- (1) 将未使用的引脚连接到 AVDD。
 (2) DAISY_IN 在未使用时连接到逻辑 0。

6.2. 64 引脚 LQFP 俯视图

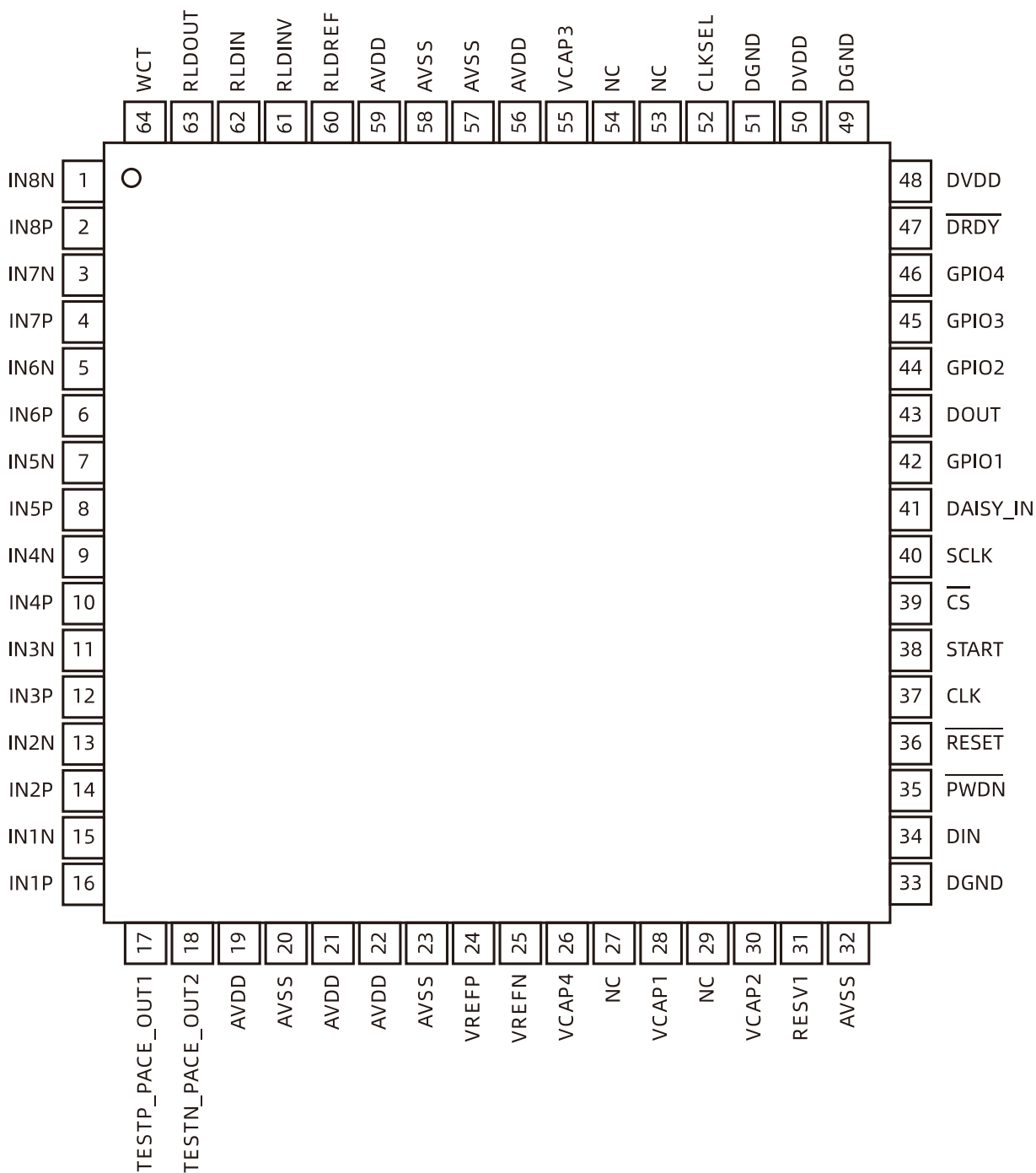


图2. 64 引脚 LQFP 俯视图

表2. 引脚功能: LQFP 封装 (continued)

引脚		类型	说明
编号	名称		
1	IN8N ⁽¹⁾	模拟输入	差分模拟负输入 8 (LHE790X)
2	IN8P ⁽¹⁾	模拟输入	差分模拟正输入 8 (LHE790X)
3	IN7N ⁽¹⁾	模拟输入	差分模拟负输入 7 (LHE790X)
4	IN7P ⁽¹⁾	模拟输入	差分模拟正输入 7 (LHE790X)
5	IN6N ⁽¹⁾	模拟输入	差分模拟负输入 6 (LHE7906、LHE790X)
6	IN6P ⁽¹⁾	模拟输入	差分模拟正输入 6 (LHE7906、LHE790X)
7	IN5N ⁽¹⁾	模拟输入	差分模拟负输入 5 (LHE7906、LHE790X)
8	IN5P ⁽¹⁾	模拟输入	差分模拟正输入 5 (LHE7906、LHE790X)
9	IN4N ⁽¹⁾	模拟输入	差分模拟负输入 4
10	IN4P ⁽¹⁾	模拟输入	差分模拟正输入 4
11	IN3N ⁽¹⁾	模拟输入	差分模拟负输入 3
12	IN3P ⁽¹⁾	模拟输入	差分模拟正输入 3
13	IN2N ⁽¹⁾	模拟输入	差分模拟负输入 2
14	IN2P ⁽¹⁾	模拟输入	差分模拟正输入 2
15	IN1N ⁽¹⁾	模拟输入	差分模拟负输入 1
16	IN1P ⁽¹⁾	模拟输入	差分模拟正输入 1
17	TESTP_PACE_OUT1 ⁽¹⁾	模拟输入/缓冲输出	内部测试信号/单端缓冲输出 (基于寄存器设置)
18	TESTN_PACE_OUT2 ⁽¹⁾	模拟输入/输出	内部测试信号/单端缓冲输出 (基于寄存器设置)
19	AVDD	电源	模拟电源
20	AVSS	电源	模拟接地
21	AVDD	电源	模拟电源
22	AVDD	电源	模拟电源
23	AVSS	电源	模拟接地
24	VREFP	模拟输入/输出	正基准输入/输出电压, 建议使用 22uF 电容接 AVSS, 以提高性能
25	VREFN	模拟输入	负基准电压
26	VCAP4	—	模拟旁路电容器; 将 1 μ F 电容器连接到 AVSS
27	NC	—	无连接, 可使用 10k Ω 电阻器连接到 AVDD 或 AVSS
28	VCAP1	—	模拟旁路电容器; 将 22 μ F 电容器连接到 AVSS, 如希望启动时间短, 建议 1uF
29	NC	—	无连接, 可使用 10k Ω 电阻器连接到 AVDD 或 AVSS
30	VCAP2	—	模拟旁路电容器; 将 1 μ F 电容器连接到 AVSS
31	RESV1	数字输入	保留以供将来使用; 必须连接至逻辑低电平 (DGND)。
32	AVSS	电源	模拟接地
33	DGND	电源	数字接地
34	DIN	数字输入	SPI 数据输入
35	$\overline{\text{PWDN}}$	数字输入	关断引脚; 低电平有效
36	$\overline{\text{RESET}}$	数字输入	系统复位引脚; 低电平有效
37	CLK	数字输入/输出	外部主时钟输入或内部时钟输出。
38	START	数字输入	开始转换
39	$\overline{\text{CS}}$	数字输入	SPI 片选; 低电平有效
40	SCLK	数字输入	SPI 时钟
41	DAISY_IN ⁽²⁾	数字输入	菊花链输入; 如果未使用, 则与 DGND 短接。
42	GPIO1	数字输入/输出	通用输入/输出引脚 1
43	DOUT	数字输出	SPI 数据输出
44	GPIO2	数字输入/输出	通用输入/输出引脚 2

引脚		类型	说明
编号	名称		
45	GPIO3	数字输入/输出	通用输入/输出引脚 3
46	GPIO4	数字输入/输出	通用输入/输出引脚 4
47	$\overline{\text{DRDY}}$	数字输出	数据指示信号；低电平有效
48	DVDD	电源	数字电源
49	DGND	电源	数字接地
50	DVDD	电源	数字电源
51	DGND	电源	数字接地
52	CLKSEL	数字输入	主时钟选择
53	NC		
54	NC		
55	VCAP3	—	模拟旁路电容器，内部生产 1.8V；将 1 μ F 电容器连接到 DGND（老版也可接 AVSS）
56	AVDD	电源	模拟电源
57	AVSS	电源	模拟接地
58	AVSS	电源	模拟接地
59	AVDD	电源	模拟电源
60	RLDREF	模拟输入	右腿驱动同相输入
61	RLDINV	模拟输入/输出	右腿驱动输入反相输入
62	RLDIN ⁽¹⁾	模拟输入	多路复用器的右腿驱动输入
63	RLDOUT	模拟输出	右腿驱动输出
64	WCT	模拟输出	威尔逊中心端子输出

(1) 将未使用的引脚连接到 AVDD。

(2) DAISY_IN 在未使用时连接到逻辑 0。

7. 规格

7.1. 绝对最大额定值

表3.

	最小值	最大值	单位
AVDD 至 AVSS	-0.3	5.5	V
DVDD 至 DGND	-0.3	3.9	V
AVSS 至 DGND	-3	0.2	V
AVSS 的 VREFP 输入	AVSS - 0.3	AVDD + 0.3	V
模拟输入电压	AVSS - 0.3	AVDD + 0.3	V
数字输入电压	DGND - 0.3	DVDD + 0.3	V
数字输出电压	DGND - 0.3	DVDD + 0.3	V
输入电流 (瞬时)		100	mA
输入电流 (连续)		10	mA
结温, T_j	-40	150	°C
贮存温度, T_{stg}	-60	150	°C

(1) 应力超出绝对最大额定值 下列出的值可能会对器件造成永久损坏。这些列出的值仅仅是应力额定值，这并不表示器件在这些条件下以及在建议运行条件以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。

7.2. ESD 额定值

表4.

		值	单位
V(ESD)静电释放	人体放电模式 (HBM), 符合 ANSI/ESDA/JEDEC JS-001, 所有引脚(1)	± 2000	V
	充电器件模型 (CDM), 符合 JEDEC 规范 JESD22-C101, 所有引脚(2)	± 500	

(1) JEDEC 文档 JEP155 指出: 500V HBM 时能够在标准 ESD 控制流程下安全生产。

(2) JEDEC 文档 JEP157 指出: 250V CDM 时能够在标准 ESD 控制流程下安全生产。

7.3. 建议的工作条件

在工作环境温度范围内 (除非另外注明)。

表5.

		最小值	标称值	最大值	单位
电源					
模拟电源 (AVDD – AVSS)		2.7	3	5.25	V
数字电源 (DVDD)		1.65	1.8	5.25	V
AVDD – DVDD		–2.1		3.6	V
模拟输入					
满量程差分输入电压范围 (A _{INP} – A _{INN})		±VREF/增益			V
共模输入电压		请参阅 PGA 设置和输入范围 部分的输入共模范围小节			
电压基准输入					
差分基准电压	3V 电源 VREF = (VREFP – VREFN)		2.4		V
	5V 电源 VREF = (VREFP – VREFN)	4			V
负输入 (VREFN)			AVSS		V
正输入 (VREFP)		AVSS + 2.4			V
时钟输入					
外部时钟输入频率 CLK	CLKSEL 引脚 = 0	1.94	2.048	2.25	MHz
数字输入					
输入电压		DGND		DVDD	V
温度范围					
工作温度范围	商用级	0		70	°C
	工业级	–40		85	°C

7.4. 热性能信息

表6.

热指标		LHE790X		单位
		LQFP	BGA	
		64 引脚	64 引脚	
$R_{\theta JA}$	结至环境热阻	35	48	$^{\circ}\text{C}/\text{W}$
$R_{\theta JC}(\text{top})$	结至外壳（顶部）热阻	31	8	$^{\circ}\text{C}/\text{W}$
$R_{\theta JB}$	结至电路板热阻	26	25	$^{\circ}\text{C}/\text{W}$
Ψ_{JT}	结至顶部特征参数	0.1	0.5	$^{\circ}\text{C}/\text{W}$
Ψ_{JB}	结至电路板特征参数	不适用	22	$^{\circ}\text{C}/\text{W}$

7.5. 电气特性

最小和最大规格适用于所有商用级 ($T_A = 0^{\circ}\text{C}$ 至 70°C) 器件；对于工业级器件， $T_A = -40^{\circ}\text{C}$ 至 $+85^{\circ}\text{C}$ 典型规格适用于 $T_A = 25^{\circ}\text{C}$ 。所有规格的适用条件为：DVDD = 1.8V，AVDD – AVSS = $3\text{V}^{(1)}$ ，VREF = 2.4V，外部 $f_{\text{CLK}} = 2.048\text{MHz}$ ，数据速率 = 500SPS，HR 模式⁽²⁾，以及增益 = 6（除非另有说明）。

表7.

参数	测试条件	最小值	典型值	最大值	单位
模拟输入					
输入电容			20		pF
	T _A = 25°C，输入 = 1.5V		±500		pA
输入偏置电流	T _A = 0°C 至 70°C，输入 = 1.5V		±1		nA
	T _A = -40°C 至 +85°C，输入 = 1.5V		±1.2		nA
	无导联脱落	1000			MΩ
直流输入阻抗	电流源导联脱落检测		500		MΩ
	上拉电阻器导联脱落检测		10		MΩ
PGA 性能					
增益设置		1、2、3、4、6、8、12、24			
带宽		请参阅 Table 5			
ADC 性能					
	数据速率高达 8kSPS，无失码	24			位
分辨率	16kSPS 数据速率	24			位
	64kSPS 数据速率	24			位
数据速率	f _{CLK} = 2.048MHz，HR 模式	500		64000	SPS
	f _{CLK} = 2.048MHz，LP 模式	250		32000	SPS
直流通道性能					
	增益 = 6 ⁽³⁾ ，10 秒的数据		2.3		μV _{pp}
输入参考噪声	增益 = 6，256 点，0.5 秒的数据		2		μV _{pp}
	增益设置 ≠ 6，数据速率 ≠ 500SPS	请参阅噪声测量 部分			
积分非线性	满标量程，增益 = 6，最佳拟合		2		ppm
失调误差			±10		μV
失调误差温漂			0.02		μV/°C
增益误差	不包括电压基准误差		±0.2	±0.5	占 FS 的百分比
增益误差温漂	不包括电压基准漂移		1		ppm/°C
通道之间的增益匹配			0.3		占 FS 的百分比

(1) 性能也适用于 5V 操作。针对限值的生产测试是在 3V 的电压下执行的。

(2) LP 模式 = 低功耗模式。

(3) 在 10 秒间隔内测试的噪声数据。未在生产中执行测试。输入参考噪声通过在 10 秒间隔内使输入短路（无电极电阻）计算得出。

7.6. 电气特性 (continued)

最小和最大规格适用于所有商用级 ($T_A = 0^\circ\text{C}$ 至 70°C) 器件; 对于工业级器件, $T_A = -40^\circ\text{C}$ 至 $+85^\circ\text{C}$ 典型规格适用于 $T_A = 25^\circ\text{C}$ 。所有规格的适用条件为: $\text{DVDD} = 1.8\text{V}$, $\text{AVDD} - \text{AVSS} = 3\text{V}^{(1)}$, $V_{\text{REF}} = 2.4\text{V}$, 外部 $f_{\text{CLK}} = 2.048\text{MHz}$, 数据速率 = 500SPS, HR 模式⁽²⁾, 以及增益 = 6 (除非另有说明)。

表8.

	参数	测试条件	最小值	典型值	最大值	单位
交流通道性能						
CMRR	共模抑制比	$f_{\text{CM}} = 50\text{Hz}$ 、 $60\text{Hz}^{(4)}$		-120		dB
PSRR	电源抑制比	$f_{\text{PS}} = 50\text{Hz}$ 、 60Hz		110		dB
	串扰	$f_{\text{IN}} = 50\text{Hz}$ 、 60Hz		-126		dB
SNR	信噪比	$f_{\text{IN}} = 10\text{Hz}$ 输入, 增益 = 6		122		dB
THD	总谐波失真 ⁽⁴⁾	10Hz, -0.5dBFs		-115		dB
		100Hz, -0.5dBFs(5)		-115		dB
数字滤波器						
-3dB 带宽				$0.262 f_{\text{DR}}$		Hz
数字滤波器稳定		完全稳定		4		转换
右腿驱动 (RLD) 放大器和起搏信号放大器						
RLD 积分噪声		BW = 150Hz		7		μV_{RMS}
起搏信号积分噪声		BW = 8kHz		20		μV_{RMS}
起搏信号放大器串扰		起搏信号放大器之间的串扰		60		dB
增益带宽积		$50\text{k}\Omega \parallel 10\text{pF}$ 负载, 增益 = 1		100		kHz
压摆率		$50\text{k}\Omega \parallel 10\text{pF}$ 负载, 增益 = 1		0.25		$\text{V}/\mu\text{s}$
起搏信号和 RLD 放大器驱动强度	对 GND 短路 (AVDD = 3V)			270		μA
	对电源短路 (AVDD = 3V)			550		μA
	对 GND 短路 (AVDD = 5V)			490		μA
	对电源短路 (AVDD = 5V)			810		μA
	峰值摆幅 (AVSS + 0.3V 至 AVDD + 0.3V) , AVDD = 3V			50		μA
	峰值摆幅 (AVSS + 0.3V 至 AVDD + 0.3V) , AVDD = 5V			75		
起搏信号放大器输出电阻				100		Ω
总谐波失真		$f_{\text{IN}} = 100\text{Hz}$, 增益 = 1		-70		dB
共模输入范围			AVSS + 0.3		AVDD - 0.5	V
共模电阻器匹配		内部 200k Ω 电阻器匹配		0.1%		
短路电流				± 0.25		mA
静态功耗		RLD 或起搏信号放大器		20		μA
威尔逊中心端子 (WCT) 放大器						
积分噪声		BW = 150Hz	请参阅 Table 6			$\text{nV}/\sqrt{\text{Hz}}$
增益带宽积			请参阅 Table 6			kHz
压摆率			请参阅 Table 6			V/s
总谐波失真		$f_{\text{IN}} = 100\text{Hz}$		90		dB
共模输入范围			AVSS + 0.3		AVDD - 0.5	V
短路电流		通过内部 30k Ω 电阻器		± 0.25		mA
静态功耗			请参阅 Table 6			μA

(1) CMRR 使用 $\text{AVSS} + 0.3\text{V}$ 至 $\text{AVDD} - 0.3\text{V}$ 的共模信号进行测量。所示的值是八个通道的最大值。

(2) 高于二次谐波的谐波会由数字滤波器进行衰减。

最小和最大规格适用于所有商用级 ($T_A = 0^\circ\text{C}$ 至 70°C) 器件；对于工业级器件， $T_A = -40^\circ\text{C}$ 至 $+85^\circ\text{C}$ 典型规格适用于 $T_A = 25^\circ\text{C}$ 。所有规格的适用条件为：DVDD = 1.8V，AVDD – AVSS = 3V⁽¹⁾， $V_{\text{REF}} = 2.4\text{V}$ ，外部 $f_{\text{CLK}} = 2.048\text{MHz}$ ，数据速率 = 500SPS，HR 模式⁽²⁾，以及增益 = 6（除非另有说明）。

表9.

参数	测试条件	最小值	典型值	最大值	单位
导联脱落检测					
频率	有关设置，请参阅 Table 16	请参阅 Table 16			kHz
电流	有关设置，请参阅 Table 16	0、10、20、30、40、50、60、70nA 和 0、2.5、5、7.5、10、12.5、15、17.5nA			nA
电流精度			$\pm 20\%$		
比较器阈值精度			± 30		mV
外部基准					
输入阻抗			10		k Ω
内部基准					
输出电压	寄存器位 CONFIG3.VREF_4V = 0, AVDD $\geq 2.7\text{V}$		2.4		V
	寄存器位 CONFIG3.VREF_4V = 1, AVDD $\geq 4.4\text{V}$		4		V
V_{REF} 精度			$\pm 0.2\%$		
内部基准漂移	$T_A = 25^\circ\text{C}$		30		ppm/ $^\circ\text{C}$
	商用级： 0°C 至 70°C		30		ppm
	工业级， -40°C 至 85°C		30		ppm
启动时间			150		ms
系统监控器					
模拟电源读数误差			2%		
数字电源读数误差			2%		
器件唤醒	从上电到 DRDY 为低电平		150		ms
	待机模式		9		ms
温度传感器读数，电压	$T_A = 25^\circ\text{C}$		145		mV
温度传感器读数，系数			490		$\mu\text{V}/^\circ\text{C}$
测试信号频率	有关设置，请参阅 Table 16		$f_{\text{CLK}}/2^{21}$ 、 $f_{\text{CLK}}/2^{20}$		Hz
测试信号电压	有关设置，请参阅 Table 16		$\pm V_{\text{REF}}/1000$		V
测试信号精度			$\pm 2\%$		
时钟					
内部振荡器时钟频率	标称频率		2.048		MHz
内部时钟频率	$T_A = 25^\circ\text{C}$			$\pm 0.5\%$	
	$0^\circ\text{C} \leq T_A \leq 70^\circ\text{C}$			$\pm 1\%$	
	$-40^\circ\text{C} \leq T_A \leq 85^\circ\text{C}$ ，仅限工业级版本			$\pm 1.5\%$	
内部振荡器启动时间				20	μs
内部振荡器功耗			120		μW

最小和最大规格适用于所有商用级 ($T_A = 0^\circ\text{C}$ 至 70°C) 器件；对于工业级器件， $T_A = -40^\circ\text{C}$ 至 $+85^\circ\text{C}$ 典型规格适用于 $T_A = 25^\circ\text{C}$ 。所有规格的适用条件为：DVDD = 1.8V，AVDD – AVSS = 3V⁽¹⁾，V_{REF} = 2.4V，外部 f_{CLK} = 2.048MHz，数据速率 = 500SPS，HR 模式⁽²⁾，以及增益 = 6（除非另有说明）。

表10.

参数	测试条件	最小值	典型值	最大值	单位
数字输入/输出 (DVDD = 1.65V 至 3.6V)					
V _{IH} 高电平输入电压		0.8 DVDD		DVDD + 0.1	V
V _{IL} 低电平输入电压		-0.1		0.2 DVDD	V
V _{OH} 高电平输出电压	I _{OH} = -500 μ A	DVDD - 0.4			V
V _{OL} 低电平输出电压	I _{OL} = 500 μ A			0.4	V
I _{IN} 输入电流	0V < V _{数字输入} < DVDD	-10		10	μ A
电源 (RLD、WCT 和起搏信号放大器关闭)					
I _{AVDD} AVDD 电流	AVDD – AVSS = 3V	HR 模式 (LHE790X)		3.29	mA
		LP 模式 ⁽²⁾ (LHE790X)		1.69	mA
		ULP 模式 ⁽²⁾ (LHE790X)		0.914	mA
	AVDD – AVSS = 5V	HR 模式 (LHE790X)		3.4	mA
		LP 模式 (LHE790X)		2	mA
		ULP 模式 ⁽²⁾ (LHE790X)		0.4	mA
I _{DVDD} DVDD 电流	DVDD = 1.8V	HR 模式 (LHE790X)		0.5	mA
		LP 模式 (LHE790X)		0.4	mA
	DVDD = 3V	HR 模式 (LHE790X)		0.65	mA
		LP 模式 (LHE790X)		0.52	mA
		ULP 模式 ⁽²⁾ (LHE790X)		0.4	mA
		ULP 模式 ⁽²⁾ (LHE790X)		0.4	mA
功率耗散	LHE790X AVDD – AVSS = 3V	HR 模式		11	mW
		LP 模式 (250SPS)		5.8	mW
	LHE7906 AVDD – AVSS = 3V	HR 模式		7.2	mW
		LP 模式 (250SPS)		5.3	mW
	LHE7904 AVDD – AVSS = 3V	HR 模式		5.4	mW
		LP 模式 (250SPS)		4.1	mW
	LHE790X AVDD – AVSS = 5V	HR 模式		17.5	mW
		LP 模式 (250SPS)		12.5	mW
	LHE7906 AVDD – AVSS = 5V	HR 模式		14.1	mW
		LP 模式 (250SPS)		10	mW
	LHE7904 AVDD – AVSS = 5V	HR 模式		10.1	mW
		LP 模式 (250SPS)		8.3	mW
断电	AVDD – AVSS = 3V			10	μ W
	AVDD – AVSS = 5V			20	μ W
待机模式	AVDD – AVSS = 3V			2	mW
	AVDD – AVSS = 5V			4	mW
静态通道功率	AVDD – AVSS = 3V, PGA + ADC			818	μ W
	AVDD – AVSS = 5V, PGA + ADC			1.5	mW

7.7. 时序要求：串行接口

规格适用于 $T_A = -40^{\circ}\text{C}$ 至 $+85^{\circ}\text{C}$ (除非另外说明) ; D_{OUT} 上的负载 = $20\text{pF} \parallel 100\text{k}\Omega$ 。

表11.

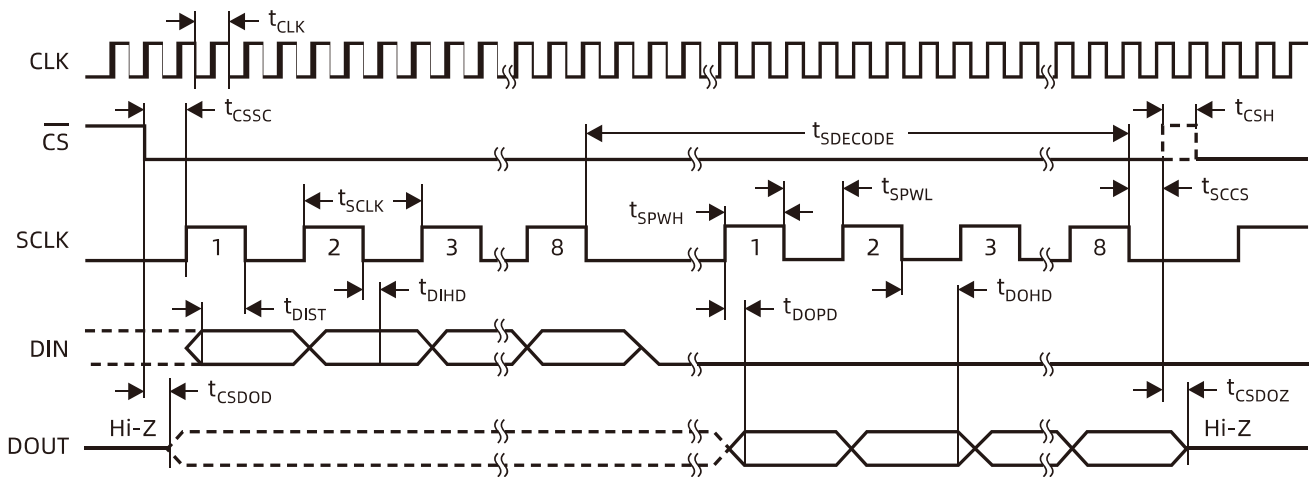
		2.7V $\leq$ DVDD $\leq$ 3.6V		1.65V $\leq$ DVDD $\leq$ 2V		单位
		最小值	最大值	最小值	最大值	
t_{CLK}	主时钟周期	414	514	414	514	ns
t_{CSSC}	$\overline{\text{CS}}$ 低电平至第一个 SCLK, 设置时间	6		17		ns
t_{SCLK}	SCLK 周期	50		66.6		ns
$t_{\text{SPWH, L}}$	SCLK 脉冲宽度, 高电平和低电平	15		25		ns
t_{DIST}	DIN 有效至 SCLK 下降沿: 设置时间	10		10		ns
t_{DIHD}	SCLK 下降沿之后的有效 DIN: 保持时间	10		11		ns
t_{CSH}	$\overline{\text{CS}}$ 高电平脉冲	2		2		t_{CLK}
t_{SCCS}	第八个 SCLK 下降沿至 $\overline{\text{CS}}$ 高电平	4		4		t_{CLK}
t_{SDECODE}	命令解码时间	4		4		t_{CLK}
t_{DISCK2ST}	DAISY_IN 有效至 SCLK 上升沿: 设置时间	10		10		ns
t_{DISCK2HT}	SCLK 上升沿之后 DAISY_IN 有效: 保持时间	10		10		ns

7.8. 开关特性：串行接口

规格适用于 $T_A = -40^{\circ}\text{C}$ 至 $+85^{\circ}\text{C}$ (除非另外说明) 。 D_{OUT} 上的负载 = $20\text{pF} \parallel 100\text{k}\Omega$ 。

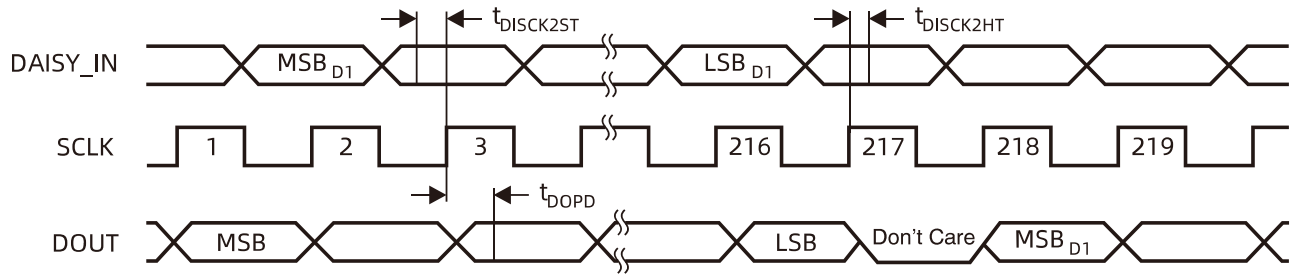
表12.

参数		2.7V $\leq$ DVDD $\leq$ 3.6V		1.65V $\leq$ DVDD $\leq$ 2V		单位
		最小值	最大值	最小值	最大值	
t_{DOHD}	SCLK 下降沿至无效 DOUT: 保持时间	10		10		ns
t_{DOPD}	SCLK 上升沿至 DOUT 有效: 设置时间		17		32	ns
t_{CSDOD}	$\overline{\text{CS}}$ 低电平至 DOUT 驱动	10		20		ns
t_{CSDOZ}	$\overline{\text{CS}}$ 高电平至 DOUT Hi-Z		10		20	ns



注意: SPI 设置为 CPOL = 0 且 CPHA = 1。

图3. 串行接口时序



注意：显示的是 8 通道 LHE790X 的菊花链时序。

图4. 菊花链接口时序

7.9. 典型特性

测试条件为 $T_A = 25^\circ\text{C}$, $AVDD = 3\text{V}$, $AVSS = 0\text{V}$, $DVDD = 1.8\text{V}$, 内部 $VREFP = 2.4\text{V}$, $VREFN = AVSS$, 外部时钟 = 2.048MHz , 数据速率 = 500SPS , 高分辨率模式, 增益 = 6 (除非另有说明)。

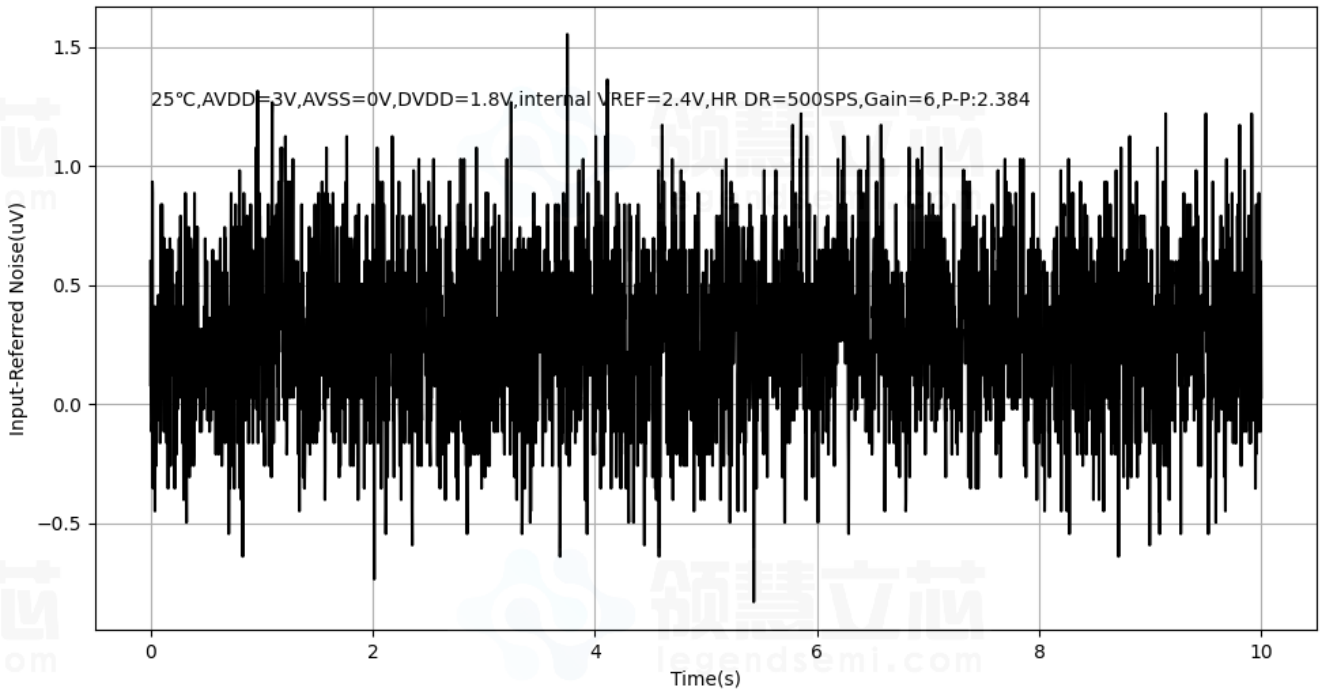


图5. 输入参考噪声

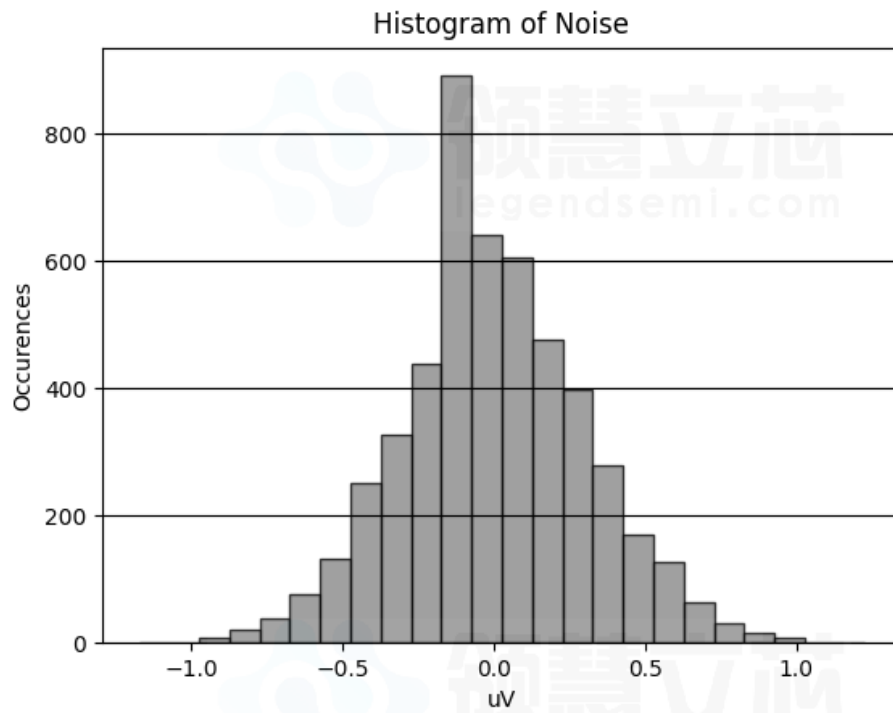


图6. 噪声直方图

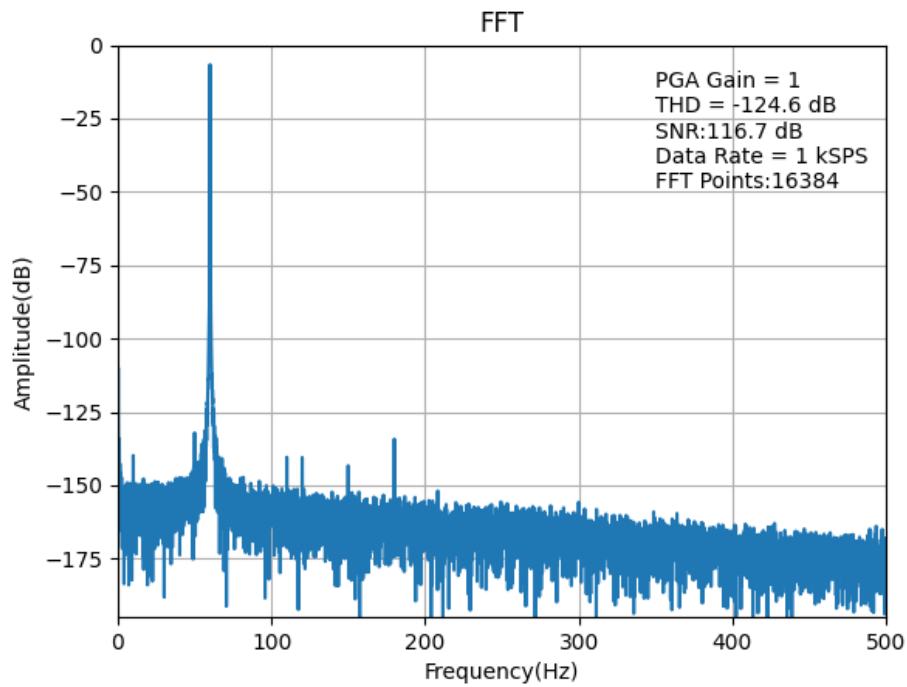


图7. THD FFT Plot (60-Hz Signal)

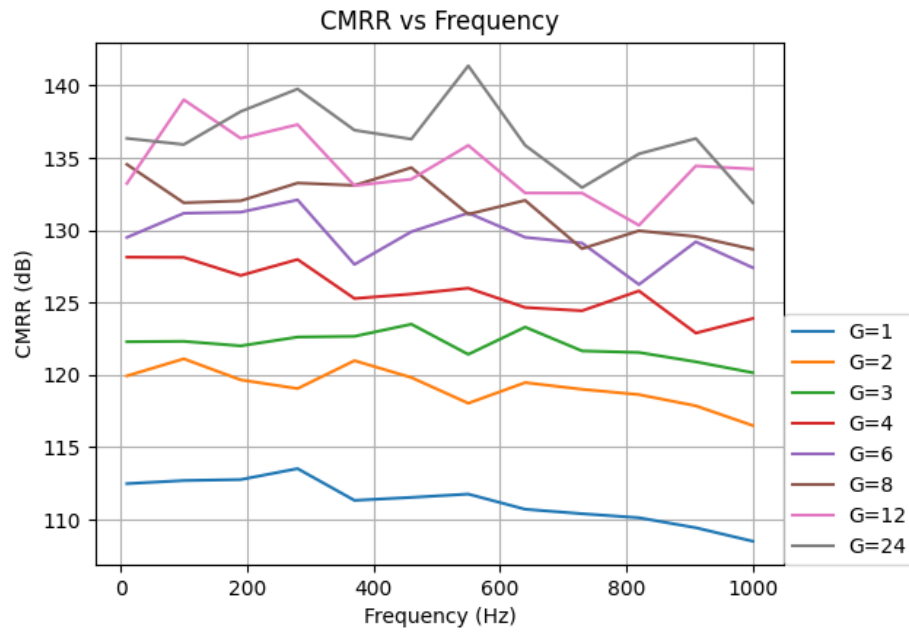


图8. CMMR vs 频率

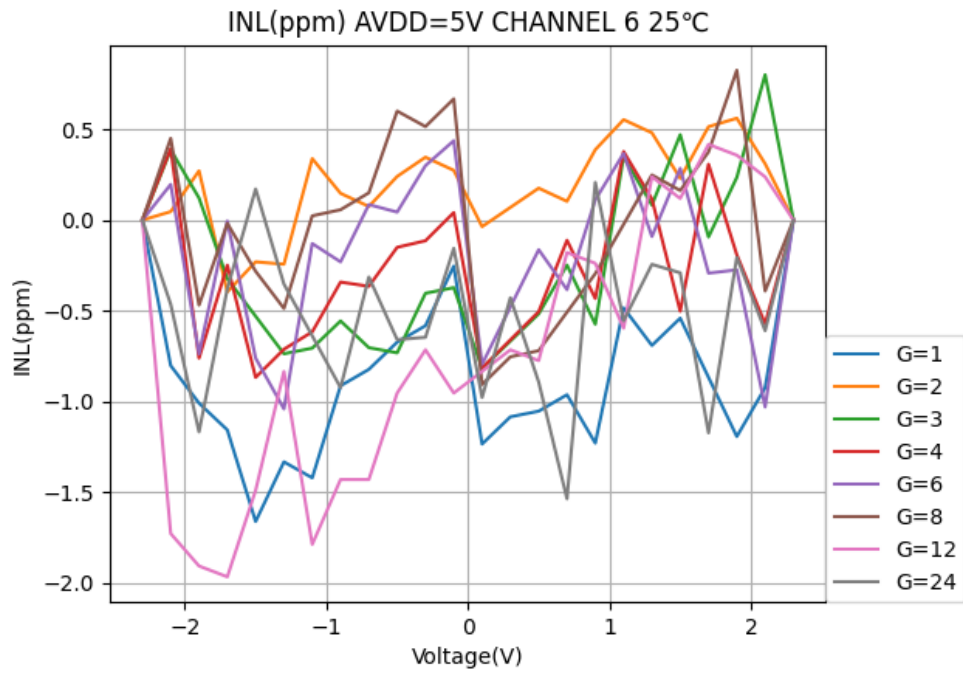


图9. INL vs PGA 增益

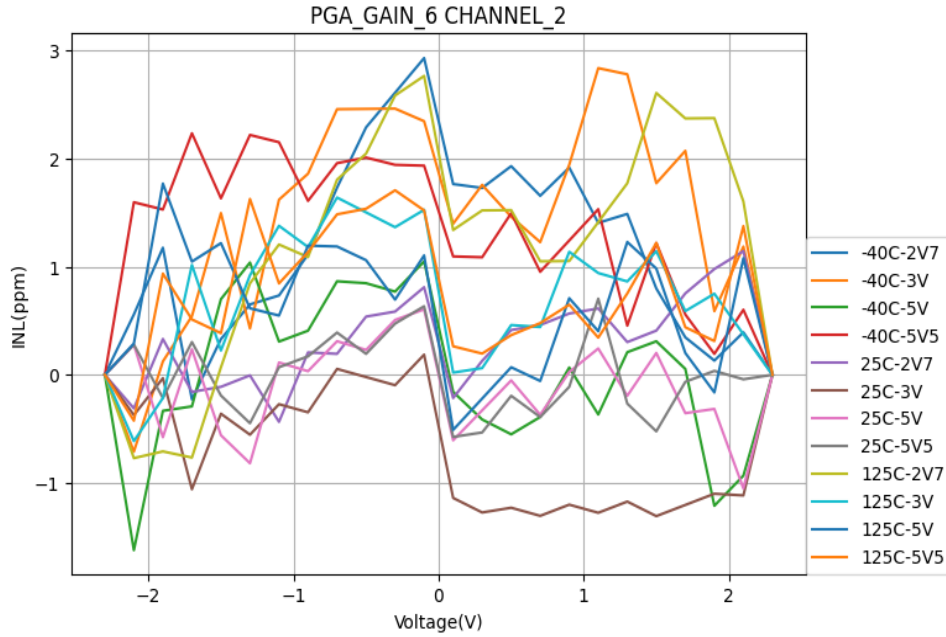


图10. INL vs 温度

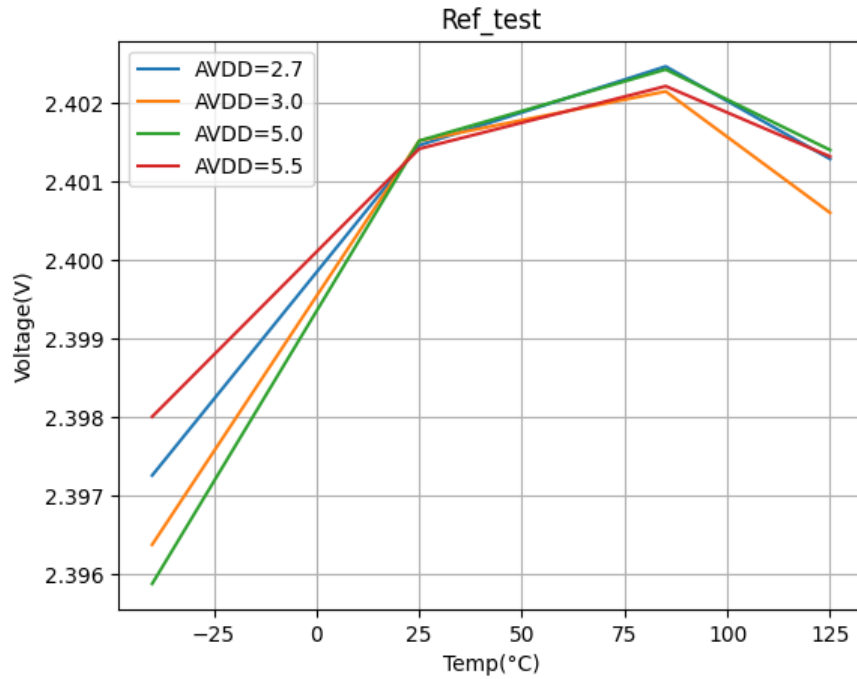


图11. 内部 VREF 温漂

8. 参数测量信息

8.1. 噪声测量

除非另有说明，否则 LHE790X 指 LHE7904、LHE7906、LHE7908。

可通过调整数据速率和 PGA 设置来优化 LHE790X 噪声性能。降低数据速率可增加平均值，噪声也会相应地降低。增加 PGA 值可降低输入参考噪声。在测量低水平生物电势信号时，这种降低的噪声水平特别有用。表 13 和表 14 分别总结了使用 3V 模拟电源时在高分辨率 (HR) 模式和低功耗 (LP) 模式下 LHE790X 的噪声性能。图 3. 和表 4 分别总结了使用 5V 模拟电源时在 HR 模式和 LP 模式下 LHE790X 的噪声性能。这些数据代表 $T_A = 25^\circ\text{C}$ 时的典型噪声性能。显示的数据是对来自多个器件的读数求平均值的结果，并在输入短路的情况下进行测量。至少使用了 1000 个连续读数来计算每个读数的 RMS 和峰峰值噪声。对于较低的数据速率，两者比值约为 6.6。下面几张表显示了使用内部基准进行的测量。这些数据还代表使用低噪声外部基准（如 LHR3025）时的 LHE790X 噪声性能。

表13. 高分辨率模式下的输入参考噪声 $\mu V_{RMS} (\mu V_{PP})$

 3V 模拟电源和 2.4V 基准电压⁽¹⁾

CONFIG1 寄存器的 DR 位	输出数据速率 (SPS)	-3dB 带宽 Sinc4/Sinc3 (Hz)	PGA 增益=1	PGA 增益=2	PGA 增益=3	PGA 增益=4	PGA 增益=6	PGA 增益=8	PGA 增益=12	PGA 增益=24
000	32000	7280/8398	49(305)	23.4(134)	16.2(96)	12.4(78.9)	8.9(55.5)	7.1(51.5)	5.48(40.7)	4.17(30.7)
001	16000	3640/4193	9.59(66.7)	4.91(35.9)	3.76(28.1)	2.9(22.7)	2.35(16.5)	2.07(16.3)	1.9(14.8)	1.72(12)
010	8000	1820/2096	5.78(38.3)	3(22)	2.38(17.6)	1.7(11.3)	1.31(9.5)	1.22(9.4)	1.1(8.6)	0.98(7)
011	4000	910/1048	3.9(30)	2.05(15.5)	1.61(11.5)	1.1(7.6)	0.88(6.8)	0.8(6.4)	0.73(5.4)	0.65(4.9)
100	2000	455/524	2.73(20.9)	1.38(9.9)	1.14(7.4)	0.77(6.2)	0.6(4.7)	0.55(3.7)	0.52(3.4)	0.44(3.1)
101	1000	228/262	1.93(13.2)	1.02(7.2)	0.81(6.4)	0.55(3.9)	0.43(3.1)	0.4(2.7)	0.37(2.7)	0.31(2.3)
110	500	114/131	1.34(9.2)	0.68(4.9)	0.57(3.9)	0.39(2.8)	0.31(2.3)	0.28(1.9)	0.25(1.8)	0.23(1.7)
111	64000	14560/16796	734.1(4076.9)	360.5(2063.8)	241.8(1383.4)	179.3(1043.7)	121.5(756.8)	92.6(540.1)	62.1(351.9)	31.7(185.1)

(1) 至少使用了 1000 个连续读数来计算该表中的 RMS 和峰峰值噪声值。

 表14. 低功耗模式下的输入参考噪声 $\mu V_{RMS} (\mu V_{PP})$

 3V 模拟电源和 2.4V 基准电压⁽¹⁾

CONFIG1 寄存器的 DR 位	输出数据速率 (SPS)	-3dB 带宽 Sinc4/Sinc3 (Hz)	PGA 增益=1	PGA 增益=2	PGA 增益=3	PGA 增益=4	PGA 增益=6	PGA 增益=8	PGA 增益=12	PGA 增益=24
000	16000	3640/4193	48.1(296)	24.1(138)	16.1(103)	11.9(78)	8.84(57)	7.06(43)	5.58(44)	4.11(29)
001	8000	1820/2096	9.5(73.5)	4.7(35.6)	3.7(29.6)	2.8(19.6)	2.34(15.2)	2.01(15.6)	1.81(12)	1.66(12.7)
010	4000	910/1048	5.8(38.6)	3(24.8)	2.3(15.9)	1.6(11.7)	1.29(8.8)	1.18(8.1)	1.03(8.1)	0.90(6.1)
011	2000	455/524	3.9(29.7)	2(14.5)	1.6(11.2)	1.05(7.4)	0.85(5.9)	0.75(5.6)	0.66(4.9)	0.59(3.9)
100	1000	228/262	2.74(20.0)	1.4(9.3)	1.08(7.6)	0.73(5.7)	0.57(4.1)	0.53(3.7)	0.46(3.2)	0.41(3)
101	500	114/131	1.94(13.7)	1(7.2)	0.76(5.5)	0.52(3.6)	0.41(3.1)	0.38(2.4)	0.33(2.6)	0.28(2.2)
110	250	57/65	1.34(9.4)	0.7(4.7)	0.55(4.3)	0.37(2.6)	0.29(2)	0.26(1.7)	0.24(1.8)	0.20(1.3)
111	32000	7280/8398	47.5(286.9)	23.5(147.2)	15.9(94.6)	12.3(74.8)	8.56(57.5)	7.05(45.5)	5.43(37.9)	4.19(28.9)

(1) 至少使用了 1000 个连续读数来计算该表中的 RMS 和峰峰值噪声值。

 表15. 高分辨率模式下的输入参考噪声 $\mu V_{RMS} (\mu V_{PP})$

 5V 模拟电源和 4V 基准电压⁽¹⁾

CONFIG1 寄存器的 DR 位	输出数据速率 (SPS)	-3dB 带宽 Sinc4/Sinc3 (Hz)	PGA 增益=1	PGA 增益=2	PGA 增益=3	PGA 增益=4	PGA 增益=6	PGA 增益=8	PGA 增益=12	PGA 增益=24
000	32000	7280/8398	76(447)	38(222)	25(160)	19.5(123)	13(84)	10(59)	7.4(44.3)	4.8(33.5)
001	16000	3640/4193	10(66.3)	5.3(35.7)	4.1(31.1)	2.96(20)	2.4(15.3)	2.1(14)	1.9(13.2)	1.74(12.3)
010	8000	1820/2096	5.94(39.6)	2.98(22)	2.43(16.2)	1.7(11.8)	1.33(8.7)	1.19(8.1)	1.1(7.3)	0.95(6.4)
011	4000	910/1048	3.98(28.6)	2.01(15.3)	1.62(11.4)	1.1(7.5)	0.86(6)	0.79(6.1)	0.72(5.4)	0.61(4.3)
100	2000	455/524	2.73(20)	1.41(9.8)	1.13(9.5)	0.77(5.4)	0.59(4.3)	0.55(3.5)	0.5(3.7)	0.42(2.9)
101	1000	228/262	1.99(14.3)	1(6.9)	0.8(5.7)	0.55(3.7)	0.43(3.1)	0.39(2.7)	0.35(2.4)	0.3(2.1)
110	500	114/131	1.41(11.4)	0.72(4.8)	0.56(4)	0.39(2.6)	0.3(2.1)	0.27(1.9)	0.25(1.8)	0.22(1.5)
111	64000	14560/16796	1209.9(6550.7)	596.5(3356.9)	393.6(2427.8)	297.8(1770)	196.7(1152.9)	147.4(859.5)	96.9(603.5)	51.1(305.1)

(1) 至少使用了 1000 个连续读数来计算该表中的 RMS 和峰峰值噪声。

 表16. 低功耗模式下的输入参考噪声 $\mu V_{RMS} (\mu V_{PP})$

 5V 模拟电源和 4V 基准电压⁽¹⁾

CONFIG1 寄存器的 DR 位	输出数据速率 (SPS)	-3dB 带宽 Sinc4/Sinc3 (Hz)	PGA 增益=1	PGA 增益=2	PGA 增益=3	PGA 增益=4	PGA 增益=6	PGA 增益=8	PGA 增益=12	PGA 增益=24
000	16000	3640/4193	75(445)	38(230)	26(153)	18.9(110)	13(81)	10.2(62)	7.1(48)	4.9(31.6)
001	8000	1820/2096	10(66.3)	5.3(39)	4(31.2)	2.95(20)	2.9(17.1)	2.1(13)	1.9(12.5)	1.67(12)
010	4000	910/1048	5.85(42)	3(23.6)	2.3(17)	1.64(11.8)	1.29(8.7)	1.15(8.2)	1.02(6.8)	0.89(5.8)
011	2000	455/524	4.1(28.6)	2.02(15.3)	1.64(11.4)	1.1(8.6)	0.85(5.9)	0.77(5.4)	0.64(4.9)	0.57(4.2)
100	1000	228/262	2.8(18.1)	1.4(10)	1.11(7.5)	0.77(5.7)	0.57(4.9)	0.53(3.7)	0.45(3.2)	0.39(2.7)
101	500	114/131	1.99(13.4)	1(7.4)	0.78(5.4)	0.54(3.8)	0.41(2.8)	0.38(2.9)	0.32(2.5)	0.28(1.8)
110	250	57/65	1.42(10.5)	0.74(4.8)	0.55(3.8)	0.38(2.7)	0.3(2.1)	0.26(1.7)	0.23(1.7)	0.2(1.3)
111	32000	7280/8398	1202.7(6917.4)	585.5(3234.8)	393.1(2197.2)	307.9(1637.8)	197.4(1105.4)	151.1(895.2)	100.2(559.5)	50.2(284.8)

(1) 至少使用了 1000 个连续读数来计算该表中的 RMS 和峰峰值噪声值。

表17. LHE790X ULP 的输入参考噪声 μVRMS (μVPP)

3V 模拟电源 和 2.4V 基准电压

输出数据速率 (SPS)	PGA 增益=1	PGA 增益=2	PGA 增益=3	PGA 增益=4	PGA 增益=6	PGA 增益=8	PGA 增益=12
8000	47(294)	24(143)	16(109)	13(79)	8.9(58)	6.9(48)	5.5(36)
4000	9.5(58)	4.8(35.6)	3.7(23.4)	2.9(19)	2.27(17)	1.99(13)	1.8(12.5)
2000	5.8(40)	2.9(18.7)	2.2(15.6)	1.6(10.5)	1.27(8.9)	1.16(7.9)	1.02(6.9)
1000	3.9(28)	1.9(11.7)	1.5(10.2)	1.06(7.1)	0.82(5.6)	0.75(4.9)	0.66(4.9)
500	2.62(18.9)	1.34(9.2)	1.04(7.2)	0.73(4.9)	0.55(4.1)	0.5(3.3)	0.44(3.3)
250	1.86(11.7)	0.97(7.6)	0.76(5.3)	0.52(3.4)	0.41(2.8)	0.36(2.4)	0.31(2.3)
125	1.41(10)	0.69(4.7)	0.53(4)	0.37(2.4)	0.27(2)	0.25(1.8)	0.22(1.5)

9. 详细说明

9.1. 概要

除非另有说明，否则 LHE790X 指 LHE7904、LHE7906、LHE7908 的所有规格和功能说明。

LHE790X 是具有集成式可编程增益放大器 (PGA) 的低功耗、多通道、同时采样、24 位 Δ - Σ 模数转换器 (ADC)。

这些器件包含各种 ECG 专用功能，使其非常适用于可扩展心电图 (ECG)、脑电图 (EEG) 和肌电图 (EMG) 应用。

通过关闭 ECG 专用电路，这些器件还可用于高性能、多通道数据采集系统。

LHE790X 具有高度可编程的多路复用器 (MUX)，用于实现温度、电源、输入短路和 RLD 测量。此外，多路复用器允许任何输入电极被编程为患者参考驱动器。可以从以下八设置中选择 PGA 增益：1、2、3、4、6、8、12 或 24。器件中的 ADC 提供 250SPS 至 64kSPS 的数据速率。使用与 SPI 兼容的接口与器件进行通信。该器件提供四个通用 GPIO 引脚。可使用 START 引脚同步多个器件。

将内部基准编程为 2.4V 或 4V。内部振荡器会产生 2.048MHz 的时钟。多功能右腿驱动 (RLD) 模块允许选择任何电极组合的平均值来生成患者驱动信号。可通过使用上拉或下拉电阻器或者电流源来完成导联脱落检测。还提供内部交流导联脱落检测功能。这些器件支持硬件起搏信号检测和软件起搏信号检测。可使用威尔逊中心端子 (WCT) 块来生成标准 12 导联 ECG 的 WCT 点。

9.2. 功能方框图

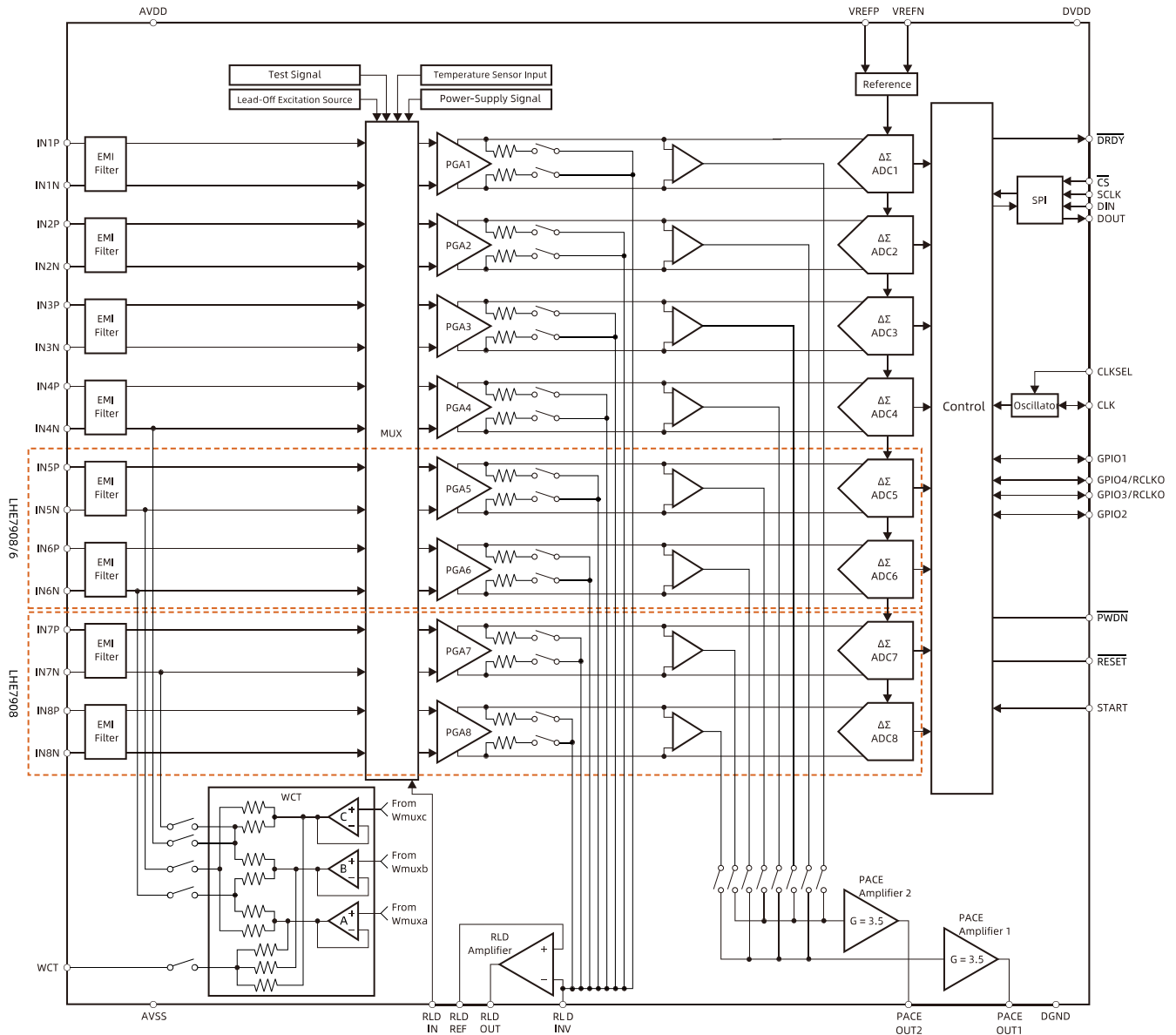


图12. 功能框图

9.3. 特性说明

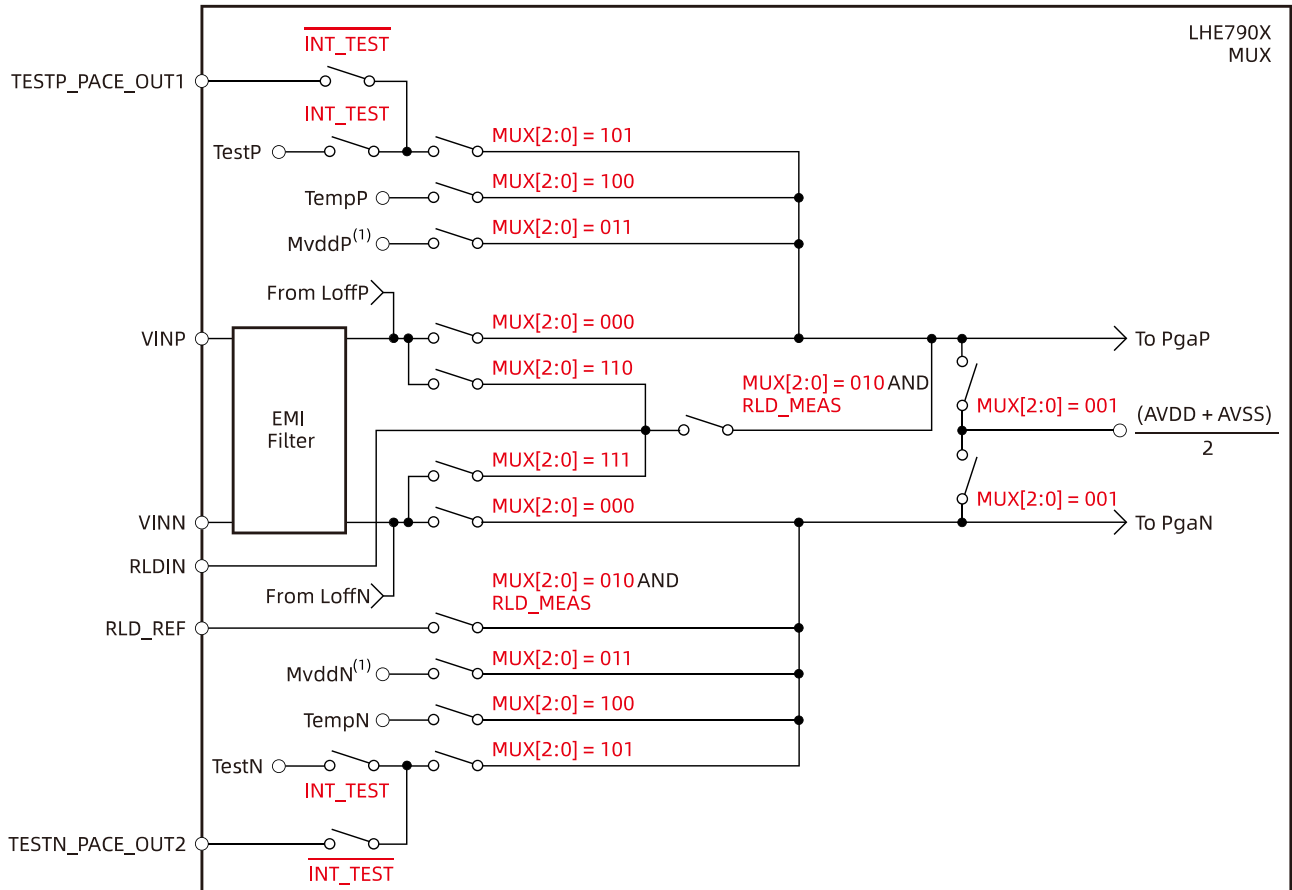
该部分介绍 LHE790X 内部功能元件的详细信息。首先介绍模拟块，然后介绍数字接口。最后介绍实现 ECG 专用功能的模块。

在整个文档中， f_{CLK} 表示 CLK 引脚上的信号频率， t_{CLK} 表示 CLK 引脚上信号的周期， f_{DR} 表示输出数据速率， t_{DR} 表示输出数据的时长， f_{MOD} 表示调制器输入采样频率。

9.3.1. 模拟功能

输入多路复用器

LHE790X 输入多路复用器非常灵活，可提供许多可配置的信号切换选项。下图显示了该器件单个通道上的多路复用器。该器件具有八组，每个通道一个。TEST_PACE_OUT1、TEST_PACE_OUT2 和 RLD_IN 是全部八组所共用的。VINP 和 VINN 对于这八组中的每一个都是独立的。这种灵活性允许进行器件和子系统诊断、校准和配置。可通过向 CHnSET[2:0] 寄存器的相应值（有关详细信息，请参阅 CHnSET 寄存器）和 CONFIG3 寄存器中的 RLD_MEAS 位（有关详细信息，请参阅 CONFIG3 寄存器）写入 1，为每个通道选择开关设置。有关多路复用器的 ECG 专用功能，请参阅 ECG 专用功能部分的输入多路复用器（重新路由右腿驱动信号）小节。



(1) MVDD 监控器的电压供应取决于通道数量；请参阅电源测量 (MVDDP、MVDDN) 部分。

图13. 一个通道的输入多路复用器块

器件噪声测量

设置 CHnSET[2:0] = 001 可以为该通道的两个输入设置共模电压 (AVDD + AVSS)/2。使用该设置可测试该器件的固有噪声。

测试信号 (TestP 和 TestN)

设置 CHnSET[2:0] = 101 可提供内部生成的测试信号，以在上电时用于子系统验证。可利用该功能测试整个信号链。虽然测试信号类似于 IEC60601-2-51 规范中所述的 CAL 信号，但该功能不适用于合规性测试。可使用寄存器设置来控制测试信号（有关详细信息，请参阅 CONFIG2: 配置寄存器 2（地址 = 02h）（复位 = 40h）部分）。TEST_AMP 位控制信号振幅，TEST_FREQ 位控制以所需频率进行的开关。

测试信号会在 TESTP_PACE_OUT1 和 TESTN_PACE_OUT2 引脚上进行多路复用并从该器件向外传输。位寄存器 (CONFIG2.INT_TEST = 0) 禁用内部测试信号，以便可以从外部驱动测试信号。此功能允许使用相同的信号校准多个器件。测试信号功能无法与外部硬件起搏功能结合使用（有关详细信息，请参阅外部硬件方法）。

辅助差分输入 (TESTP_PACE_OUT1、TESTN_PACE_OUT2)

当不使用硬件起搏信号检测时，TESTP_PACE_OUT1 和 TESTN_PACE_OUT2 信号可用作多路复用差分输入通道。可以向八个通道中的任何一个多路复用这些输入。通过这些引脚馈送的差分输入信号的性能与正常通道性能相同。

温度传感器 (TempP、TempN)

LHE790X 包含一个片上温度传感器。该传感器使用两个内部二极管，其中一个二极管的电流密度是另一个二极管的 16 倍，如图所示。二极管的电流密度的差异可产生与绝对温度成比例的电压差。

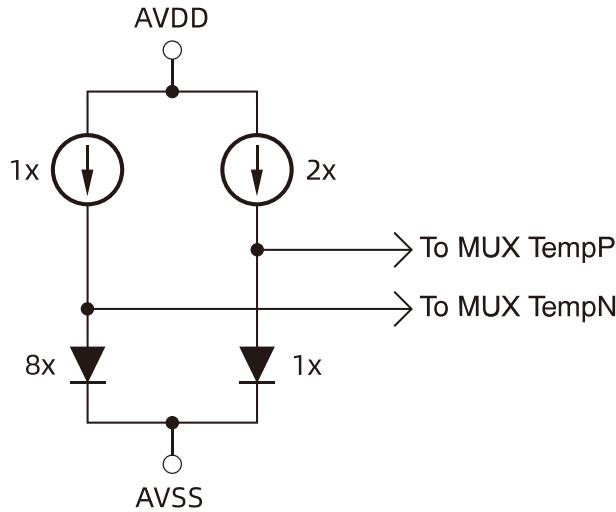


图14. 输入端的温度传感器测量

由于封装到印刷电路板 (PCB) 的低热阻，内部传感器可密切跟踪 PCB 温度。LHE790X 的自发热会导致读数高于周围 PCB 的温度。

Equation 1 的比例因子可将温度读数转换为 $^{\circ}\text{C}$ 。在使用该公式之前，应将温度读数代码转换为 μV 。

$$\text{Temperature } (^{\circ}\text{C}) = \left[\frac{\text{Temperature Reading } (\mu\text{V}) - 145,300 \mu\text{V}}{490 \mu\text{V}/^{\circ}\text{C}} \right] + 25^{\circ}\text{C} \quad (1)$$

电源测量 (MVDDP、MVDDN)

设置 $\text{CHnSET}[2:0] = 011$ 可以设置该器件不同电源电压的通道输入。

对于通道 1、2、5、6、7 和 8, $(\text{MVDDP} - \text{MVDDN}) = [0.5 \times (\text{AVDD} - \text{AVSS})]$ 对于通道 3 和 4, $(\text{MVDDP} - \text{MVDDN}) = \text{DVDD}/4$ 。为避免在测量电源时使 PGA 饱和，请将增益设置为 1。

例如，如果 $\text{AVDD} = 2.5\text{V}$ 且 $\text{AVSS} = -2.5\text{V}$ ，则测量结果为 2.5V 。

导联脱落激励信号 (LoffP、LoffN)

导联脱落激励信号会馈送到开关之前的多路复用器。检测导联脱落情况的比较器也连接到开关之前的多路复用器块。有关导联脱落块的详细说明，请参阅导联脱落检测 部分。

辅助单端输入

RLD_IN 引脚主要用于在 RLD 电极脱落的情况下将右腿驱动 (RLD) 信号路由到任何电极。。但是， RLD_IN 引脚可用作多个通道的单端输入。可以使用八个通道中的任何一个相对于 RLD_REF 引脚上的电压测量 RLD_IN 引脚上的信号。可通过将通道多路复用器设置为 010 并将 CONFIG3 寄存器的 RLD_MEAS 位设置为 1 来完成此测量。

模拟输入

LHE790X 的模拟输入是全差分输入。假设 $\text{PGA} = 1$ ，差分输入 ($\text{INP} - \text{INN}$) 可以跨越 $-\text{V}_{\text{REF}}$ 到 V_{REF} 。 INP 和 INN 的绝对范围必须介于 $\text{AVSS} - 0.3\text{V}$ 和 $\text{AVDD} + 0.3\text{V}$ 之间。有关模拟输入和数字代码之间相关性的说明。如下图所示，可通过两种一般方法来驱动 LHE790X 的模拟输入：单端和差分。在差分输入方法中， INP 和 INN 具有 180° 的相位差。当输入是单端输入时， INN 输入保持在共模电压 (CM)，最好处于中位电压。 INP 输入围绕相同的共模电压摆动，峰峰值幅度 $\text{CM} - \text{V}_{\text{REF}}$ 摆动到 $\text{CM} + \text{V}_{\text{REF}}$ 。当输入是差分输入时，共模电压由 $(\text{INP} + \text{INN})/2$ 给出。 INP 和 INN 输入都从 $\text{CM} + \frac{1}{2} \text{V}_{\text{REF}}$ 摆动至 $\text{CM} - \frac{1}{2} \text{V}_{\text{REF}}$ 。为了获得最佳性能，应在差配置中使用 LHE790X 器件。

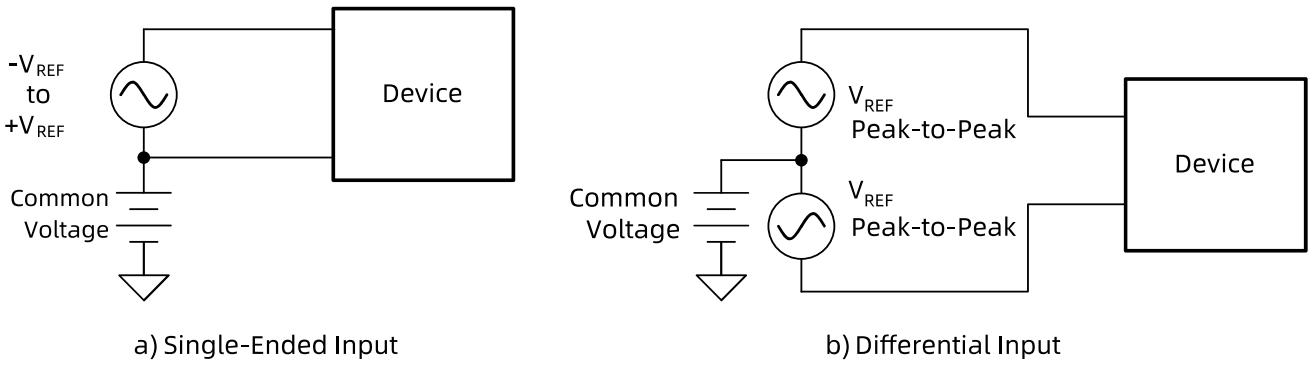
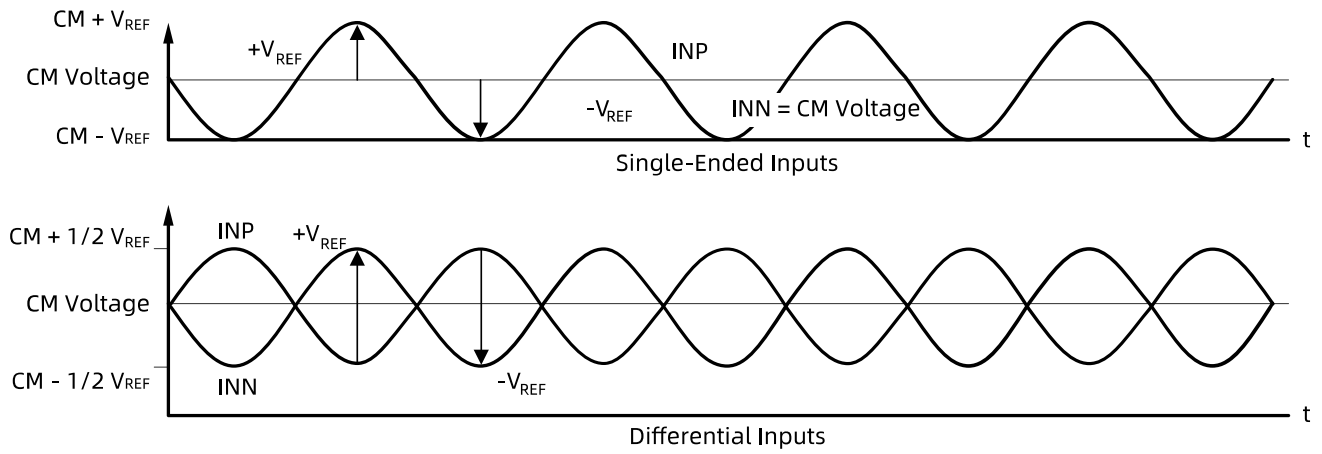


图15. 驱动 LHE790X 的方法：单端或差分



$$\text{Common-Mode Voltage (Differential Mode)} = \frac{(\text{INP}) + (\text{INN})}{2}, \text{ Common-Mode Voltage (Single-Ended Mode)} = \text{INN}$$

$$\text{Input Range (Differential Mode)} = (\text{AINP} - \text{AINN}) = 2 V_{\text{REF}}$$

图16. 以单端和差分输入模式使用 LHE790X

PGA 设置和输入范围

PGA 是差分输入和差分输出放大器。PGA 具有七种增益设置（1、2、3、4、6、8、12 和 24），可通过对 CHnSET 寄存器进行写入来实现这些设置（请参阅 CHnSET: 各个通道设置（n = 1 至 8）（地址 = 05h 至 0Ch）（复位 = 00h）部分）。LHE790X 具有 CMOS 输入，因此具有可忽略的电流噪声。

输入共模范围

输入共模电压无特殊限制，只需保持输入信号 INP、INN 电压在 $AVSS+0.1V \sim AVDD-0.1V$ 之间。

输入差分动态范围

差分 (INP – INN) 信号范围取决于系统中使用的模拟电源和基准。Equation 3 显示了该范围。

$$\text{Full-Scale Range} = \frac{\pm V_{REF}}{\text{Gain}} = \frac{2V_{REF}}{\text{Gain}} \quad (3)$$

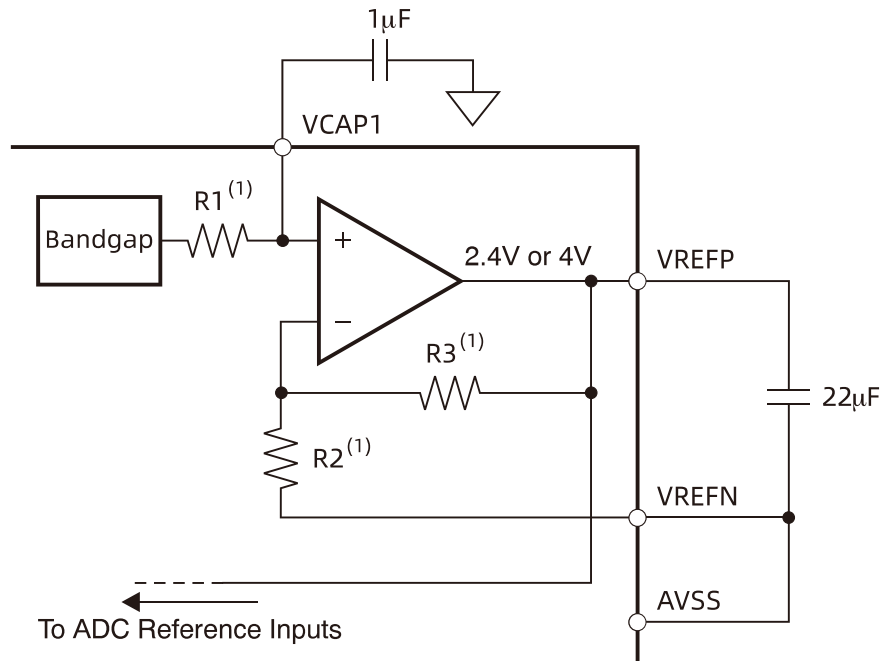
3V 电源（基准为 2.4V，ECG 增益为 6）针对功率进行了优化，差分输入信号约为 300mV。对于更高的动态范围，请使用 5V 电源以及 4V 基准电压（由 CONFIG3 寄存器的 VREF_4V 位进行设置），以增大差分动态范围。

ADC Δ - Σ 调制器

LHE790X 的每个通道都具有一个 24 位 Δ - Σ ADC。该转换器使用针对低功耗应用进行了优化的调制器。对于高分辨率 (HR) 模式，调制器以 $f_{MOD} = f_{CLK}/4$ 的速率对输入信号进行采样，对于低功耗 (LP) 模式，以 $f_{MOD} = f_{CLK}/8$ 的速率进行采样。与任何 Δ - Σ 调制器的情况一样，LHE790X 的噪声会整形到 $f_{MOD}/2$ 。可使用数字抽取滤波器部分中介绍的片上数字抽取滤波器来滤除较高频率的噪声。这些片上抽取滤波器还提供抗混叠滤波。 Δ - Σ 转换器的这一特性可极大地降低奈奎斯特 ADC 通常所需的模拟抗混叠滤波器的复杂性。

基准

下图显示了 LHE790X 内部基准的简化方框图。该基准电压是相对于 AVSS 生成的。在使用内部电压基准时，需要将 VREFN 连接到 AVSS。



(1) 对于 $V_{REF} = 2.4V$: $R1 = 12.5k\Omega$, $R2 = 25k\Omega$, $R3 = 25k\Omega$ 。对于 $V_{REF} = 4V$: $R1 = 10.5k\Omega$, $R2 = 15k\Omega$, $R3 = 35k\Omega$ 。

图17. 内部基准

外部频带限制电容器可决定基准噪声贡献量。对于高端 ECG 系统, 请选择带宽限制为 10Hz 以下的电容器值, 以便基准噪声不会成为系统噪声的主要来源。在使用 3V 模拟电源时, 应将内部基准设置为 2.4V。对于 5V 模拟电源, 应通过设置 CONFIG2 寄存器中的 VREF_4V 位置将内部基准设置为 4V。

或者, 可以关闭内部基准缓冲器的电源, 并可以在外部应用 VREFP。下图 显示了典型的外部基准驱动电路。

断电由 CONFIG3 寄存器中的 PD_REFBUF 位进行控制。默认情况下, 该器件在外部基准模式下唤醒。

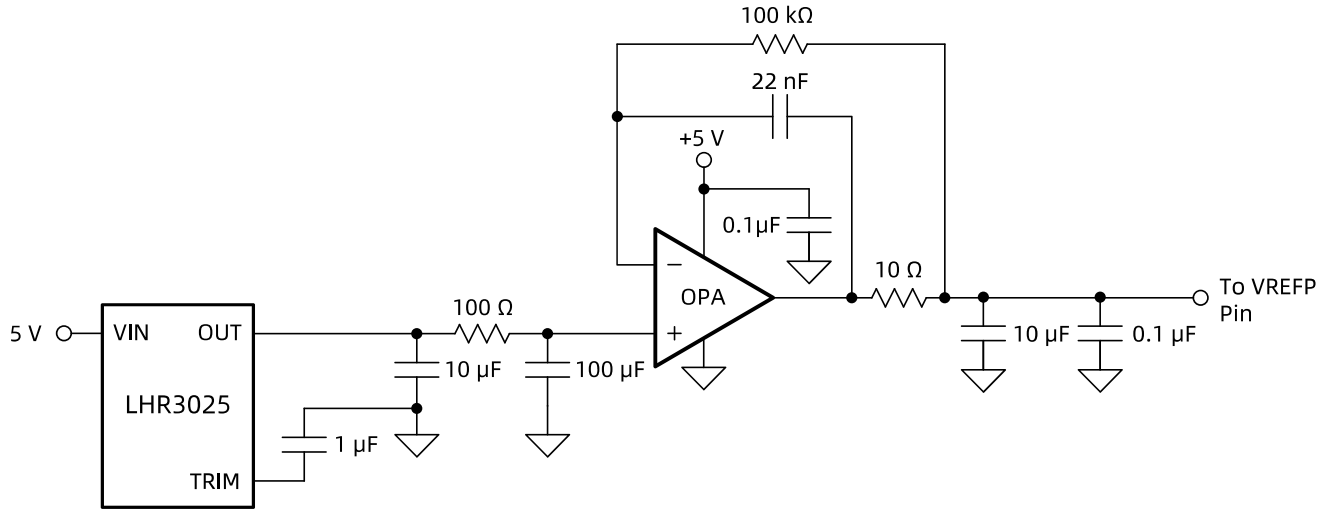
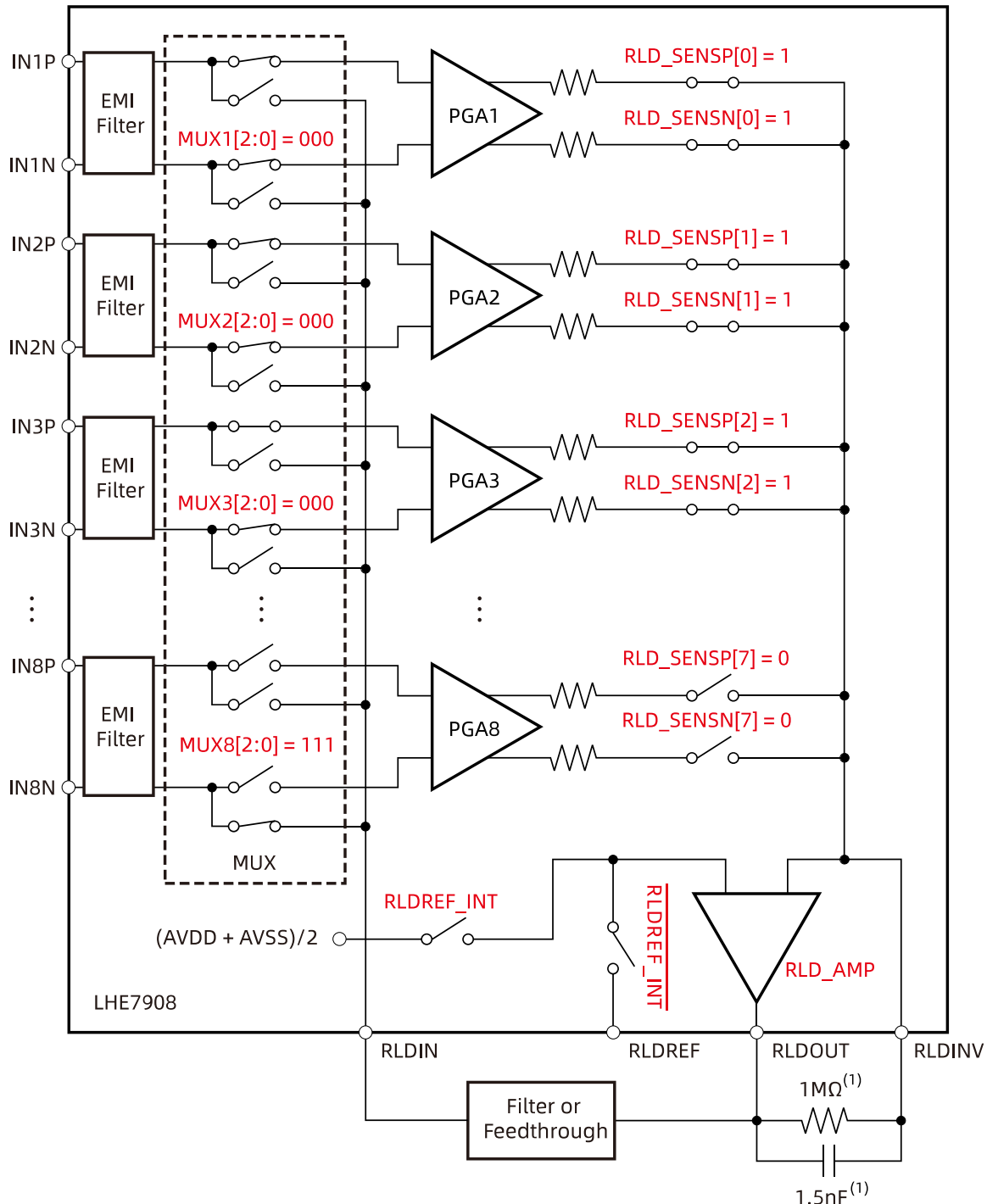


图18. 外部基准驱动器

ECG 专用功能

输入多路复用器（重新路由右腿驱动信号）

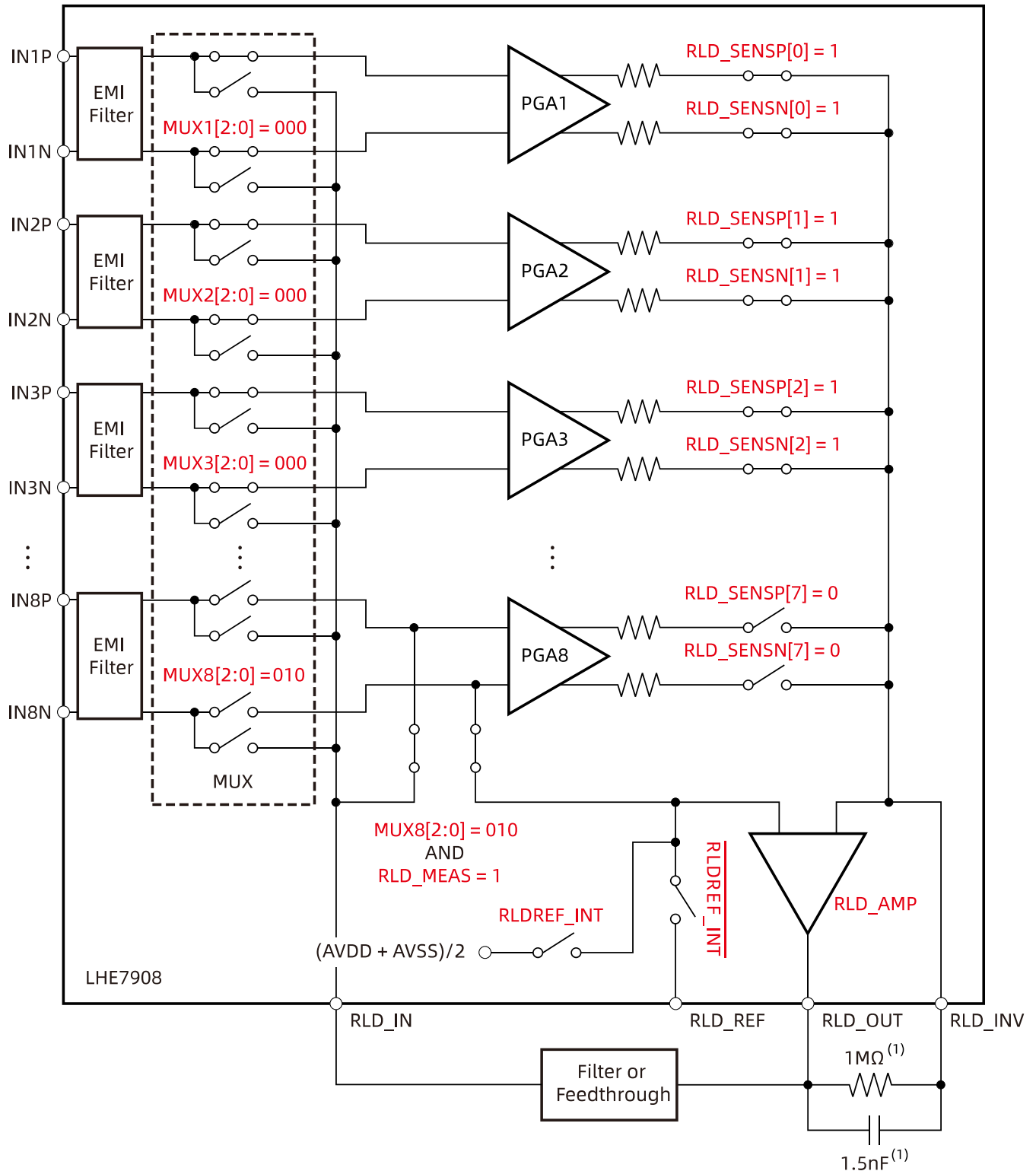
输入多路复用器具有用于右腿驱动 (RLD) 信号的 ECG 专用功能。在为 RLD 导出选择适当的通道，在芯片外部安装反馈元件，并且闭合环路之后，可以在 RLDOOUT 引脚上使用 RLD 信号。该信号可在滤波之后或直接馈入 RLDIN 引脚，如下图所示。通过将适当的通道设置寄存器的多路复用位设置为 110（对于 P 侧）或 111（对于 N 侧），可将 RLDIN 信号多路复用到任何一个输入电极中。下图显示了从通道 1、2 和 3 生成并路由到通道 8 的 N 侧的 RLD 信号。使用此功能可动态更改用作驱动患者身体的基准信号的电极。无法使用相应的通道，可以将其断电。



(1) 典型值, 仅用作示例。

图19. 配置为路由到 IN8N 的 RLDOUT 信号示例

也可以将 RLDOUT 信号路由到用于测量的通道（不用于 RLD 计算）。下图显示了用于将 RLDIN 信号路由到通道 8 的寄存器设置。测量是相对于 RLDREF 引脚上的电压完成的。如果 RLDREF 设置为内部，则为 $(AVDD + AVSS)/2$ 。此功能对于产品开发期间的调试非常有用。



(1) 典型值，仅用作示例。

图20. 配置为由通道 8 读回的 RLDOUT 信号

威尔逊中心端子 (WCT) 和胸导联

在标准 12 导联 ECG 中, WCT 电压定义为右臂 (RA)、左臂 (LA) 和左腿 (LL) 电极的平均值。该电压用作胸导联测量的基准电压。LHE790X 具有三个可生成 WCT 电压的集成低噪声放大器。下图显示了实施的方框图。

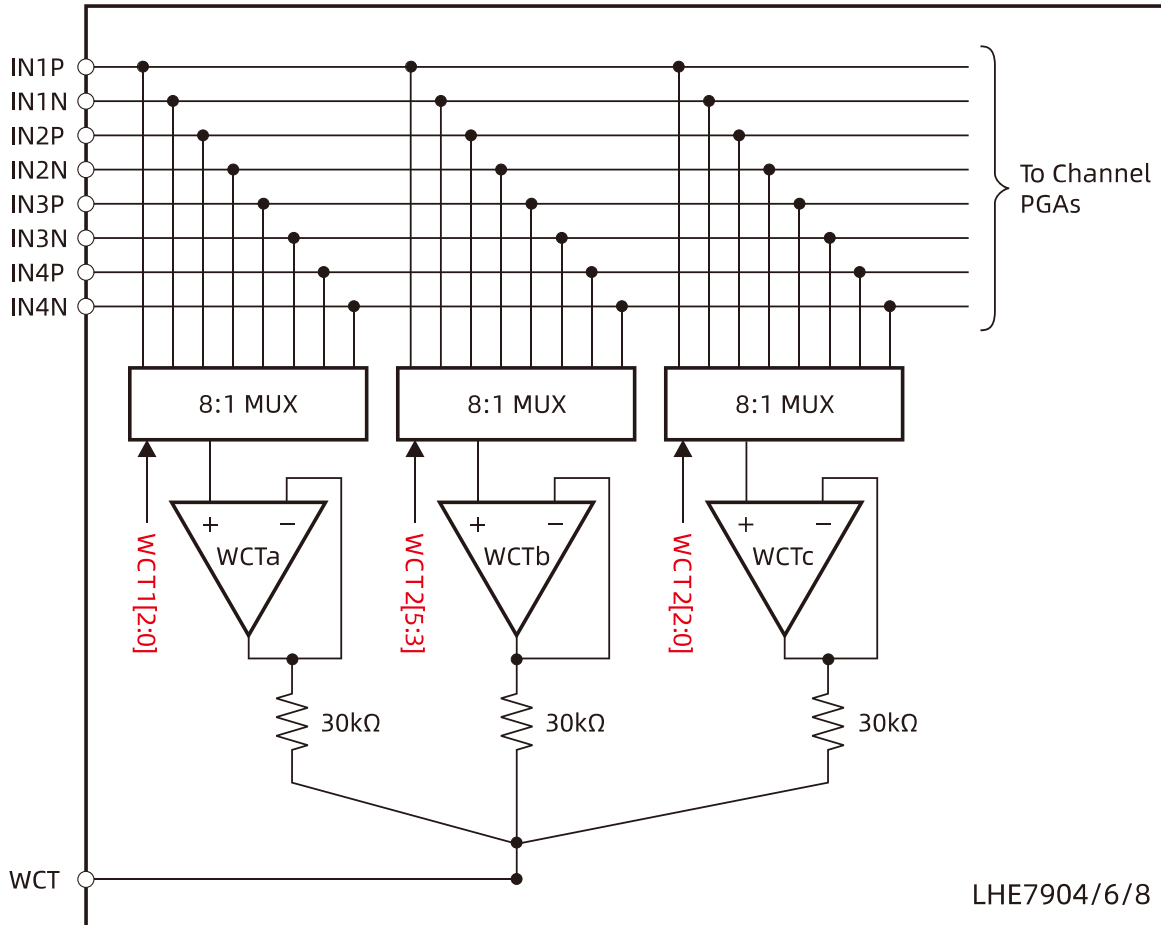


图21. WCT 电压

这些器件可灵活地将八个信号中的任何一个 (IN1P 至 IN4N) 路由到每个放大器, 以生成平均值。这种灵活性允许 RA、LA 和 LL 电极连接到前四个通道的任何输入, 具体取决于导联配置。

WCT 电路中三个放大器中的每一个都可以通过寄存器设置单独断电。通过为两个放大器上电, 可以在 WCT 引脚上生成任何两个电极的平均值。为一个放大器上电可在 WCT 引脚上提供缓冲电极电压。WCT 放大器的驱动强度有限, 因此, 如果它们用于驱动低阻抗负载, 则应进行缓冲。

下表显示了使用任何 1、2 或 3 个 WCT 缓冲器时的典型 WCT 性能。

表18. 典型 WCT 性能

参数	任何一个 (A、B 或 C)	任何两个 (A+B、A+C 或 B+C)	全部三个 (A+B+C)	单位
积分噪声	540	382	312	nV _{RMS}
功率	53	59	65	μW
-3dB BW	30	59	89	kHz
压摆率	BW 限制	BW 限制	BW 限制	V/μs

如上表所示, 为多个 WCT 放大器上电后, 总体噪声会降低。之所以会产生该噪声降低现象, 是因为噪声会由放大器输出端的无源求和网络取平均值。关闭各个缓冲器的电源所节省的功率可忽略不计, 因为很大一部分电路在三个放大器之间共享。WCT 节点的带宽受 RC 网络的限制。内部求和网络由三个 30kΩ 电阻器和外部电容器组成。为了获得最佳性能, 请添加一个外部 1nF 电容器。有效带宽取决于上电的放大器数量, 如上表所示。

仅使用 WCT 节点来驱动非常高的输入阻抗（通常大于 500M Ω ）。典型的应用将此 WCT 信号连接到 LHE790X 的负输入，以用作胸导联的基准信号。

如前所述，全部三个 WCT 放大器都可以连接到八个模拟输入引脚之一。放大器的输入会被斩波，斩波频率因 LHE790X 的数据速率而异。三个最高数据速率的斩波频率具有 1:1 的比率。例如，在 32kSPS 数据速率下，在 HR 模式下的斩波频率为 32kHz (WCT_CHOP = 0)。四个较低数据速率的斩波频率固定为 4kHz。当 WCT_CHOP=1 时，斩波频率固定为最高数据速率频率（即 $f_{MOD}/16$ ），如下表所示。斩波频率作为直流上的小方波出现在 WCT 放大器的输出端。方波的振幅是放大器的偏移，通常为小于 1mV_{PP}。由于带外斩波，该现象不会干扰与 ECG 相关的测量。由于斩波功能，带有连接的 WCT 放大器的引脚上的输入电流泄漏会在更高的数据速率下以及当输入公共电压摆动至接近 0V (AVSS) 时增加，如下图 所示。

如果连接到 WCT 放大器的通道（例如 V 导联通道）的输出连接到用于外部起搏信号检测的起搏信号放大器之一，则会在起搏信号放大器输出端出现斩波映像。

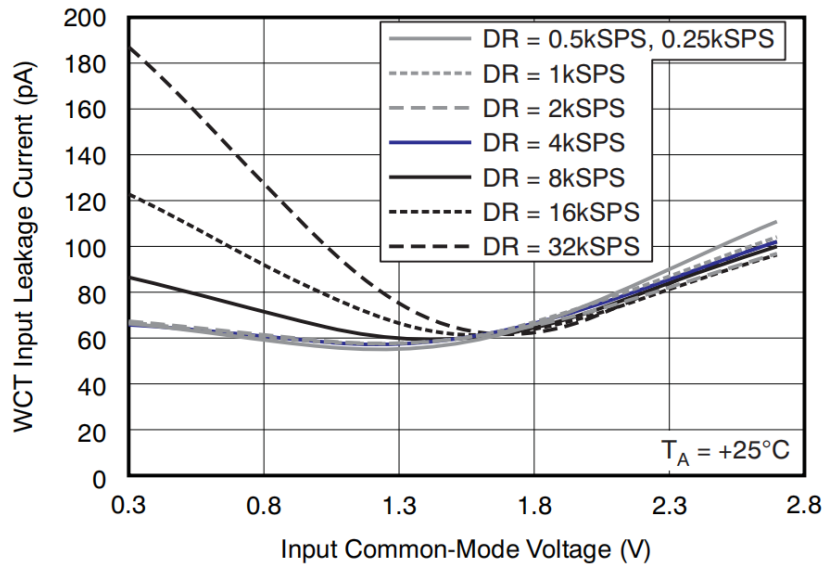


图22. WCT 输入泄漏电流与输入电压间的关系 (WCT_CHOP=0)

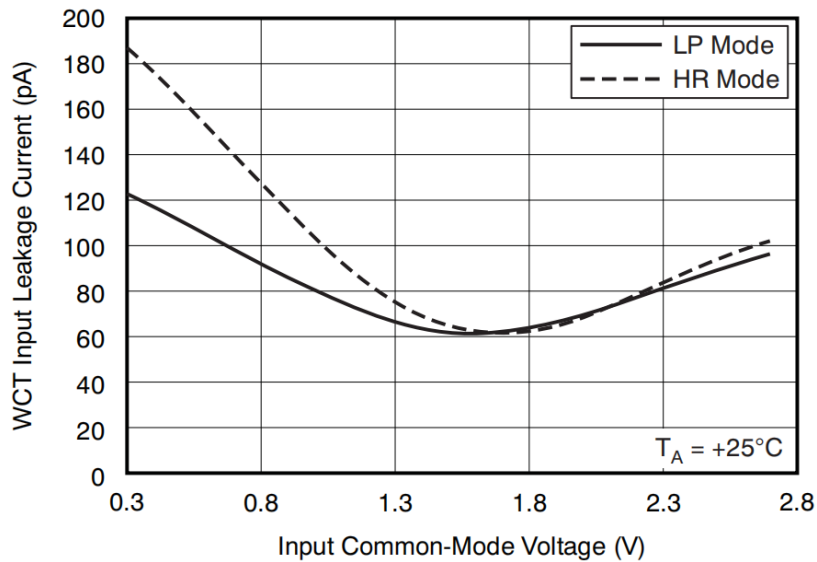


图23. WCT 输入泄漏电流与输入电压间的关系 (WCT_CHOP=1)

表19. WCT 放大器斩波频率 WCT_CHOP_FREQ = 0

CONFIG1.DR[2:0] 位	CONFIG2.WCT_CHOP = 0	CONFIG2.WCT_CHOP = 1
000	$f_{MOD}/16$	$f_{MOD}/16$
001	$f_{MOD}/32$	$f_{MOD}/16$

010	$f_{MOD}/64$	$f_{MOD}/16$
011	$f_{MOD}/128$	$f_{MOD}/16$
100	$f_{MOD}/128$	$f_{MOD}/16$
101	$f_{MOD}/128$	$f_{MOD}/16$
110	$f_{MOD}/128$	$f_{MOD}/16$

表20. WCT_CHOP_FREQ != 0

WCT_CHOP_FREQ	CONFIG2.WCT_CHOP = 0
000	见上表
001	Disable wct_chop_clk
010	2k Hz
011	4k Hz
100	8k Hz
101	16k Hz
110	32k Hz
111	64k Hz

增强的导联

在具有八个通道的 12 导联 ECG 的典型实施中，增强的导联以数字方式计算。在某些应用中，可能需要所有导联都是以模拟（而非数字）形式导出。LHE790X 提供了通过将相应的平均值路由到通道 5、6 和 7 来生成增强导联的选项。用于生成 WCT 信号的相同三个放大器也用于生成戈德伯格中心端子 (GCT) 信号。下图显示了在模拟域中生成增强导联的示例。在该实施中，使用了 8 个以上的通道来生成标准的 12 个导联。LHE7904 和 LHE7906 不提供该功能。

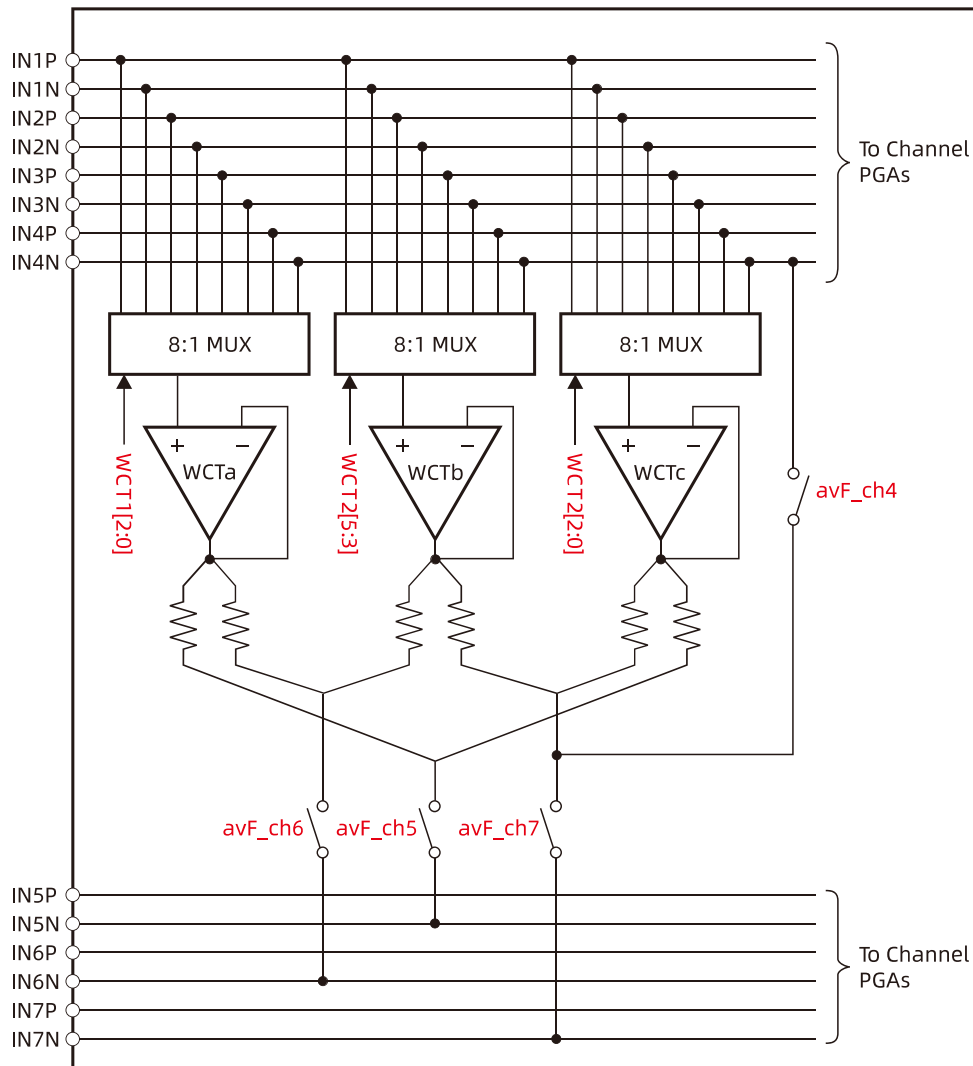


图24. 模拟域增强导联

具有 WCT 点的右腿驱动

在某些应用中，WCT 的异相版本用作 RLD 基准。LHE790X 提供在 RLD_OUT 引脚上实现 WCT 端子的缓冲版本的选项。该信号可以使用外部放大器进行反相，然后用作右腿驱动。有关更多详细信息，请参阅 右腿驱动 (RLD) 直流偏置电流部分。

导联脱落检测

患者电极阻抗随时间的推移而衰减；因此，必须连续监控这些电极连接，以验证是否存在合适的连接。LHE790X 导联脱落检测功能块为从各种导联脱落检测策略中进行选择提供了极大的灵活性。尽管该功能称为导联脱落检测，但它实际上是电极脱落检测。

基本原理是注入激励信号并测量响应以确定电极是否脱落。如下图中的导联脱落检测功能方框图所示，该电路提供两种不同的患者电极状态确定方法。这些方法具有不同的激励信号频率成分。可以使用 LOFF_SENSP 和 LOFF_SENSN 寄存器在每个通道的基础上选择性地完成导联脱落。可以在检测电路启用时禁用内部激励电路。脱落转态可以从 GPIO 输出，该功能可以配置所有信号通道关掉后，以低功耗的模式长期监测是否导联连接，进而唤醒 MCU。该模式适用于低功耗系统的应用。具体见 DC_LOFF_OSEL 寄存器配置，该功能可以在关掉测量通道后支持自动检测触发唤醒，进而降低整个系统的功耗。

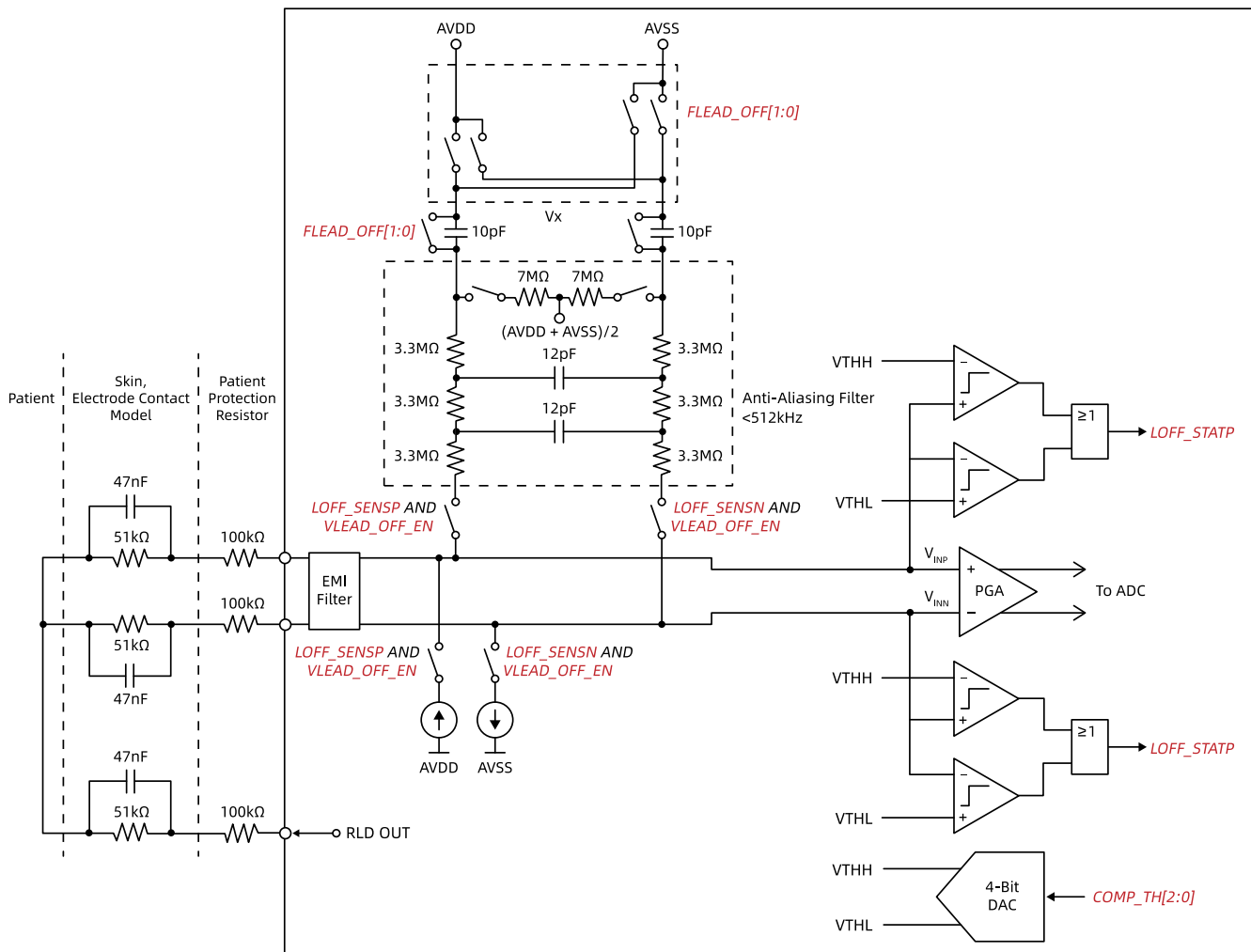


图25. 导联脱落检测

直流导联脱落

在该方法中，导联脱落激励是使用直流信号完成的。从上拉或下拉电阻器或从拉电流或灌电流系统中选择一个直流激励信号，如左图所示。通过设置 LOFF 寄存器中的 VLEAD_OFF_EN 位进行选择。通道的一侧被拉至电源，另一侧被拉至接地。可通过设置 LOFF_FLIP 寄存器中的位来交换上拉电阻器和下拉电阻器，如右图所示。如果使用拉电流或灌电流，则使用 LOFF 寄存器中的 ILEAD_OFF[1:0] 位设置电流的幅度{CONFIG3.ILEAD_EN, LOFF.ILEAD_OFF[1:0]}和 LOFF_CFG.ILOFF_BST_EN 设置电流的幅度。默认情况下，INP 引脚会被来自电源的电流源充电，INN 引脚会被来自地的电流源放电，可以通过配置寄存器 LOFF_SENP_FLIP、LOFF_SENN_FLIP 来调整电流源的极性；譬如 LOFF_SENP_FLIP.LOFF_FLIP8=0x1, 那么 IN8P 引脚反转为被来自地的电流源放电，LOFF_SENN_FLIP.LOFF_FLIP8=0x1, 那么 IN8N 引脚反转为被来自电源的电流源充电。与 $10\text{M}\Omega$ 上拉或下拉电阻器相比，拉电流或灌电流可提供更大的输入阻抗。

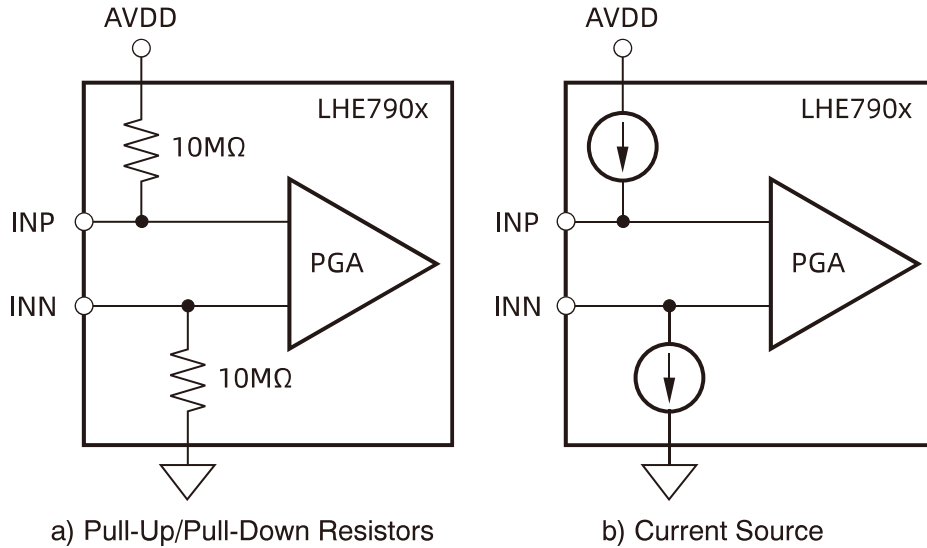


图26. 直流导联脱落激励选项

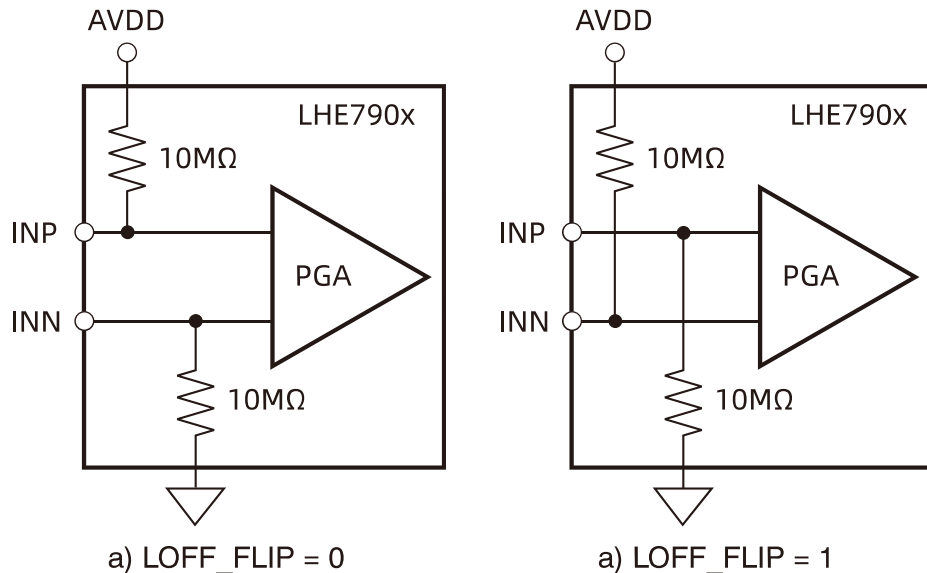


图27. LOFF_FLIP 用法（电流源方式同电阻方式）

可通过查看器件的数字输出代码或通过片上比较器监视输入电压来实现响应检测。如果任一电极关闭，那么上拉或下拉电阻器会使通道饱和。查看输出代码以确定 P 侧或 N 侧是否关闭。要查明哪一侧关闭，请检查比较器输出。在转换期间，通过使用比较器和 4 位 DAC（其电平由 LOFF 寄存器中的 COMP_TH[2:0] 位设置）同时监视输入电压。比较器输出存储在 LOFF_STATP 和 LOFF_STATN 寄存器中。这两个寄存器作为输出数据流的一部分提供（请参阅数据输出引脚 (DOUT) 部分）。如果未使用直流导联脱落，则可以通过设置 CONFIG4 寄存器中的 PD_LOFF_COMP 位使导联脱落比较器断电。

导联脱落部分中提供了打开直流导联的示例过程。

交流导联脱落

该方法使用带外交流信号进行激励。通过在输入端以固定频率提供上拉和下拉电阻器来产生交流信号。交流信号会通过抗混叠滤波器以防止混叠。使用 LOFF 寄存器中的 FLEAD_OFF[1:0] 选择交流导联脱落模式。激励信号频率可通过 LOFF_FREQ 寄存器配置。

表21. 交流激励信号频率

LOFF_FREQ[7:0]	频率(Hz)
000	500
001	1000
010	2000
011	4000
100	8000
101	16000
110	7.8
111	31.2

交流信号通过 ECG 通道以使信号数字化并测量输出来实现交流信号检测。交流激励信号以高于目标频带的频率引入，会产生一个带外差分信号，该信号可以单独滤除并进行处理。通过测量输出频谱处激励信号的幅度，可以计算导联脱落状态。因此，交流导联检测与 ECG 信号采集同时完成。

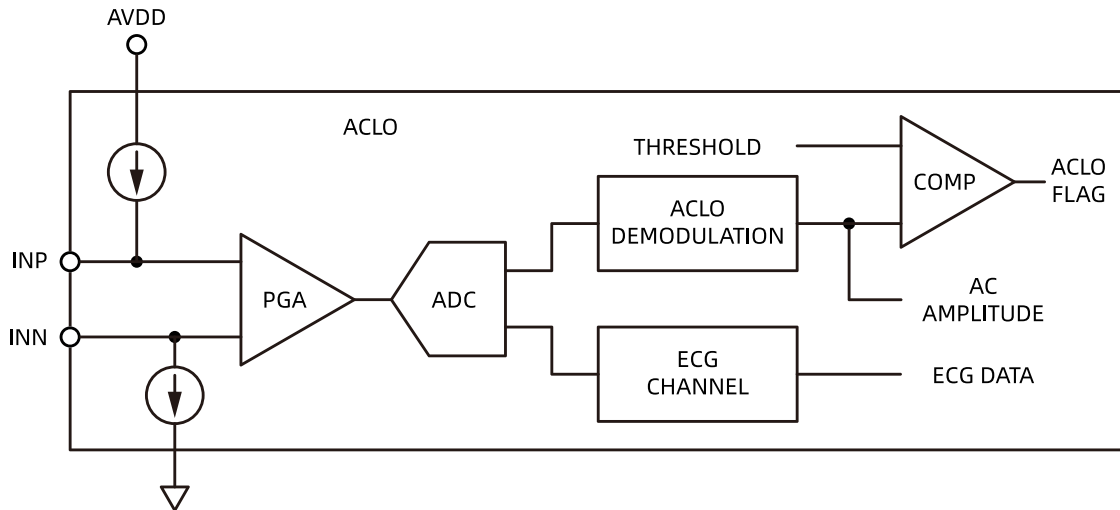


图28. ACLO 检测方案

片上集成数字交流脱离检测模块。LOFF_FREQ[7:0]配置 000 至 101 时可通过配置寄存器 DIG_ACLOFF_ENABLE 使能该模块，配置寄存器 LOFF_CFG 使能 leadoff 比较器，用以检测交流导联脱落状态，并输出脱落状态和 16bit 交流信号幅值。下图是 500Hz 外接 1M 电阻，电流大小和 AC code 之间关系。

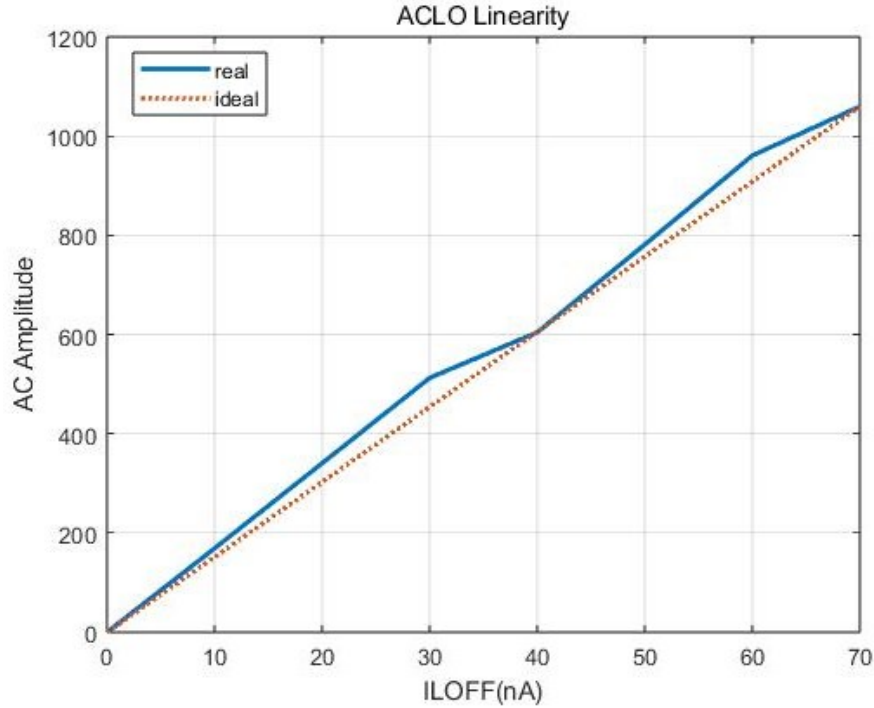


图29. 500Hz 外接 1M 电阻，电流大小和 AC code 之间关系

交流导联脱落检测提供用户可编程的专用阈值电压上限 (LOFF_UTH_HIGH 和 LOFF_UTH_LOW) 和下限 (LOFF_LTH_HIGH 和 LOFF_LTH_LOW)。当驱动电流流入右腿 (RL) 时，正确连接的电极会有一个非常小的信号，而断开的电极则有一个较大信号（由信号源和电缆电容构成的容性分压器决定）。

如果测得的信号大于阈值上限，则阻抗很高，导线很可能已断开。合适的阈值设置取决于具体电缆/电极/保护方案，因为对于不同的使用情形，这些参数通常是独一无二的。可从高阈值开始，然后逐渐降低，直至检测到导联脱落，然后提高该阈值以提供一定的安全裕量。

由此得到简单的动态阈值，它会自动补偿很多电路变量的影响。

阈值下限是针对仅使用交流导联脱落和电极电缆长时间断开的情况而增加的。此时，直流电压已饱和到供电轨，或者电极电缆因故障短接到电源。无论何种情况，交流信号均不存在，但电极可能未连接。阈值下限检查最小信号电平。

除导联脱落标志外，用户还可以回读每通道提供的电压测量结果，二者数据均以 16Hz 频率进行更新。

RLD 导联脱落

通过将 RLD 放大器断电来确定 LHE790X 中是否连接了 RLD 电极。断电后，通过两种测量程序来确定 RLD 电极连接状态：拉电流或者拉电阻，如下图所示。设置比较器的基准电平，以确定可接受的 RLD 阻抗阈值。

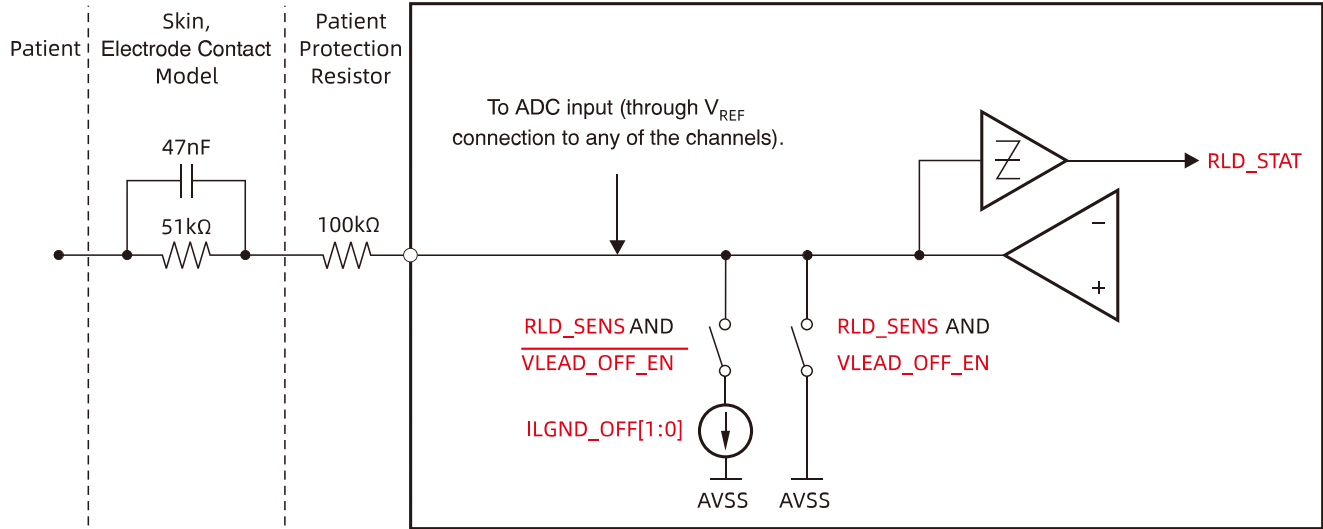


图30. 上电时的 RLD 导联脱落检测

当 RLD 放大器通电时，电流源下拉和电阻器下拉方法不起作用。可使用比较器来检测 RLD 放大器输出端的电压。比较器阈值由用于设置其他负输入阈值的相同 LOFF[7:5] 位进行设置。

右腿驱动 (RLD) 直流偏置电流

可使用右腿驱动 (RLD) 电路来抵消 ECG 系统中由于电源线和其他源（包括荧光灯）导致的共模干扰。RLD 电路检测所选电极组的共模电压，并通过使用反向共模信号驱动人体来创建负反馈环路。负反馈环路将共模运动限制在较窄的范围内，具体取决于环路增益。对整个环路的稳定特定于单个系统（根据环路中的各个极点）。LHE790X 集成了用于选择运算放大器通道的多路复用器。所有放大器端子均可在引脚处提供，从而允许选择反馈环路的组件。下图所示的电路显示了 RLD 偏置电路的整体功能连接性。

可设置内部生成的 RLD 基准电压 $([AVDD + AVSS]/2)$ ，也可以通过电阻分压器在外部提供该基准电压。通过将适当的值写入 CONFIG3 寄存器中的 RLDREF_INT 位来确定为 RLD 环路选择内部基准电压还是外部基准电压。

如果未使用 RLD 功能，则使用 PD_RLD 位使放大器断电（有关详细信息，请参阅 CONFIG3：配置寄存器 3（地址 = 03h）（复位 = 40h）部分）。该位还用于菊花链模式，以使除一个 RLD 放大器之外的所有 RLD 放大器断电。输入多路复用器部分介绍了 RLDIN 引脚的功能。电源建议的右腿驱动部分中显示了 RLD 放大器的示例使用过程。



WCT 用作 RLD

在某些应用中，RLD 可通过求 RA、LA 和 LL 的平均值得出。该电平与 WCT 电压相同。WCT 放大器的驱动强度有限；因此，仅使用 WCT 直接驱动非常高的阻抗。LHE790X 提供在内部缓冲 WCT 信号的选项（通过设置 CONFIG4 寄存器中的 WCT_TO_RLD 位）。将器件外部的 RLD_OUT 和 RLD_INV 引脚短接。在 RLD_OUT 信号连接到 RLD 电极之前，使用外部放大器反转信号的相位，以实现负反馈。

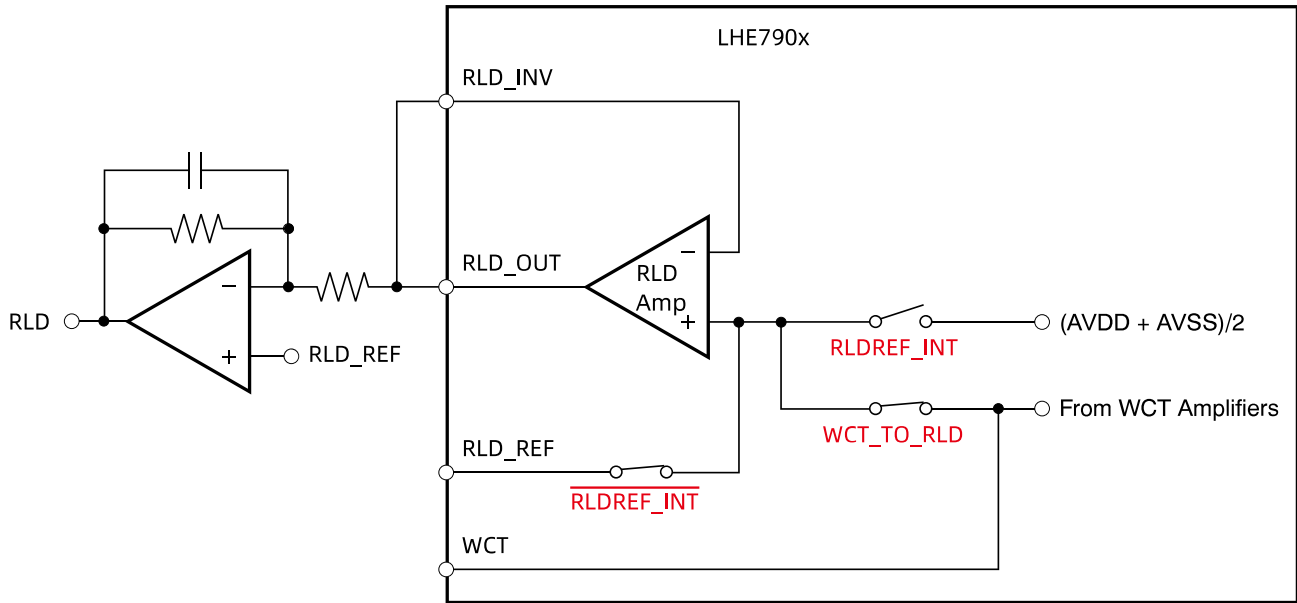


图32. 使用 WCT 作为右腿驱动 (RLD)

使用多个器件的 RLD 配置

下图显示了连接到一个 RLD 的多个器件。

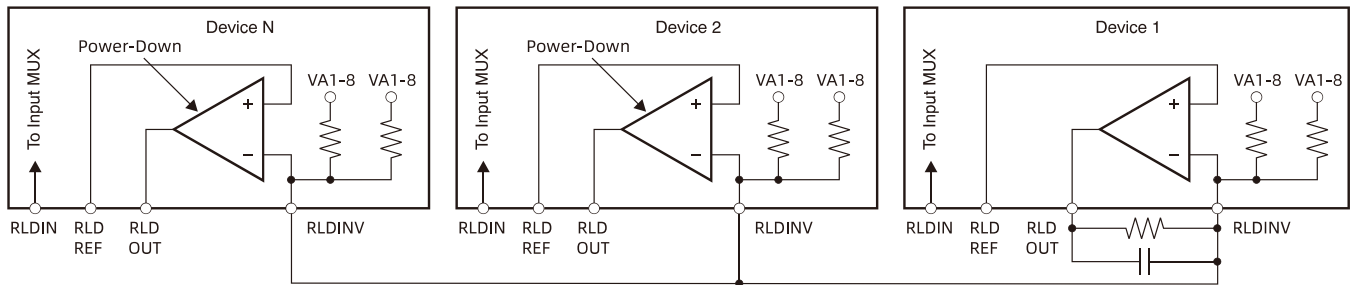


图33. 多个器件的 RLD 连接

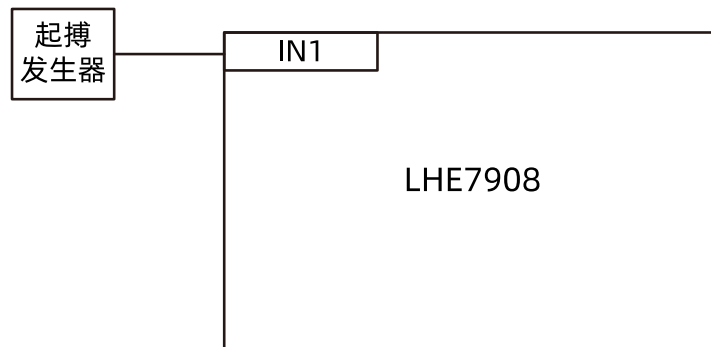
起搏信号检测

LHE790X 通过使用软件或外部硬件为起搏信号检测提供灵活性。通过提供高达 64kSPS 的采样率来实现软件方法。通过在 TESTP_PACE_OUT1 和 TESTN_PACE_OUT2 两个引脚上生成 PGA 的输出来实现外部硬件方法。如果 WCT 放大器连接到信号路径，那么会由于斩波而产生开关噪声；有关详细信息，请参阅 威尔逊中心端子 (WCT) 和胸导联部分。

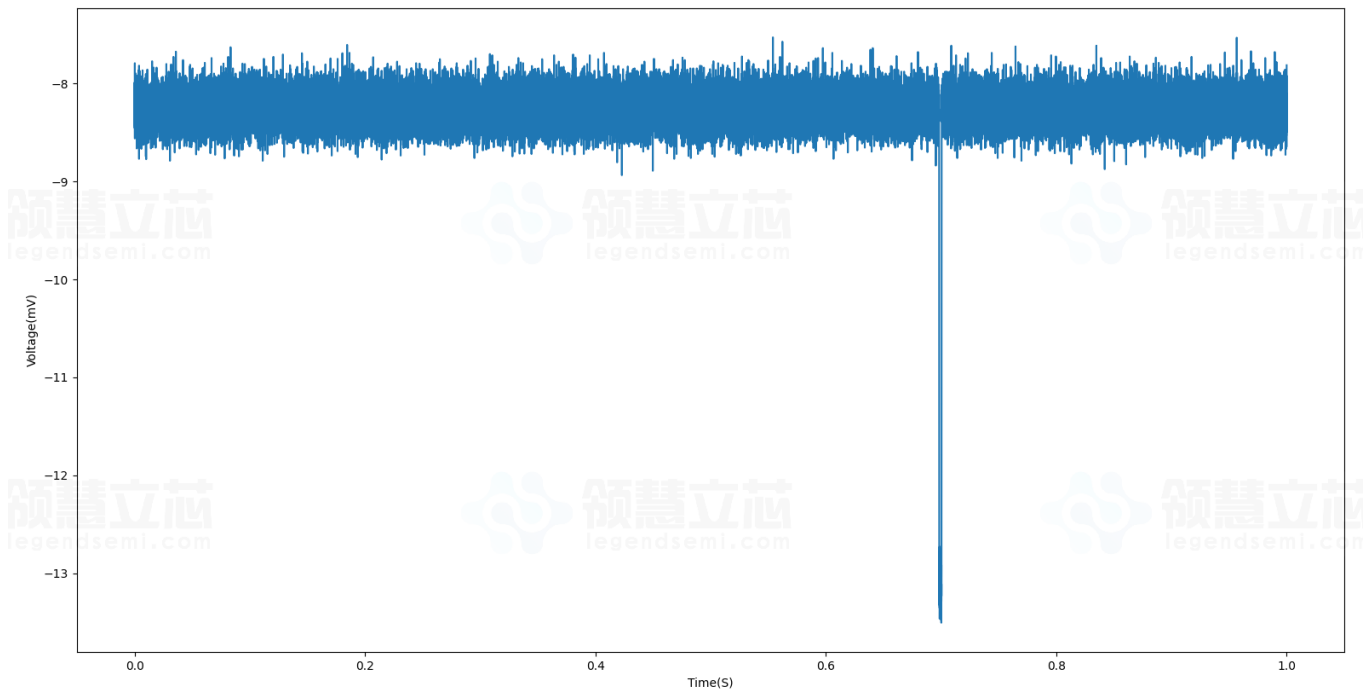
软件方法

要使用软件方法，请以 64kSPS 采样率运行该器件，以捕捉最快的脉冲。然后，使用数字信号处理来确定是否存在起搏器脉冲。该软件方法提供了最大的灵活性，可以使用软件对起搏信号检测阈值进行动态编程。随着起搏器的不断发展，这种灵活性越来越重要。

测试原理框图如下：



实际测试数据

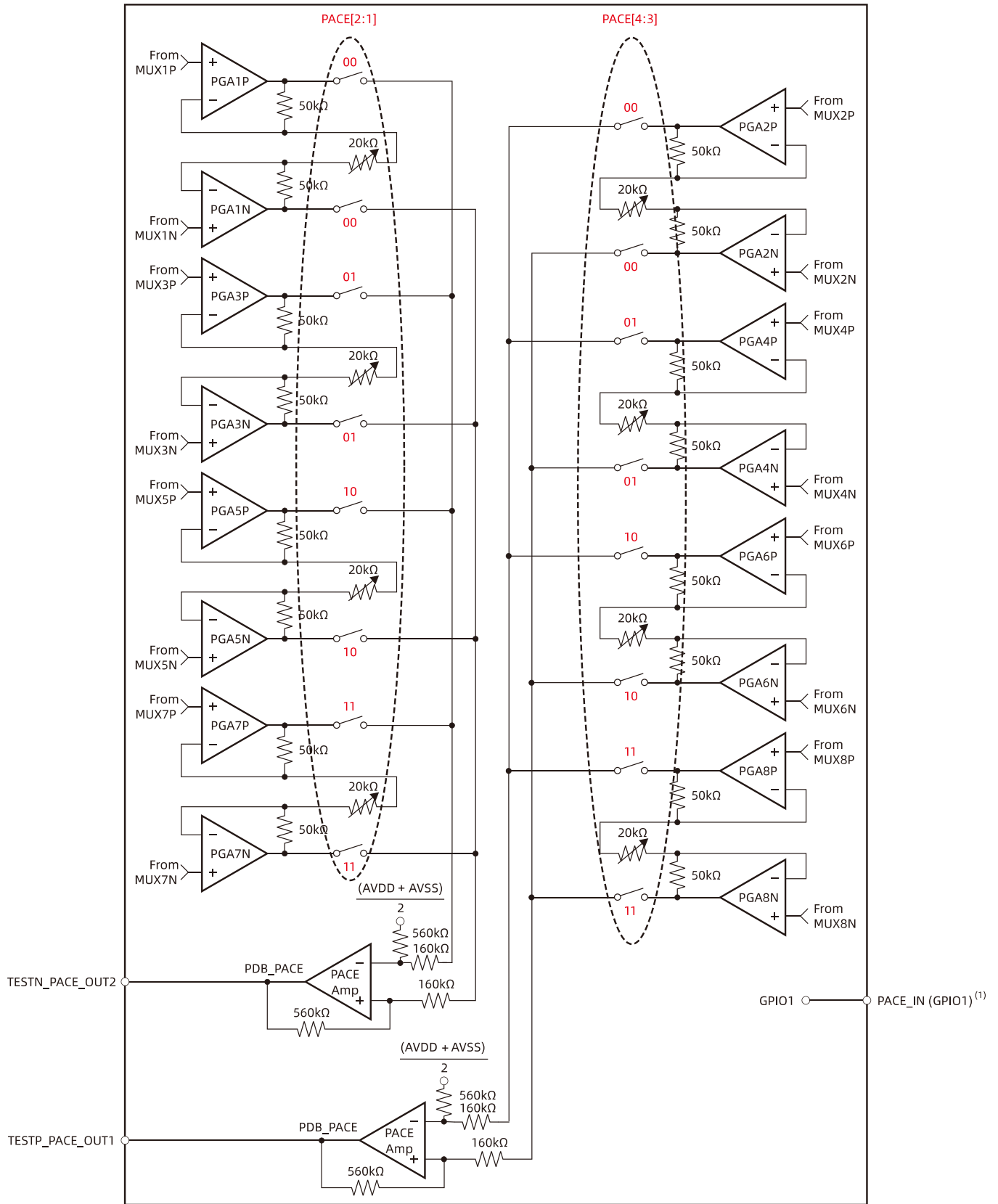


可以清晰看到起搏信号。

外部硬件方法

使用软件方法的缺点之一是单个器件上的所有通道必须以更高的数据速率运行。对于高数据速率是个难题的系统，LHE790X 提供将外部硬件连接到 PGA 输出的选项，以检测是否存在脉冲。然后，起搏信号检测逻辑的输出通过 GPIO 引脚之一馈送到器件中。GPIO 数据通过 SPI 端口传输，并在 DRDY 变低之前的 2 个 t_{CLK} 加载。可使用 PACE 寄存器中的寄存器位来选择八个通道中的两个：一个来自奇数通道，另一个来自偶数通道。起搏信号路径中的总增益等于 3.5。起搏输出信号会分别通过 TESTP_PACE_OUT1 和 TESTN_PACE_OUT2 引脚与 TESTP 和 TESTN 信号进行多路复用。可通过设置 PACE 寄存器的位 [4:1] 来实现通道选择。如果未使用起搏信号电路，则使用 PACE 寄存器中的 PD_PACE 位关闭起搏信号放大器。

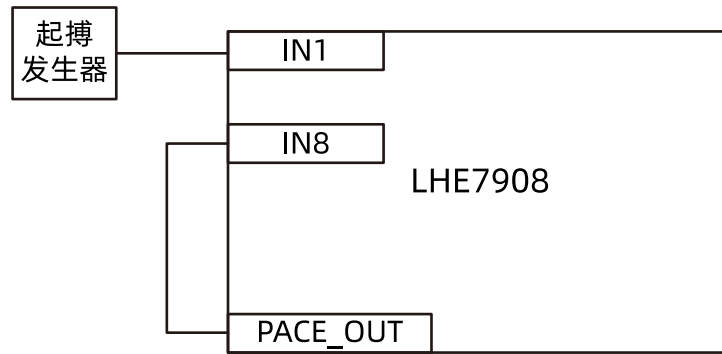
如果连接到 WCT 放大器的通道（例如 V-lead 通道）的输出连接到用于外部起搏信号检测的起搏信号放大器之一，则会在起搏信号放大器输出端出现斩波图像。有关更多详细信息，请参阅 威尔逊中心端子 (WCT) 和胸导联 部分。



(1) GPIO1 可用作 PACE_IN 信号。

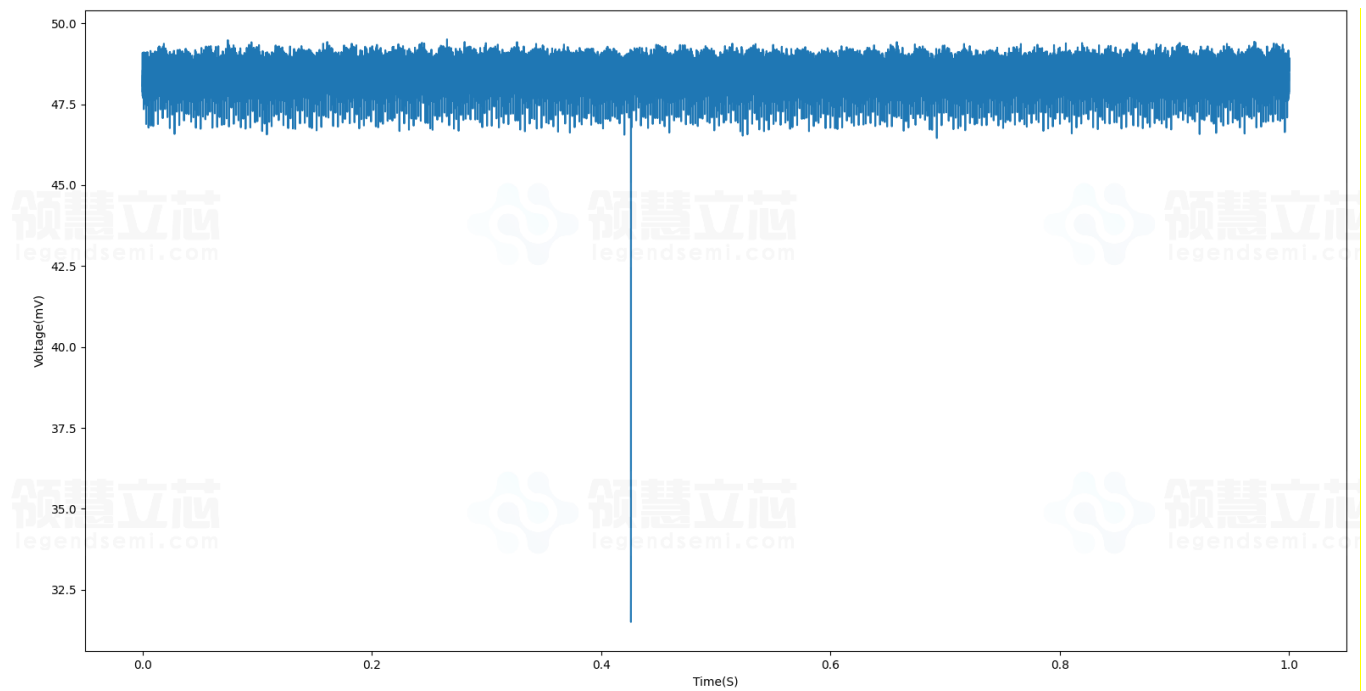
图34. 硬件起搏信号检测选项

测试原理框图:



实际测试数据:

可以清晰看到起搏信号。



9.3.2. 数字功能

GPIO 引脚 (GPIO[4:1])

LHE790X 在正常工作时总共有四个通用数字输入/输出 (GPIO) 引脚。数字 I/O 引脚可通过 GPIO 寄存器的 GPIOC 位单独配置为输入或输出。GPIO 寄存器中的 GPIOD 位控制引脚的电平。在读取 GPIOD 位时, 返回的数据是引脚的逻辑电平, 无论它们是编程为输入还是输出都是如此。当 GPIO 引脚配置为输入时, 对相应 GPIOD 位的写入无效。当配置为输出时, 对 GPIOD 位的写入会设置输出值。

如果配置为输入, 则必须驱动这些引脚; 请勿将这些引脚悬空。在上电或复位之后, GPIO 引脚会设置为输入。

下图显示了 GPIO 端口结构。如果未使用这些引脚, 则将其与 DGND 短接。

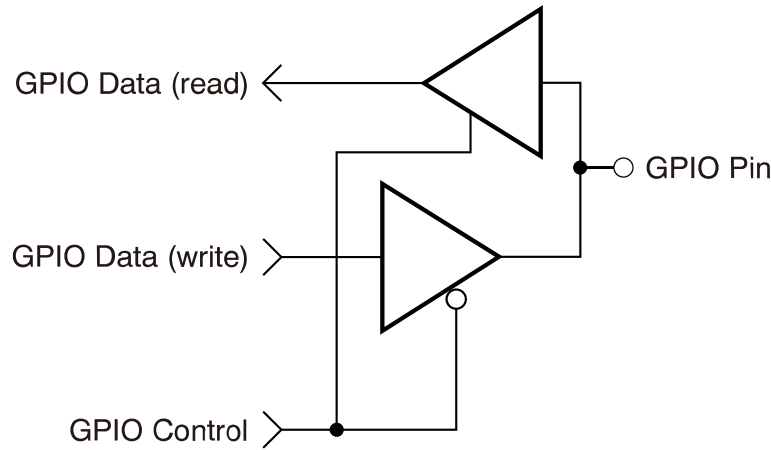


图35. GPIO 端口引脚

关断引脚 (PWDN)

将 PWDN 拉至低电平后，所有片上电路都会断电。要退出关断模式，请将 PWDN 引脚置于高电平。一旦退出关断模式，内部振荡器和基准就需要一段时间才能唤醒。在关断期间，关闭外部时钟以省电。

复位 (RESET 引脚和复位命令)

可通过两种方法来对 LHE790X 进行复位：将 RESET 引脚拉至低电平，或发送 RESET 操作码命令（请参阅 RESET：将寄存器重置为默认值 部分）。将 RESET 引脚置于低电平可强制进行复位。在将 RESET 引脚重新置为高电平之前，确保遵循最小脉冲宽度时序规格。RESET 命令在操作码命令的第八个 SCLK 下降沿生效。复位后，需要 N 个 t_{CLK} 周期才能将配置寄存器初始化为默认状态并启动转换周期。有关更多信息，请参阅 RESET：将寄存器重置为默认值 部分。只要使用 WREG 命令将寄存器 CONFIG1 和 RESP 设置为新值，就会自动向数字滤波器发出内部复位命令。

数字抽取滤波器

数字滤波器接收调制器输出并抽取数据流。通过调整滤波量，可以在分辨率和数据速率之间进行折衷：增大滤波量可实现更高的分辨率，减小滤波量可实现更高的数据速率。通常在 ECG 应用中使用更高的数据速率，以实现软件起搏信号检测和交流导联脱落检测。

每个通道上的数字滤波器由一个可选的三阶/四阶 Sinc 滤波器组成。Sinc 滤波器上的抽取率由 CONFIG1 寄存器中的 DR 位进行调整（有关详细信息，请参阅 Table 16）。该设置是可影响所有通道的全局设置；因此，在这些器件中，所有通道都以相同的数据速率运行。

Sinc 滤波器级 ($\sin x/x$)

Sinc 滤波器是可变抽取率三阶低通滤波器。数据以 f_{MOD} 的速率从调制器提供给滤波器的该部分。Sinc 滤波器可使调制器的高频噪声衰减，然后将数据流抽取为并行数据。抽取率会影响转换器的整体数据速率。

Equation 4 显示了 Sinc 滤波器的缩放 Z 域传递函数。

$$|H(z)| = \left| \frac{1-Z^{-N}}{1-Z^{-1}} \right|^3 \quad (4)$$

Equation 5 显示了 Sinc 滤波器的频域传递函数。

$$H(f) = \left| \frac{\sin \left[\frac{N\pi f}{f_{\text{MOD}}} \right]}{N \times \sin \left[\frac{\pi f}{f_{\text{MOD}}} \right]} \right|^3$$

其中

- N =抽取率

下图为 sinc3 时频响滚降图。

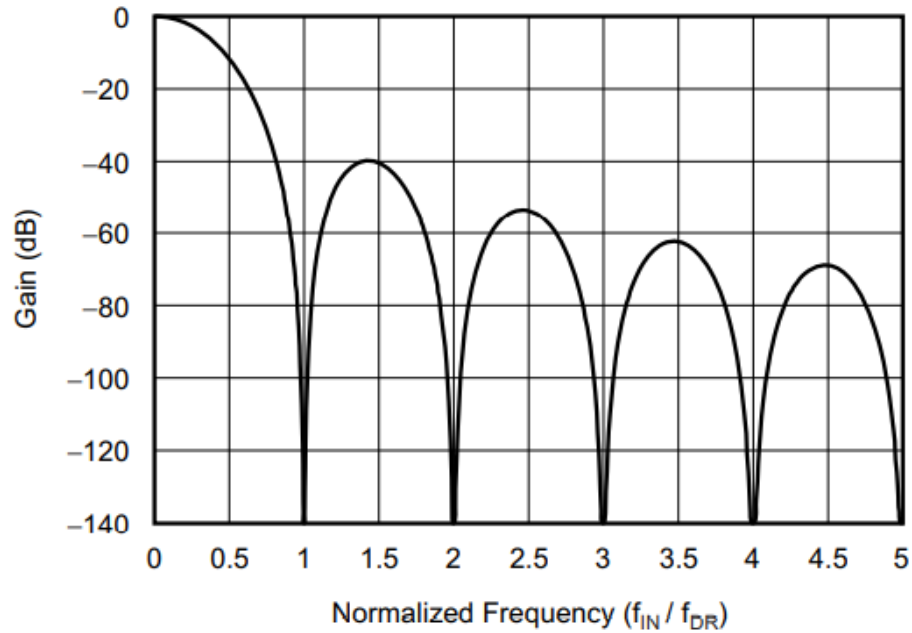


图36. Sinc 滤波器频率响应

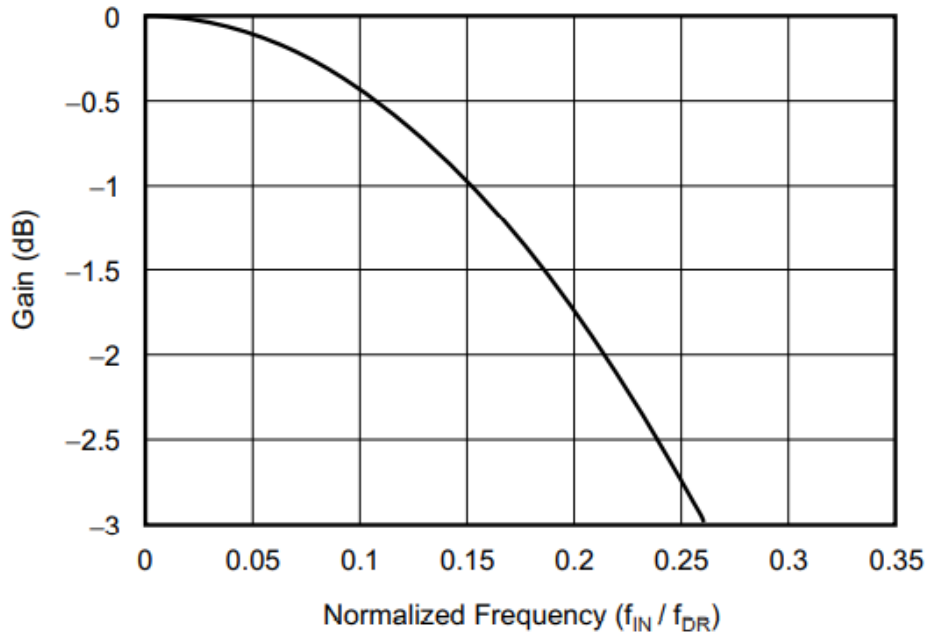


图37. Sinc 滤波器滚降

Sinc 滤波器具有以输出数据速率倍数出现的陷波（或零点）。在这些频率下，滤波器具有无限衰减。图 36. 显示了 Sinc 滤波器的频率响应，图 37. 显示了 Sinc 滤波器的滚降。输入端出现阶跃变化时，滤波器模式为 Sinc3 或 Sinc4 模式，滤波器分别需要 3 或 4 个 t_{DR} 转换周期才能稳定。在 START 引脚的上升沿或 START 命令完成后，滤波器需要多个 t_{SETTLE} 周期来提供第一个数据输出。SPI 接口部分的启动模式小节介绍了滤波器在各种数据速率下的建立时间。图 38. 和图 39. 分别显示了 Sinc3 模式在不同数据速率时 $f_{MOD}/2$ 和 $f_{MOD}/16$ 下的滤波器传递函数。图 40. 显示了扩展至 $4 \times f_{MOD}$ 的传递函数。如图所示，LHE790X 的通带会在每个 f_{MOD} 倍数处重复其自身。为系统选择合适的输入 R-C 抗混叠滤波器，以充分减弱大约为 f_{MOD} 倍数的频率下的任何干扰。

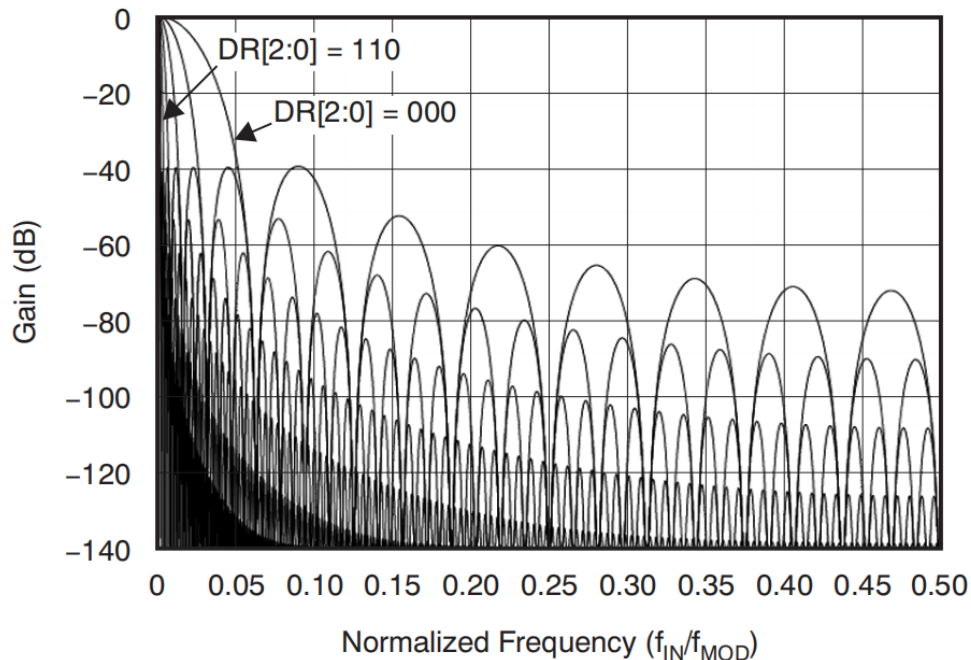


图38. $f_{MOD}/2$ 下片上抽取滤波器的传递函数

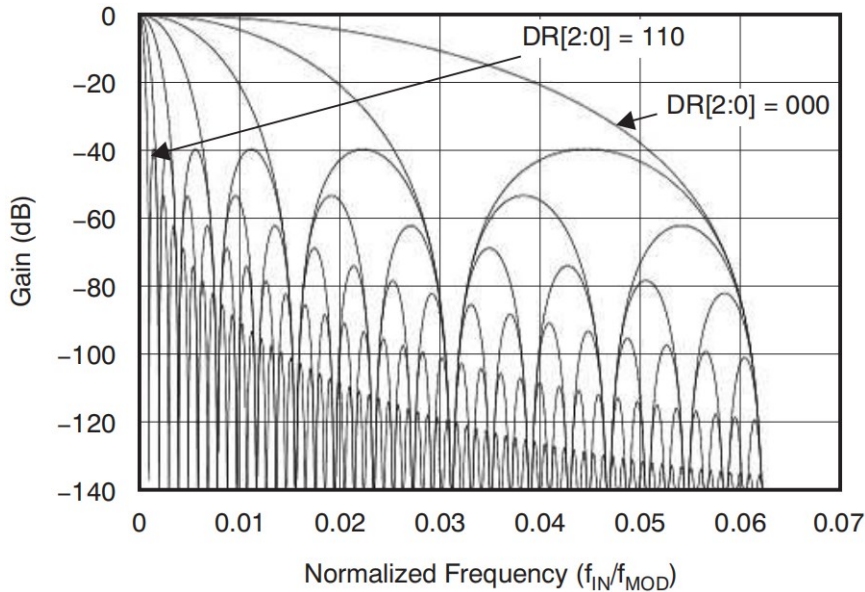


图39. $f_{\text{MOD}}/16$ 下片上抽取滤波器的传递函数

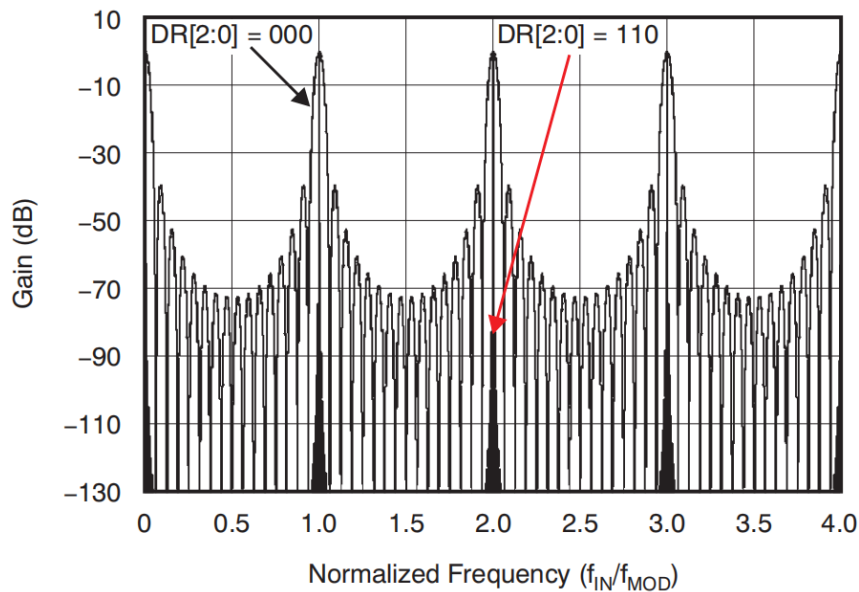


图40. $4 \times f_{\text{MOD}}$ 下片上抽取滤波器的传递函数 (DR[2:0]=000 且 DR[2:0]=110)

时钟

LHE790X 提供两种不同的器件计时方法：内部和外部。内部时钟非常适合低功耗、电池供电的系统。内部振荡器针对室温下的精度进行了修整。该精度在指定的温度范围内变化；请参阅电气特性。时钟选择由 CLKSEL 引脚和 CLK_EN 寄存器位进行控制。

使用 CLKSEL 引脚选择内部或外部时钟。CONFIG1 寄存器中的 CLK_EN 位启用和禁用要在 CLK 引脚输出的振荡器时钟。下表显示了这两个引脚的真值表。当以菊花链配置连接多个器件时，使用 CLK_EN 位。在关断期间，关闭外部时钟以省电。

表22. CLKSEL 引脚和 CLK_EN 位

CLKSEL 引脚	CONFIG1.CLK_EN 位	时钟源	CLK 引脚状态
0	X	外部时钟	输入: 外部时钟
1	0	内部时钟振荡器	三态
1	1	内部时钟振荡器	输出: 内部时钟振荡器

9.3.3. 功能模式

数据采集

本节介绍与 START 和 DRDY 引脚、稳定数据和数据读回相关的数据采集过程。

启动模式

将 START 引脚拉为高电平并至少持续 2 个 t_{CLK} 周期, 或者发送 START 命令以开始转换。当 START 引脚为低电平或未发送 START 命令时, 器件不会发出 $\overline{DRDY}$ 信号 (转换停止)。

使用 START 操作码开始转换时, 将 START 引脚保持为低电平。LHE790X 具有两种控制转换的模式: 连续和单次。可通过 SINGLE_SHOT (CONFIG4 寄存器的位 3) 选择模式。在多器件配置中, START 引脚用于同步器件 (有关更多详细信息, 请参阅多器件配置 部分)。

建立时间

建立时间 (t_{SETTLE}) 是当 START 信号被拉为高电平时转换器输出完全稳定的数据所需的时间。

当 START 引脚被拉为高电平或发送 START 命令时, 器件 ADC 会转换输入信号并且 $\overline{DRDY}$ 被拉为高电平。 $\overline{DRDY}$ 的下一个下降沿指示数据是只读的。下图显示了时序图, 下表显示了不同数据速率下作为 t_{CLK} 的函数的建立时间。建立时间取决于 f_{CLK} 和抽取率 (由 CONFIG1 寄存器中的 DR[2:0] 位进行控制)。

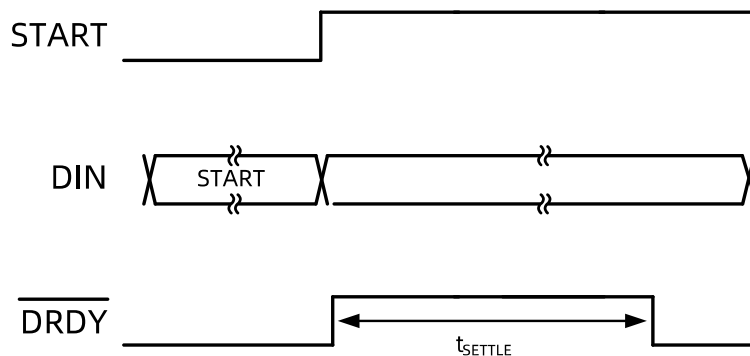


图41. 初始转换的建立时间

表23. 不同数据速率的建立时间 (t_{SETTLE})

DR[2:0]	Sinc4 建立时间 (t_{CLK} 周期)	
	高分辨率模式	低功耗模式
000	298	596
001	554	1108
010	1066	2132

011	2090	4180
100	4138	8276
101	8234	16468
110	16426	32852

当 START 引脚保持高电平且输入信号发生阶跃变化时, Sinc3 或 Sinc4 模式滤波器分别需要 3 或 4 个 t_{DR} 转换周期才能稳定到新值, 如下图所示。Sinc3 模式时可在发送第四个 $\overline{DRDY}$ 脉冲时提供稳定的数据。在尝试测量用起搏信号检测的窄起搏信号脉冲时, 必须考虑该建立时间。在每个 $\overline{DRDY}$ 高/低转换时可读取数据, 但可以将其忽略。

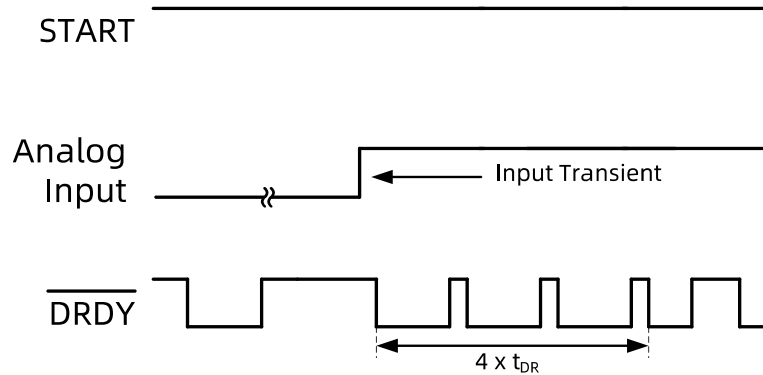


图42. 输入瞬态的建立时间

数据就绪引脚 ($\overline{DRDY}$)

$\overline{DRDY}$ 是输出。当 $\overline{DRDY}$ 转换为低电平时, 新转换数据就绪。 $\overline{CS}$ 信号对数据就绪信号没有任何影响。无论 $\overline{CS}$ 信号的状态如何, SCLK 上的上升沿都会将 $\overline{DRDY}$ 拉至高电平。因此, 在 SPI 总线中使用多个器件时, 使用 $\overline{CS}$ 来选通 SCLK。 $\overline{DRDY}$ 取决于器件是否处于 RDATA_{AC} 模式或是否使用 RDATA 命令按需读取数据。有关更多详细信息, 请参阅 RDATA_{AC}: 连续读取数据和 RDATA: 读取数据 部分。

使用 RDATA 命令读取数据时, 读取操作可能与出现的下一个 $\overline{DRDY}$ 重叠, 但不会导致数据损坏。

使用 START 引脚或 START 命令将器件置于正常数据捕获模式或脉冲数据捕获模式。

下图 显示了数据检索期间 $\overline{DRDY}$ 、DOUT 和 SCLK 之间的关系 (对于具有可提供 24 位分辨率的选定数据速率的 LHE790X)。DOUT 在 SCLK 的上升沿锁存。无论是从器件检索数据还是通过 DIN 引脚发送命令, 器件都会

在 SCLK 的第一个下降沿将 $\overline{DRDY}$ 拉为高电平。数据从状态字的 MSB 开始, 然后按顺序进入 ADC 通道数据 (即通道 1、通道 2、...、通道 x)。断电的通道仍然在数据流中有一个位置; 但是, 数据无效, 可以将其忽略。

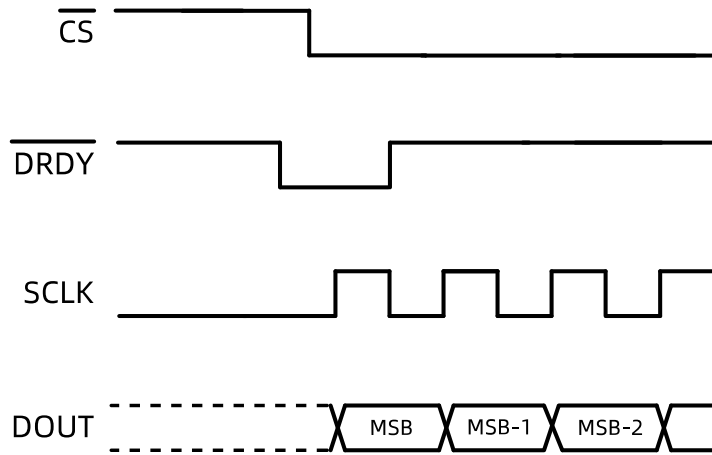


图43. 有数据检索时的 $\overline{DRDY}$ ($\overline{CS} = 0$)

无论 $\overline{CS}$ 的状态如何, 都会在第一个 $SCLK$ 下降沿清除 $\overline{DRDY}$ 信号。即使没有数据随时钟输出, 也仍然会清除 $\overline{DRDY}$ 信号。如果使用 SPI 总线与同一总线上的其他器件进行通信, 请考虑此情况。下图显示了该多路复用的时序图。

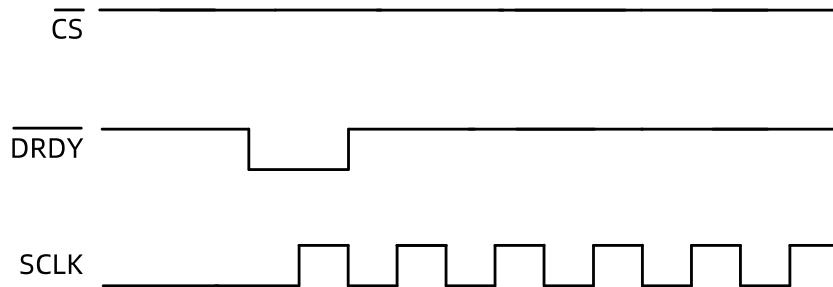


图44. SPI 总线多路复用的 $\overline{DRDY}$ 和 $SCLK$ 行为

数据读取

可通过以下两种方法之一完成数据检索:

- 1、RDATAC: 连续读取数据命令设置在不发送操作码的情况下连续读取数据的器件模式。有关更多详细信息, 请参阅 RDATAC: 连续读取数据 部分。
- 2、RDATA: 读取数据命令仅从器件中读取一个数据输出。有关更多详细信息, 请参阅 RDATA: 读取数据 部分。有关更多详细信息, 请参阅 SPI 命令定义 部分。

可通过在 $DOUT$ 上移出数据来读取转换数据。 $DOUT$ 上数据的 MSB 在第一个 $SCLK$ 上升沿随时钟输出。 $\overline{DRDY}$ 会在第一个 $SCLK$ 下降沿返回至高电平。在整个读取操作期间将 DIN 保持为低电平。

状态字

LHE790X 数据读回之前是一个状态字, 用于提供有关 ADC 状态的信息。状态字的长度为 24 位, 其中包含 LOFF_STATP、LOFF_STATN 和部分 GPIO 寄存器的值。下图显示了内容对齐。

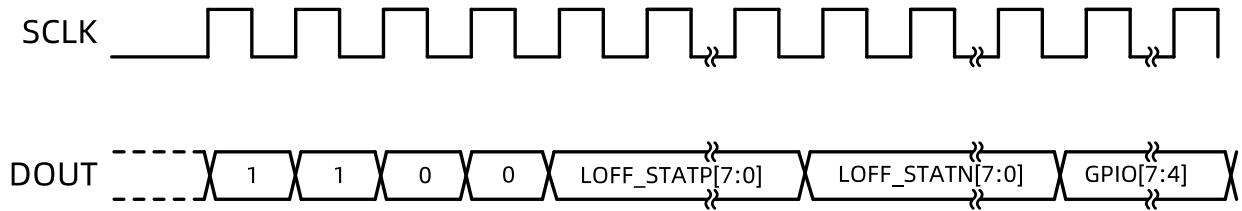


图45. 状态字内容

读回长度

数据输出中的位数取决于通道数和每个通道的位数。每个通道数据的数据格式是二进制补码，MSB 在前。对于具有 32kSPS 和 64kSPS 数据速率的 LHE790X，数据位数为 24 个状态位 + 每个通道 16 位 × 8 个通道 = 152 位。对于所有其他数据速率，数据位数为 24 个状态位 + 每个通道 24 位 × 8 个通道 = 216 位。使用用户寄存器设置使通道断电时，相应的通道输出会设置为 0。不过，通道输出序列保持不变。LHE7904 输出四个通道的数据，LHE7906 输出六个通道的数据。

LHE790X 还提供多回读功能。将 CONFIG1 寄存器中的 DAISY_IN 位设置为 1 可实现多回读功能。只须提供额外的 SCLK 即可多次读取数据；读取最后一个字节后 MSB 数据字节会重复。

数据格式

LHE790X 会以二进制补码格式在每个通道输出 24 位的数据，MSB 在前。LSB 具有 $V_{REF}/(2^{23} - 1)$ 的权重。正满量程输入可生成输出代码 7FFFFFFh，负满量程输入可生成输出代码 800000h。输出在这些代码处针对超出满量程的信号进行削波。下表总结了不同输入信号的理想输出代码。对于 DR[2:0] = 000 和 001，器件分别仅具有 17 位和 19 位分辨率。可以忽略最后 7 位（17 位模式下）或 5 位（19 位模式下）。

表24. 理想输出代码与输入信号间的关系⁽¹⁾

输入信号, V_{IN} ($INxP - INxN$)	理想输出代码 ⁽²⁾
$\geq V_{REF}$	7FFFFFFh
$V_{REF}/(2^{23} - 1)$	000001h
0	000000h
$-V_{REF}/(2^{23} - 1)$	FFFFFFh
$\leq -V_{REF} (2^{23}/(2^{23} - 1))$	800000h

(1) 仅对 24 位分辨率数据速率有 (效增益) = 1。

(2) 不包括噪声、线性、偏移和增益误差的影响。

单次模式

可通过将 CONFIG4 寄存器中的 SINGLE_SHOT 位设置为 1 来启用单次模式。在单次模式下，当 START 引脚被置于高电平或发送 START 操作码命令时，LHE790X 会执行单次转换。如下图所示，当转换完成时， $\overline{DRDY}$ 会变为低电平，进一步的转换停止。无论是否读取转换数据， $\overline{DRDY}$ 都保持低电平。要开始新的转换，请将 START 引脚置为低电平，然后再重新置为高电平并至少保持两个 t_{CLK} ，或再次发送 START 操作码。从连续转换模式切换到单次模式时，要确保发送 START 脉冲信号，或发出 STOP 命令并后跟 START 命令。

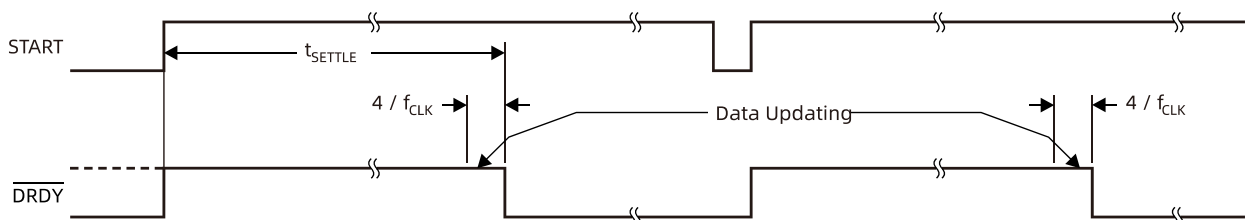


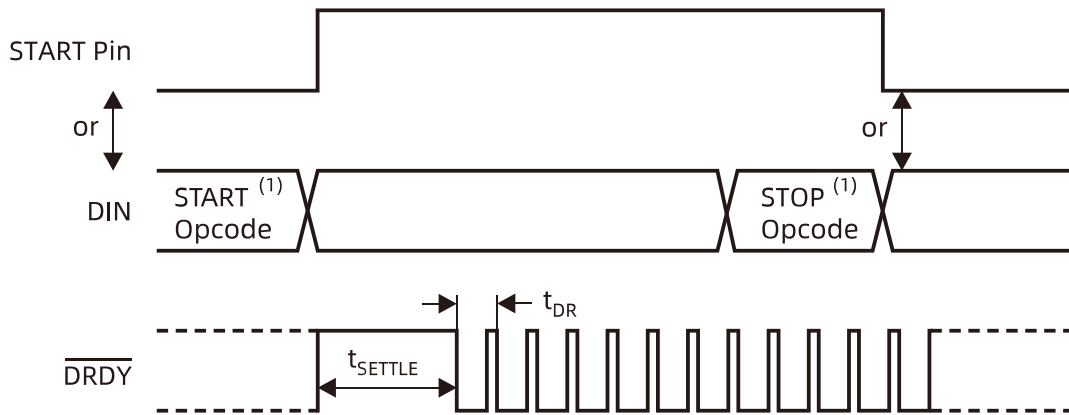
图46. 无数据检索时的 $\overline{DRDY}$ （单次模式）

为需要非标准或非连续数据速率的应用提供了单次转换模式。发出 START 命令或将 START 引脚切换为高电平可重置数字滤波器，从而有效地将数据速率降低为原来的四分之一。该模式使系统更容易受到混叠效应的影响，因此需要更复杂的模拟或数字滤波。主机处理器上的负载会增加，因为它必须切换 START 引脚或发送 START 命令以启动新的转换周期

连续转换模式

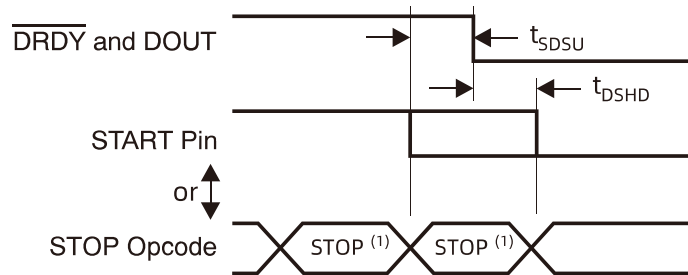
当 START 引脚被置于高电平并至少保持两个 t_{CLK} 或发送 START 操作码命令时，将开始进行转换。如下图所示， $\overline{DRDY}$ 会在转换开始后变为高电平，并在数据就绪后变为低电平。转换会无限期地持续下去，直到 START 引脚被置为低电平或发送 STOP 操作码命令。当 START 引脚被拉为低电平或发出停止命令时，允许完成正在进行的转换。

下图 和下表 显示了在该模式下控制转换时 START 引脚以及 START 和 STOP 操作码命令所需的 $\overline{DRDY}$ 时序。要使转换器保持连续运行，应将 START 引脚永久固定在高电平。从单次模式切换到连续转换模式时，发送 START 脉冲信号，或发出 STOP 命令并后跟 START 命令。该转换模式非常适用于需要连续转换结果流的应用。



(1) START 和 STOP 操作码命令会在第七个 SCLK 下降沿生效。

图47. 连续转换模式



(1) START 和 STOP 命令会在操作码传输结束时的第七个 SCLK 下降沿生效。

图48. START 至 DRDY 时序

表25. Table 14. Figure 64 的时序要求⁽¹⁾

		最小值	最大值	单位
t_{DSU}	START 引脚置于低电平或向 $\overline{DRDY}$ 发送 STOP 操作码以中止进一步转换的设置时间	16		t_{CLK}
t_{DSHD}	START 引脚置于低电平或发送 STOP 操作码以完成当前转换	16		t_{CLK}

(1) START 和 STOP 命令会在操作码传输结束时的第七个 SCLK 下降沿生效。

多器件配置

当系统中连接多个器件时，LHE790X 可提供配置灵活性。串行接口通常需要四个信号：DIN、DOUT、SCLK 和 CS。通过在每个器件上添加一个额外的片选信号，可以将多个器件连接在一起。连接 n 个器件所需的信号数量为 $3 + n$ 。

如使用多个器件的 RLD 配置部分中所述以菊花链方式连接 RLD 放大器。要以菊花链配置使用内部振荡器，请将其中一个器件设置为时钟源的主器件并启用内部振荡器（CLKSEL 引脚 = 1），并通过将 CLK_EN 寄存器位设置为 1 从器件获取内部振荡器时钟。使用该主器件时钟作为其他器件的外部时钟源。在使用多个器件时，将这些器件与 START 信号同步。从 START 信号到 DRDY 信号的延迟对于固定数据速率是固定的（有关建立时间的更多详细信息，请参阅启动模式 部分）。作为一个示例，Figure 65 显示了两个器件与 START 信号同步时的行为。

可使用两种配置以最佳接口引脚数来连接多个器件：级联或菊花链。

由于内部同步 START 的时刻可能存在差异，多片的 DRDYN 可能会存在最大一个 CLK 的偏差。

当采集 128K 数据速率 8 通道 ADC data 时，需要采用同沿 SPI 方式进行采集。

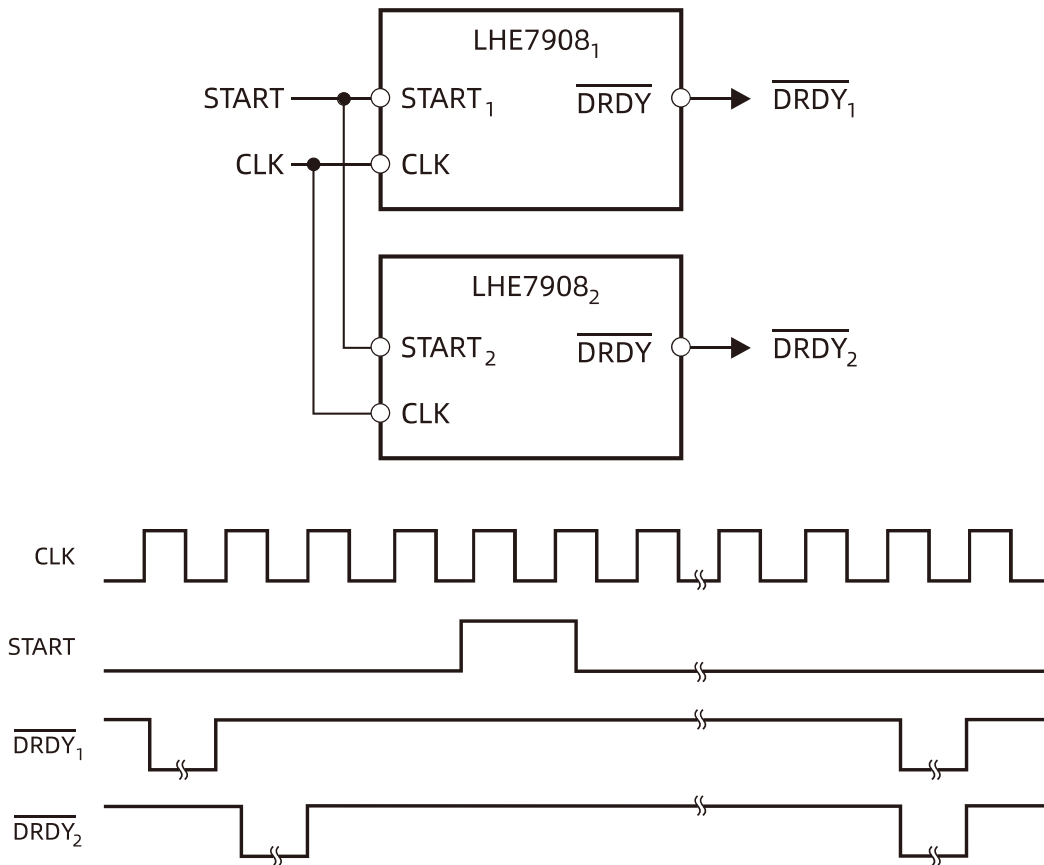


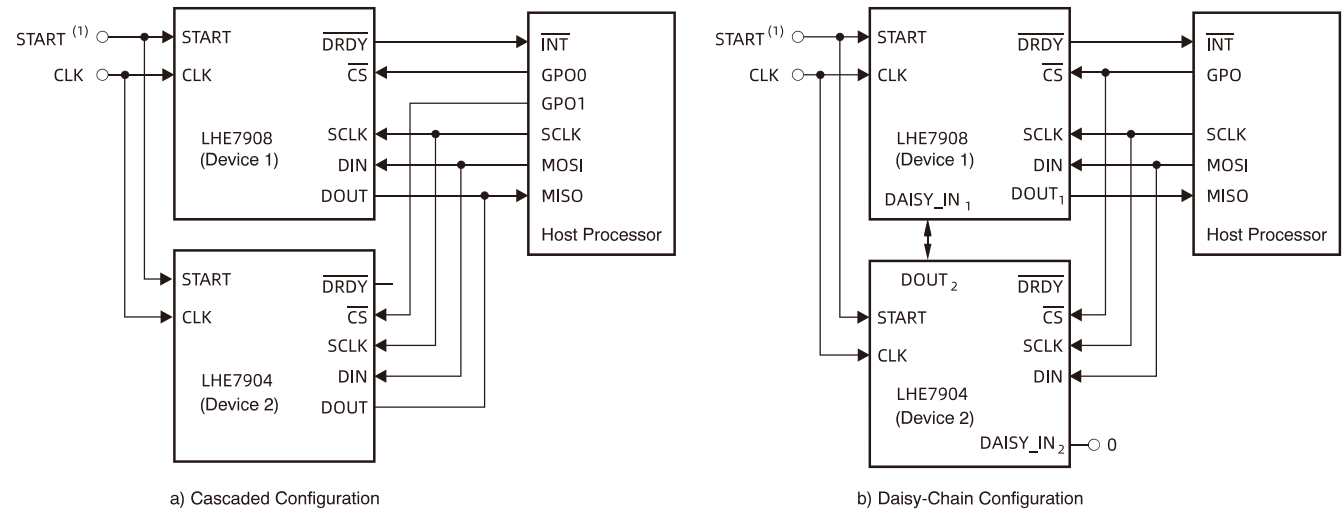
图49. 同步多个转换器

级联配置

上图显示了两个器件级联在一起的配置。其中一个器件是 LHE790X（八个通道），另一个器件是 LHE7904（四个通道）。它们一起创建了一个具有 12 个通道的系统。DOUT、SCLK 和 DIN 是共享的。每个器件都具有其自己的片选引脚。如果没有选择某个器件（通过将相应的 CS 驱动为逻辑 1），则该器件的 DOUT 处于高阻抗。该结构允许其他器件控制 DOUT 总线。该配置方法适用于大多数应用。

菊花链配置

可通过设置 CONFIG1 寄存器中的 DAISY_EN 位来启用菊花链模式。下图显示了菊花链配置。在该配置中，SCLK、DIN 和 CS 在多个器件之间共享。将第一个器件的 DOUT 引脚连接到下一个器件的 DAISY_IN 引脚，从而创建一个链。在每个数据集之间发出一个额外的 SCLK。请注意，在使用菊花链模式时，多读回功能不可用。如果未使用 DAISY_IN 引脚，则将其与数字接地短接。表 11 介绍了下图所示的 LHE790X 所需的时序。来自 LHE790X 的数据首先出现在 DOUT 上，然后是任何一个位，最后是来自 LHE7904 的状态字和数据字。



(1) 要减少引脚数，请将 START 引脚设置为低电平并使用 START 操作码命令来同步和启动转换。

图50. 多器件配置

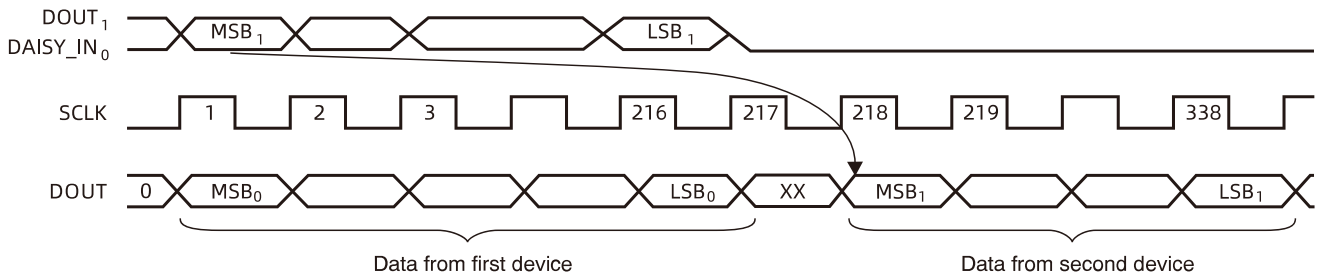


图51. 菊花链时序

使用菊花链模式时的重要提醒：

- 1、在每个数据集之间发出一个额外的 SCLK。
- 2、所有器件都配置为相同的寄存器值，因为 CS 是共享的。
- 3、器件寄存器读回 (RREG) 仅对菊花链中的器件 0 有效。只能将转换数据从器件 1 读取到器件 N 中，其中 N 是链中的最后一个器件；无法读取寄存器数据。
- 4、为防止 DOUT 指示 DRDYN 的 0 在菊花链中被当做采集。可以选择关闭 DOUT 指示 DRDYN 的功能。

如果链中的所有器件都在相同的寄存器设置下运行，则可以共享 DIN，从而将 SPI 通信信号数量减少为 4，无论器件数量如何都是如此。不过，无法对单个器件进行编程；因此，无法在多个器件之间共享 RLD 驱动程序。此外，必须使用外部时钟。

如上图所示，SCLK 上升沿会在 DOUT 上将数据从 LHE790X 移出。SCLK 上升沿还用于将数据锁存到链中的器件 DAISY_IN 引脚。该架构可实现更快的 SCLK 速率，但它也使接口对板级信号延迟非常敏感。链中的器件越多，遵守设置和保持时间就越具有挑战性。SCLK 与所有器件的星型连接（可最大程度地减小 DOUT 的长度）和其他 PCB 布局技术会有所帮助。在 DOUT 和 DAISY_IN 之间放置缓冲器等延迟电路是另一种应对该挑战的方法。另一种选择是在 DOUT 和 DAISY_IN 之间插入一个 D 触发器，该触发器在反相 SCLK 上计时。此外，请注意，菊花链模式需要一些软件开销来重新组合跨字节边界的数据位。

菊花链器件的最大数量取决于器件运行的数据速率。可以使用 Equation 6 来估算最大器件数：

$$N_{\text{DEVICES}} = \frac{f_{\text{SCLK}}}{f_{\text{DR}} (N_{\text{BITS}})(N_{\text{CHANNELS}}) + 24}$$

其中

- **NBITS** = 器件分辨率（取决于数据速率）
- **NCHANNELS** = 器件中的通道数（4、6 或 8）

(6)

例如，当 LHE790X（8 通道，24 位版本）以 2kSPS 数据速率和 4MHz f_{SCLK} 运行时，最多能够以菊花链方式连接 10 个器件。

9.3.4. 编程

SPI 接口

SPI 兼容串行接口包含四个信号：CS、SCLK、DIN 和 DOUT。该接口读取转换数据，对寄存器进行读取和写入，并控制 LHE790X 的运行。 $\overline{\text{DRDY}}$ 输出用作状态信号，以指示数据何时就绪。当新数据可用时， $\overline{\text{DRDY}}$ 变为低电平。

片选引脚 ($\overline{\text{CS}}$)

片选 ($\overline{\text{CS}}$) 可选择用于 SPI 通信的 LHE790X 器件。当 $\overline{\text{CS}}$ 处于低电平时，串行接口处于活动状态。在整个串行通信过程中， $\overline{\text{CS}}$ 必须保持低电平。串行通信完成后，始终等待四个或更多 t_{CLK} 周期，然后再将 $\overline{\text{CS}}$ 置于高电平。当 $\overline{\text{CS}}$ 置于高电平时，串行接口复位，SCLK 和 DIN 被忽略，DOUT 进入高阻抗状态。无论 $\overline{\text{CS}}$ 处于高电平还是低电平，当数据转换完成时， $\overline{\text{DRDY}}$ 都会变为有效。

选择 LHE790X 后，器件会尝试每八个串行时钟解码并执行一次命令。如果器件停止执行串行命令，则可能出现了额外的时钟脉冲，使串行接口进入未知状态。要将串行接口重置为已知状态，请将 $\overline{\text{CS}}$ 置为高电平，然后再次置为低电平。

串行时钟 (SCLK)

SCLK 是串行外设接口 (SPI) 串行时钟。它用于移入命令并从器件中移出数据。串行时钟 (SCLK) 具有施密特触发器触发的输入并在 DIN 和 DOUT 引脚上按照时钟脉冲将数据移入和移出 LHE790X。尽管输入存在迟滞，仍应尽可能保持 SCLK 的纯净，以防因干扰而意外强制执行时钟事件。时序要求：串行接口表中指定了 SCLK 的绝对最大限制。

选择 LHE790X ($\overline{CS} = \text{low}$) 后, 器件会尝试每八个串行时钟解码并执行一次命令。因此, 在每次串行传输时提供八个 SCLK 的倍数, 以使接口保持正常工作模式。如果接口由于额外的串行时钟而停止工作, 则通过将 $\overline{CS}$ 切换为高电平并重新切换为低电平进行复位。

对于单个器件, SCLK 所需的最低速度取决于通道数、分辨率位数和输出数据速率。有关多个级联器件, 请参阅级联配置 部分。Equation 7 显示了最低 SCLK 速度的计算方法。

$$t_{\text{SCLK}} < (t_{\text{DR}} - 4t_{\text{CLK}}) / (N_{\text{BITS}} \times N_{\text{CHANNELS}} + 24) \quad (7)$$

例如, 如果以 500SPS 的数据速率使用 LHE790X (八个通道, 24 位分辨率), 则最小 SCLK 速度为 110kHz。

可通过将器件置于 RDATA 模式或针对数据按需发送 RDATA 命令来检索数据。Equation 7 的 SCLK 速率限制也适用于 RDATA。对于 RDATA 命令, 如果必须在两个连续的 $\overline{DRDY}$ 信号之间读取数据, 那么该限制适用。Equation 7 假设在数据捕获之间没有发出其他命令。

SCLK 计时方法

如下图所示, 对于多字节命令, 可通过两种不同的 SCLK 计时方法来满足解码时序规格。对于满足显示的 t_{SDECODE} 时序要求的 SCLK 速度, 当 $\overline{CS}$ 处于低电平时, 以连续流方式发送 SCLK。不要将该方法与自由运行的 SCLK 相混淆, SCLK 在 $\overline{CS}$ 为高电平时运行。该器件不支持自由运行的 SCLK 操作。对于不满足 t_{SDECODE} 时序要求的更快 SCLK 速度, SCLK 以 8 位突发模式传输 (突发之间有延迟)。时序要求: 串行接口 表中指定了绝对最大 SCLK 限制。下图显示了该器件的两种 SCLK 计时方法之间差异。

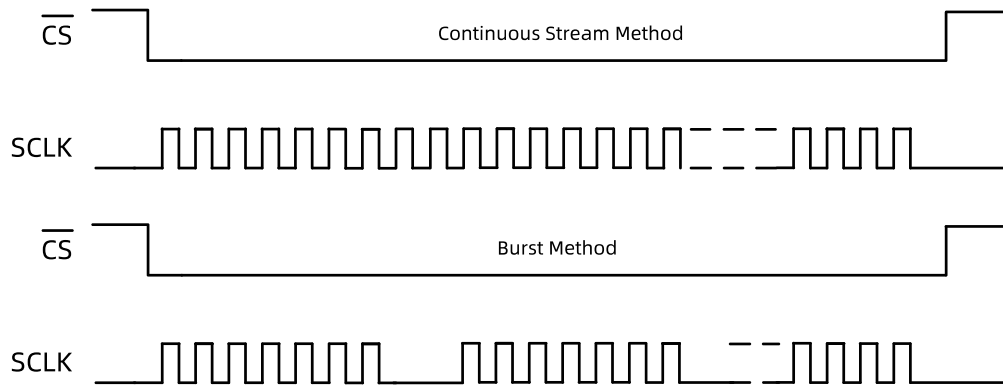


图52. SCLK 计时方法

数据输入引脚 (DIN)

数据输入引脚 (DIN) 与 SCLK 一起用于与 LHE790X 通信 (操作码命令和寄存器数据)。该器件在 SCLK 的下降沿锁存 DIN 中的数据。

数据输出引脚 (DOUT)

数据输出引脚 (DOUT) 与 SCLK 一起用于从 LHE790X 中读取转换和寄存器数据。DOUT 中的数据在 SCLK 的上升沿移出。DOUT 在 $\overline{CS}$ 处于高电平时进入高阻抗状态。在连续读取数据模式 (有关更多详细信息, 请参阅 SPI 命令定义 部分) 下, DOUT 输出线路还指示何时可用的新数据。使用该功能可最大程度地减少器件与系统控制器之间的连接数。

下图显示了 LHE790X 的数据输出协议。

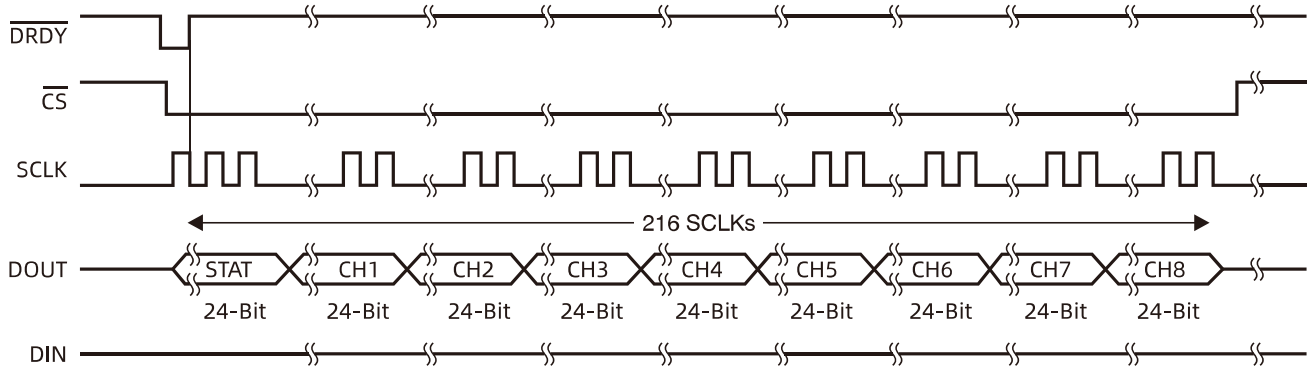


图53. LHE790X 的 SPI 总线数据输出（八个通道）

9.3.5. SPI 命令定义

LHE790X 可提供灵活的配置控制。下表中总结的操作码命令可控制和配置 LHE790X 的运行。操作码命令是独立的，但需要第二个命令字节加数据的寄存器读取和寄存器写入操作除外。可以将 $\overline{\text{CS}}$ 在操作码命令之间置于高电平或保持在低电平，但在整个命令操作期间必须保持低电平（尤其是对于多字节命令）。系统操作码命令和 RDATA 命令在 SCLK 的第七个下降沿由 LHE790X 解码。寄存器读取和写入操作码在第八个 SCLK 下降沿进行解码。发出命令后，将 $\overline{\text{CS}}$ 拉为高电平时，确保遵循 SPI 时序要求。

表26. 操作码命令定义

命令	说明	第一个字节 OPCODE1	第二个字节 OPCODE2	第三个字节 OPCODE3
系统命令				
WAKEUP	从待机模式唤醒	0000 0010 (02h)	—	—
STANDBY	进入待机模式	0000 0100 (04h)	—	—
RESET	复位器件	0000 0110 (06h)	—	—
START	启动/重新启动（同步）转换	0000 1000 (08h)	—	—
STOP	停止转换	0000 1010 (0Ah)	—	—
OFFSET_CAL	Offset 自动校准命令	0001 1010 (1Ah)	—	—
SLEEP	关闭 OSC clk 和 XOSC clk，进入睡眠	0001 1101 (1Dh)	—	—
SLEEP_EXIT	打开 OSC clk 和 XTAL clk，退出睡眠	0001 1110 (1Eh)	—	—
数据读取命令				
RDATA	启用连续读取数据模式。 该模式是上电时的默认模式。 ⁽¹⁾	0001 0000 (10h)	—	—
SDATA	停止连续读取数据模式	0001 0001 (11h)	—	—
RDATA	通过命令读取数据；支持多个读回。	0001 0010 (12h)	—	—
寄存器读取命令				
RREG	从地址 r rrrr 开始读取 n nnnn 寄存器	001r rrrr (2xh) ⁽²⁾	000n nnnn ⁽²⁾	—
WREG	从地址 r rrrr 开始写入 n nnnn 寄存器	010r rrrr (4xh) ⁽²⁾	000n nnnn ⁽²⁾	—
RTREG	读地址{r_rrrr, aaaa_aaaa}地址内容	100r rrrr ⁽³⁾	aaaa aaaa ⁽³⁾	nnnn nnnn ⁽³⁾
WTREG	写地址{r_rrrr, aaaa_aaaa}地址内容	101r rrrr ⁽⁴⁾	aaaa aaaa ⁽⁴⁾	nnnn nnnn ⁽⁴⁾

(1) 处于 RDATA 模式时，会忽略 START STOP RREG WREG RTREG WTREG 命令。

(2) n nnnn = 要读取/写入的寄存器数量 - 1。例如，要读取/写入三个寄存器，请设置 n nnnn = 0 (0010)。r rrrr = 读取/写入操作码的起始寄存器地址。

(3) RTREG 命令用于读取扩展寄存器。命令格式类似于 RREG。其中 OPCODE1(100r_rrrr)，OPCODE2(aaaa_aaaa)指定了要读取的地址{r_rrrr, aaaa_aaaa}，寻址位宽 13 位，可寻址区间：'d0~'d8191。OPCODE3(nnnn_nnnn)指定了读取的寄存器数量-1，最大连续读取 256 个。

(4) WTREG 命令用于写扩展寄存器。命令格式类似于 WREG，PCODE1(101r_rrrr)，PCODE2(aaaa_aaaa)指定了要写入的地址{r_rrrr, aaaa_aaaa}，寻址位宽 13 位，可寻址区间：'d0~'d8191。OPCODE3(nnnn_nnnn)指定了写入的寄存器数量-1，最大连续写入 256 个。

WAKEUP: 退出待机模式

WAKEUP 操作码可退出低功耗待机模式；请参阅 STANDBY: 进入待机模式 部分。退出待机模式时需要一些时间（有关详细信息，请参阅电气特性）。对于该命令，SCLK 速率没有限制；可以随时发出该命令。必须在 4 个 t_{CLK} 周期后发送任何后续命令。

STANDBY: 进入待机模式

STANDBY 操作码命令可进入低功耗待机模式。除基准部分外，电路的所有部分都将关闭。电气特性 中指定了待机模式功耗。对于该命令，SCLK 速率没有限制；可以随时发出该命令。发送 WAKEUP 命令可使器件恢复至正常运行状态。串行接口处于活动状态；因此，在该模式下允许执行寄存器读取和写入命令。

RESET: 将寄存器重置为默认值

$\overline{RESET}$ 命令可重置数字滤波器周期并将所有寄存器设置恢复至相应的默认值。有关更多详细信息，请参阅复位（RESET 引脚和复位命令）部分。对于该命令，SCLK 速率没有限制；可以随时发出该命令。执行 RESET 命令需要 18 个 t_{CLK} 周期。请勿在此期间发送任何命令。

START: 开始转换

该操作码可启动数据转换。将 START 引脚保持在低电平可通过命令控制转换。如果转换正在进行，那么该命令无效。STOP 操作码命令用于停止转换。如果 START 命令后紧跟 STOP 命令，那么这两个命令之间必须有 4 个 t_{CLK} 周期的间隔。将 START 操作码发送到器件时，将 START 引脚保持为低电平，直到发出 STOP 命令。（有关更多详细信息，请参阅 SPI 接口 部分的启动模式 小节。）对于该命令，SCLK 速率没有限制，可以随时发出该命令。

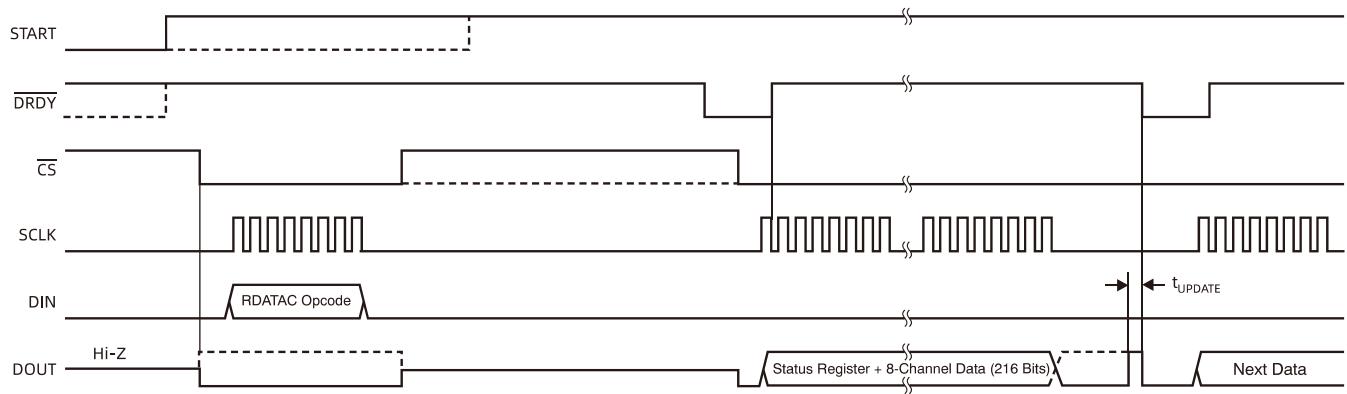
STOP: 停止转换

STOP 操作码可停止转换。将 START 引脚保持在低电平可通过命令控制转换。发送 STOP 命令后，正在进行的转换将完成，并且进一步的转换也会停止。如果转换已经停止，那么该命令无效。对于该命令，SCLK 速率没有限制；可以随时发出该命令。

RDATAC: 连续读取数据

RDATAC 操作码可以在每个 $\overline{DRDY}$ 上实现转换数据输出，而无需发出后续读取数据操作码。该操作码可将转换数据放置在输出寄存器中，可以直接将其移出。连续读取数据模式是该器件的默认模式，该器件在上电和复位时默认采用该模式。

停止连续读取数据命令 (SDATAC) 可取消 RDATAC 模式。如果器件处于 RDATAC 模式，则必须先发出 SDATAC 命令，然后才能将任何其他命令发送到器件中。对于该命令，SCLK 速率没有限制。不过，后续数据检索 SCLK 或 SDATAC 操作码命令必须至少等待 4 个 t_{CLK} 周期。如下图所示，RDATAC 的时序说明了 $\overline{DRDY}$ 周围 4 个 t_{CLK} 周期的阻止区域，此时无法发出该命令。如果没有从器件检索到数据，则 DOUT 和 $\overline{DRDY}$ 在该模式下的行为类似。要在发出 RDATAC 命令后从器件检索数据，请确保 START 引脚处于高电平或发出 START 命令。下图显示了使用 RDATAC 命令的建议方法。RDATAC 非常适合数据记录器等应用，其中只需设置寄存器一次，无需重新配置。



(1) $t_{UPDATE} = 4/f_{CLK}$ (其中 $f_{CLK} = 1/t_{CLK}$)。请勿在此期间读取数据。

图54. RDATAC 用法

SDATAC: 停止连续读取数据

该 SDATAC 操作码命令可取消连续读取数据 (RDATAC) 模式。对于该命令, SCLK 速率没有限制, 但下一条命令必须等待 4 个 t_{CLK} 周期。

RDATA: 读取数据

在 DRDY 变为低电平后发出 RDATA 命令, 以读取转换结果 (在 SDATAC 模式下)。对于该命令, SCLK 速率没有限制, 后续命令或数据检索 SCLK 不需要等待时间。要在发出 RDATA 命令后从器件检索数据, 请确保 START 引脚处于高电平或发出 START 命令。使用 RDATA 命令读取数据时, 读取操作可能与出现的下一个 DRDY 重叠, 但不会导致数据损坏。下图显示了使用 RDATA 命令的建议方法。RDATA 最适合 ECG 和 EEG 型系统, 其中必须经常在转换周期之间读取或更改寄存器设置。

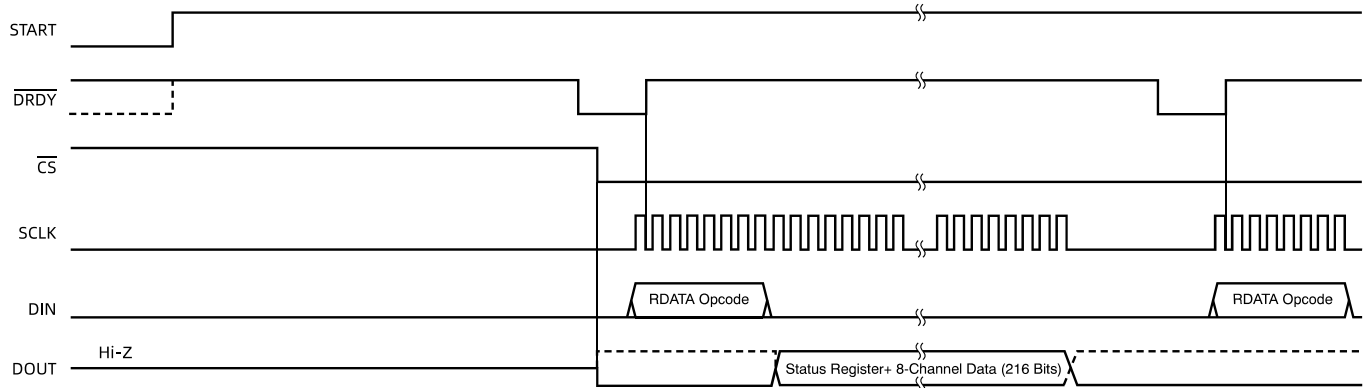


图55. RDATA 用法

发送多字节命令

LHE790X 串行接口以字节为单位对命令进行解码, 需要 4 个 t_{CLK} 周期进行解码和执行。因此, 在发送多字节命令时, 4 个 t_{CLK} 周期必须将一个字节 (或操作码) 的末尾与下一个字节 (或操作码) 分开。

例如, 如果 CLK 为 2.048MHz, 那么 $t_{SDECODE}$ ($4 \times t_{CLK}$) 为 1.96μs。当 SCLK 为 16MHz 时, 一个字节的最大传输速度为 500ns。该字节传输时间不符合 $t_{SDECODE}$ 规格; 因此, 必须插入一个延迟, 以便第二个字节的末尾在 1.46μs 后到达。不过, 如果 SCLK 为 4MHz, 那么将在 2μs 后传输一个字节。由于该传输时间超出了 $t_{SDECODE}$ 规格, 因此处理

器可以无延迟地发送后续字节。在第二种情形下，可以将串行端口编程为使用多字节传输，而不是满足第一种情形的时序所需的单字节传输

RREG: 从寄存器进行读取

RREG 操作码命令可读取寄存器数据。RREG 命令是两字节操作码，后跟寄存器数据输出。第一个字节包含命令操作码和寄存器地址。操作码的第二个字节指定要读取的寄存器数量 - 1。

第一个操作码字节：001r rrrr，其中 r rrrr 是起始寄存器地址。

第二个操作码字节：000n nnnn，其中 n nnnn 是要读取的寄存器数量 - 1。

运行的第 17 个 SCLK 上升沿输出第一个寄存器的 MSB，如下图所示。当器件处于连续读数据模式时，必须首先发出 SDATAC 命令，然后才能发出 RREG 命令。可以随时发出 RREG 命令。不过，由于该命令是多字节命令，因此 SCLK 速率受到限制，具体取决于发出 SCLK 的方式。有关更多详细信息，请参阅串行时钟 (SCLK) 部分。 $\overline{\text{CS}}$ 必须在整个命令操作期间处于低电平。

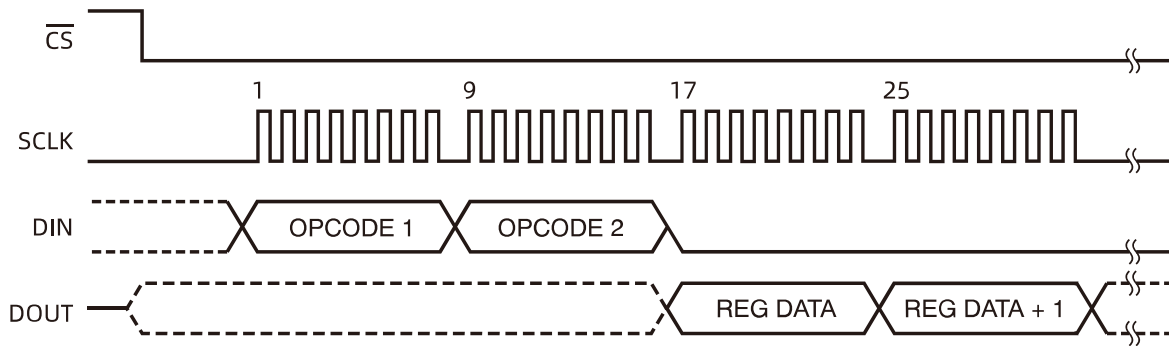


图56. RREG 命令示例：从寄存器 00h (ID 寄存器) 开始读取两个寄存器
(OPCODE 1 = 0010 0000, OPCODE 2 = 0000 0001)

WREG: 对寄存器进行写入

WREG 操作码命令可写入寄存器数据。WREG 命令是两字节操作码，后跟寄存器数据输入。第一个字节包含命令操作码和寄存器地址。操作码的第二个字节指定要写入的寄存器数量 - 1。

第一个操作码字节：010r rrrr，其中 r rrrr 是起始寄存器地址。

第二个操作码字节：000n nnnn，其中 n nnnn 是要写入的寄存器数量 - 1。

操作码字节后跟寄存器数据（采用 MSB 在前的格式），如下图所示。可以随时发出 WREG 命令。不过，由于该命令是多字节命令，因此 SCLK 速率受到限制，具体取决于发出 SCLK 的方式。有关更多详细信息，请参阅串行时钟 (SCLK) 部分。 $\overline{\text{CS}}$ 必须在整个命令操作期间处于低电平。

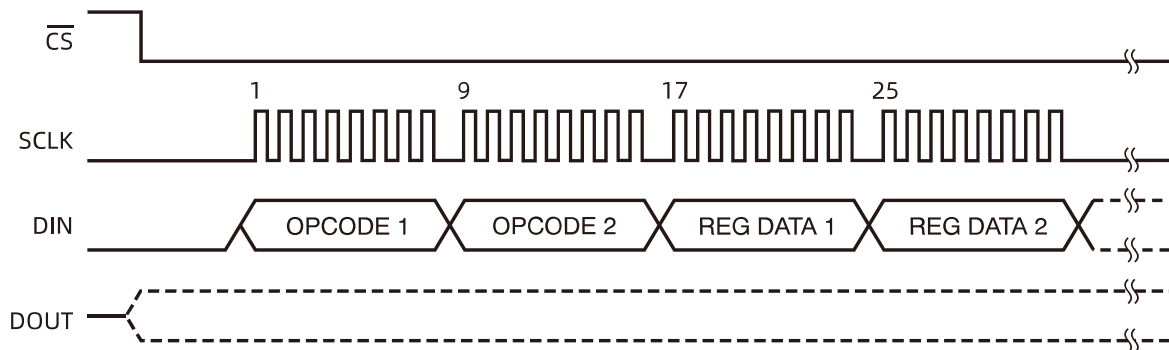


图57. WREG 命令示例：从寄存器 00h (ID 寄存器) 开始对两个寄存器进行写入
(OPCODE 1 = 0100 0000, OPCODE 2 = 0000 0001)

RTREG: 从高地址寄存器读取

命令格式类似于 RREG。其中 OPCODE1(100r_rrrr), OPCODE2(aaaa_aaaa)指定了要读取的地址{r_rrrr, aaaa_aaaa}, 寻址位宽 13 位, 寻址区间: 'd0~'d8191。OPCODE3(nnnn_nnnn)指定了读取的寄存器数量-1, 最大连续读取 256 个。

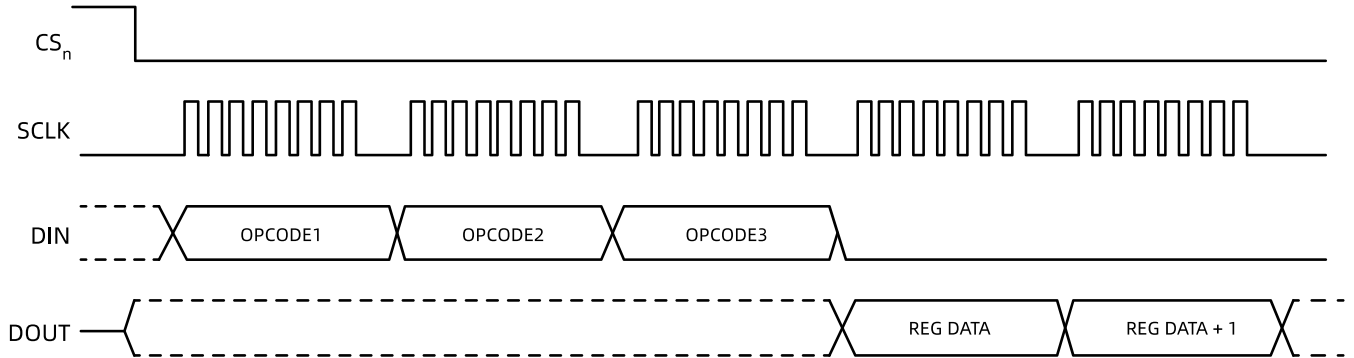


图58. 寄存器读取

WTREG: 高地址寄存器写入

WTREG 命令用于测试时写寄存器。命令格式类似于 WREG, PCODE1(101r_rrrr), OPCODE2(aaaa_aaaa)指定了要写入的地址{r_rrrr, aaaa_aaaa}, 寻址位宽 13 位, 寻址区间: 'd0~'d8191。OPCODE3(nnnn_nnnn)指定了写入的寄存器数量-1, 最大连续写入 256 个。

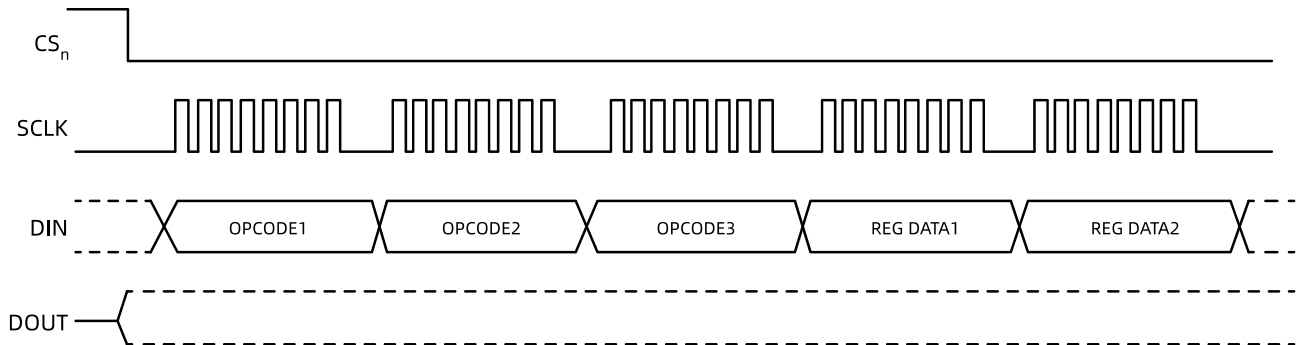


图59. 寄存器写入

9.3.6. 寄存器映射

下表列出里各种 LHE790X 寄存器。

表27. 寄存器分配

地址	寄存器	复位值 (十六进制)	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
器件设置 (只读寄存器)										
00h	ID	40	0	1	0	0	0	0	0	0
各个通道上的全局设置										
01h	CONFIG1	06	HR	DAISY_EN	CLK_EN	0	0	DR2	DR1	DR0
02h	CONFIG2	C0	1	1	WCT_CHOP	INT_TEST	0	TEST_AMP	TEST_FREQ1	TEST_FREQ0
03h	CONFIG3	00	PD_REFBUF	ILEAD_EN	VREF_4V	RLD_MEAS	RLDREF_INT	PD_RLD	SENS	RLD_STAT
04h	LOFF	00	COMP_TH2	COMP_TH1	COMP_TH0	VLEAD_OFF_	ILEAD_OFF1	ILEAD_OFF0	FLEAD_OFF1	FLEAD_OFF0
特定于通道的设置										
05h	CH1SET	00	PD1	GAIN12	GAIN11	GAIN10	0	MUX12	MUX11	MUX10
06h	CH2SET	00	PD2	GAIN22	GAIN21	GAIN20	0	MUX22	MUX21	MUX20
07h	CH3SET	00	PD3	GAIN32	GAIN31	GAIN30	0	MUX32	MUX31	MUX30
08h	CH4SET	00	PD4	GAIN42	GAIN41	GAIN40	0	MUX52	MUX41	MUX40
09h	CH5SET ⁽¹⁾	00	PD5	GAIN52	GAIN51	GAIN50	0	MUX52	MUX51	MUX50
0Ah	CH6SET ⁽¹⁾	00	PD6	GAIN62	GAIN61	GAIN60	0	MUX62	MUX61	MUX60
0Bh	CH7SET ⁽¹⁾	00	PD7	GAIN72	GAIN71	GAIN70	0	MUX72	MUX71	MUX70
0Ch	CH8SET ⁽¹⁾	00	PD8	GAIN82	GAIN81	GAIN80	0	MUX82	MUX81	MUX80
0Dh	RLD_SENSP ⁽²⁾	00	RLD8P ⁽¹⁾	RLD7P ⁽¹⁾	RLD6P ⁽¹⁾	RLD5P ⁽¹⁾	RLD4P	RLD3P	RLD2P	RLD1P
0Eh	RLD_SENSN ⁽²⁾	00	RLD8N ⁽¹⁾	RLD7N ⁽¹⁾	RLD6N ⁽¹⁾	RLD5N ⁽¹⁾	RLD4N	RLD3N	RLD2N	RLD1N
0Fh	LOFF_SENSP ⁽²⁾	00	LOFF8P	LOFF7P	LOFF6P	LOFF5P	LOFF4P	LOFF3P	LOFF2P	LOFF1P
10h	LOFF_SENSN ⁽²⁾	00	LOFF8N	LOFF7N	LOFF6N	LOFF5N	LOFF4N	LOFF3N	LOFF2N	LOFF1N
11h	LOFF_FLIP	00	LOFF_FLIP8	LOFF_FLIP7	LOFF_FLIP6	LOFF_FLIP5	LOFF_FLIP4	LOFF_FLIP3	LOFF_FLIP2	LOFF_FLIP1
导联脱落状态寄存器 (只读寄存器)										
12h	LOFF_STATP	00	IN8P_OFF	IN7P_OFF	IN6P_OFF	IN5P_OFF	IN4P_OFF	IN3P_OFF	IN2P_OFF	IN1P_OFF
13h	LOFF_STATN	00	IN8P_OFF	IN7N_OFF	IN6N_OFF	IN5N_OFF	IN4N_OFF	IN3N_OFF	IN2N_OFF	IN1N_OFF
GPIO 和其他寄存器										
14h	GPIO	0F	GPIOD4	GPIOD3	GPIOD2	GPIOD1	GPIOC4	GPIOC3	GPIOC2	GPIOC1
15h	PACE	00	0	0	0	PACEE1	PACEE0	PACEO1	PACEO0	PD_PACE
17h	CONFIG4	01	0	0	0	0	SINGLE_SHOT	WCT_TO_RLD	PD_LOFF_COMP	SINC4_EN
18h	WCT1	00	aVF_CH6	aVL_CH5	aVR_CH7	avR_CH4	PD_WCTA	WCTA2	WCTA1	WCTA0
19h	WCT2	00	PD_WCTC	PD_WCTB	WCTB2	WCTB1	WCTB0	WCTC2	WCTC1	WCTC0
1dh	DC_LOFF_OSEL	00	0	0	N_SEL2	N_SEL1	N_SEL0	P_SEL2	P_SEL1	P_SEL0
高地址寄存器										
40h	DIG_ACLOFF_ENABLE	00	CH8EN	CH7EN	CH6EN	CH5EN	CH4EN	CH3EN	CH2EN	CH1EN
41h	LOFF_UTH_HIGH	FF	LOFF_UTH_HIG H7	LOFF_UTH_HIG H6	LOFF_UTH_HIG H5	LOFF_UTH_HIG H4	LOFF_UTH_HIG H3	LOFF_UTH_HIG H2	LOFF_UTH_HIG H1	LOFF_UTH_HIG H0
42h	LOFF_UTH_LOW	FF	LOFF_UTH_LO W7	LOFF_UTH_LO W6	LOFF_UTH_LO W5	LOFF_UTH_LO W4	LOFF_UTH_LO W3	LOFF_UTH_LO W2	LOFF_UTH_LO W1	LOFF_UTH_LO W0

地址	寄存器	复位值 (十六进制)	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
43h	LOFF_LTH_HIGH	00	LOFF_LTH_HIG H7	LOFF_LTH_HIG H6	LOFF_LTH_HIG H5	LOFF_LTH_HIG H4	LOFF_LTH_HIGH3	LOFF_LTH_HIG H2	LOFF_LTH_HIG H1	LOFF_LTH_HIG H0
44h	LOFF_LTH_LOW	00	LOFF_LTH_LO W7	LOFF_LTH_LO W6	LOFF_LTH_LO W5	LOFF_LTH_LO W4	LOFF_LTH_LOW3	LOFF_LTH_LO W2	LOFF_LTH_LO W1	LOFF_LTH_LO W0
82h	LOFF_CFG	04	0	0	0	0	LOFF_DEGLITCH_ BYP	RLD_COMP_E N	ILEAD_BST_EN	0
83h	LOFF_FREQ	00	0	0	0	0	0	AC_FREQ[2:0]		
8Ah	DRV_STRENGTH	00	0	0	0	0	0	0	SO[1:0]	
182 h	USERKEY	00	0	0	0	0	0	0	0	0

(1) CH5SET 和 CH6SET 不适用于 LHE7904。CH7SET 和 CH8SET 寄存器不适用于 LHE7904、LHE7906。

(2) RLD_SENSP、PACE_SENSP、LOFF_SENSP、LOFF_SENSN 和 LOFF_FLIP 寄存器位 [5:4] 不适用于 LHE7904。位 [7:6] 不适用于 LHE7904、LHE7906。

9.3.7. 寄存器说明

9.3.7.1. ID 寄存器

在器件制造时会对只读 ID 控制寄存器进行编程，用以标识器件。

ID: ID 控制寄存器 (地址 = 00h) (复位 = 40h)

表28. ID 控制寄存器

7	6	5	4	3	2	1	0
DEV_ID[7:5]			0	0	DEV_ID[2:0]		
R-2h			R-0h		R-0h		

图例: R/W = 读取/写入; R = 只读; -n = 复位后的值

表29. ID 控制寄存器字段说明

位	字段	类型	复位	说明
7:5	DEV_ID[7:5]	R	xh	器件 ID 这些位指示器件系列。 010= LHE790X 器件系列 011= LHE790X 器件系列 ULP 版本 100= LHE790XR 器件系列 其他= 保留
4:3	保留	R	0h	保留 始终读回 0h
2:0	DEV_ID[2:0]	R	xh	通道 ID 这些位指示通道数。 000= 8 通道 LHE790X 001= 6 通道 LHE7906 010= 4 通道 LHE7904 011= 保留

9.3.7.2. CONFIG1 寄存器

CONFIG1: 配置寄存器 1 (地址 = 01h) (复位 = 06h)

表30. CONFIG1: 配置寄存器 1

7	6	5	4	3	2	1	0
HR	DAISY_EN	CLK_EN	0	0	DR[2:0]		
R/W-0h	R/W-0h	R/W-0h	R/W-0h		R/W-6h		

图例: R/W = 读取/写入; R = 只读; -n = 复位后的值

表31. 配置寄存器 1 字段说明

位	字段	类型	复位	说明
7	HR	R/W	0h	高分辨率或低功耗模式 该位决定器件是以低功耗模式运行还是以高分辨率模式运行。 0=LP 模式 1=HR 模式 (ULP 版本始终写 0)
6	DAISY_EN	R/W	0h	菊花链或多读回模式 该位决定启用哪种模式。 0 = 菊花链模式 1 = 多读回模式
5	CLK_EN	R/W	0h	CLK 连接 ⁽¹⁾ 该位决定当 CLKSEL 引脚 = 1 时内部振荡器信号是否连接到 CLK 引脚。 0 = 禁用振荡器时钟输出 1 = 启用振荡器时钟输出
4:3	保留	R/W	0h	保留 始终写入 0h (ULP 版本始终写 1)
2:0	DR[2:0]	R/W	6h	输出数据速率 对于高分辨率模式, $f_{MOD} = f_{CLK}/4$ 。低于低功耗模式, $f_{MOD} = f_{CLK}/8$ 。 这些位决定器件的输出数据速率。 000: $f_{MOD}/16$ (HR 模式: 32kSPS, LP 模式: 16kSPS, ULP 模式: 8kSPS) 001: $f_{MOD}/32$ (HR 模式: 16kSPS, LP 模式: 8kSPS, ULP 模式: 4kSPS) 010: $f_{MOD}/64$ (HR 模式: 8kSPS, LP 模式: 4kSPS, ULP 模式: 2kSPS) 011: $f_{MOD}/128$ (HR 模式: 4kSPS, LP 模式: 2kSPS, ULP 模式: 1kSPS) 100: $f_{MOD}/256$ (HR 模式: 2kSPS, LP 模式: 1kSPS, ULP 模式: 500SPS) 101: $f_{MOD}/512$ (HR 模式: 1kSPS, LP 模式: 500SPS, ULP 模式: 250SPS) 110: $f_{MOD}/1024$ (HR 模式: 500SPS, LP 模式: 250SPS, ULP 模式: 125SPS) 111: $f_{MOD}/8$ (HR 模式: 64kSPS, LP 模式: 32kSPS, ULP 模式: 16kSPS)

(1) 当驱动外部器件时会消耗额外的功率。

9.3.7.3. CONFIG2 寄存器

CONFIG2: 配置寄存器 2 (地址 = 02h) (复位 = C0h)

配置寄存器 2 可配置测试信号生成。有关更多详细信息, 请参阅输入多路复用器 部分。

表32. CONFIG2: 配置寄存器 2

7	6	5	4	3	2	1	0
1	1	WCT_CHOP	INT_TEST	0	TEST_AMP	TEST_FREQ[1:0]	
R/W-3h		R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	

图例: R/W = 读取/写入; R = 只读; -n = 复位后的值

表33. 配置寄存器 2 字段说明

位	字段	类型	复位	说明
7:6	保留	R/W	3h	保留 始终写入 3h

位	字段	类型	复位	说明
5	WCT_CHOP	R/W	0h	WCT 斩波方案 该位决定 WCT 放大器的斩波频率是可变还是固定的。 0= 斩波频率可变 1= 斩波频率恒定保持在 $f_{MOD}/16$
4	INT_TEST	R/W	0h	测试源 该位决定测试信号源。 0= 从外部驱动测试信号 1= 在内部生成测试信号
3	保留	R/W	0h	保留 始终写入 0h
2	TEST_AMP	R/W	0h	测试信号振幅 这些位决定校准信号振幅。 0= $1 \times (VREFP - VREFN)/1000\text{ V}$ 1= $1 \times (VREFP - VREFN)/1000\text{ V}$
1:0	TEST_FREQ[1:0]	R/W	0h	测试信号频率 这些位决定校准信号频率。 00 = 以 $f_{CLK}/2^{21}$ 的频率发送脉冲信号 01 = 以 $f_{CLK}/2^{20}$ 的频率发送脉冲信号 10 = 未使用 11 = 直流

9.3.7.4. CONFIG3 寄存器

CONFIG3: 配置寄存器 3 (地址 = 03h) (复位 = 00h)

配置寄存器 3 可配置多基准和 RLD 操作。

表34. CONFIG3: 配置寄存器 3

7	6	5	4	3	2	1	0
PD_REFBUF	ILEAD_EN	VREF_4V	RLD_MEAS	RLDREF_INT	PD_RLD	RLD_LOFF_SE_NS	RLD_STAT
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

图例: R/W = 读取/写入; R = 只读; -n = 复位后的值

表35. 配置寄存器 2 字段说明

位	字段	类型	复位	说明
7	PD_REFBUF	R/W	0h	关断基准缓冲器 该位决定关断基准缓冲器状态。 0= 关断内部基准缓冲器 1= 启用内部基准缓冲器
6	ILEAD_EN	R/W	0h	是否开启 ILEADOFF 大电流 0: 关闭 1: 开启
5	VREF_4V	R/W	0h	基准电压 该位决定基准电压 VREFP。 0= VREFP 设置为 2.4V 1= VREFP 设置为 4V (仅与 5V 模拟电源配合使用)
4	RLD_MEAS	R/W	0h	RLD 测量 该位启用 RLD 测量。可以使用任何通道测量 RLD 信号。 0= 开路 1= RLD_IN 信号路由至具有 MUX_Setting 010 (VREF) 的通道
3	RLDREF_INT	R/W	0h	RLDREF 信号 该位决定 RLDREF 信号源。 0= 从外部馈送 RLDREF 信号 1= 在内部生成 RLDREF 信号 (AVDD + AVSS)/2
2	PD_RLD	R/W	0h	RLD 缓冲器电源 该位决定 RLD 缓冲器电源状态。 0= RLD 缓冲器断电 1= 启用 RLD 缓冲器

位	字段	类型	复位	说明
1	RLD_LOFF_SENS	R/W	0h	RLD 感应功能 该位启用 RLD 感应功能。 0= 禁用 RLD 感应 1= 启用 RLD 感应
0	RLD_STAT	R	0h	RLD 导联脱落状态 该位决定 RLD 状态。 0= RLD 已连接 1= RLD 未连接

9.3.7.5. LOFF 寄存器

LOFF: 导联脱落控制寄存器 (地址 = 04h) (复位 = 00h)

导联脱落控制寄存器配置导联脱落检测操作。

表36. LOFF: 导联脱落控制寄存器

7	6	5	4	3	2	1	0
COMP_TH2[2:0]			VLEAD_OFF_EN	ILEAD_OFF[1:0]		FLEAD_OFF[1:0]	
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

图例: R/W = 读取/写入; R = 只读; -n = 复位后的值

表37. 导联脱落控制寄存器字段说明

位	字段	类型	复位	说明
7:5	COMP_TH[2:0]	R/W	0h	导联脱落比较器阈值 比较器 VTHH 电压 000= 95% 001= 92.5% 010= 90% 011= 87.5% 100= 85% 101= 80% 110= 75% 111= 70% 比较器 VTHL 电压 000= 5% 001= 7.5% 010= 10% 011= 12.5% 100= 15% 101= 20% 110= 25% 111= 30%
4	VLEAD_OFF_EN	R/W	0h	导联脱落检测模式 该位决定导联脱落检测模式。 0 = 电流源模式导联脱落 1 = 上拉或下拉电阻器模式导联脱落
3:2	ILEAD_OFF[1:0]	R/W	0h	导联脱落电流幅度 这些位决定当前导联脱落模式的电流幅度。 当 LOFF_CFG.ILOFF_BST_EN 位为 0 时: 00 = 0.0nA(CONFIG3.ILEAD_EN=0) 10.0nA(CONFIG3.ILEAD_EN=1) 01 = 2.5nA(CONFIG3.ILEAD_EN=0) 12..5nA(CONFIG3.ILEAD_EN=1) 10 = 5.0nA(CONFIG3.ILEAD_EN=0) 15.0nA(CONFIG3.ILEAD_EN=1) 11 = 7.5nA(CONFIG3.ILEAD_EN=0) 17.5nA(CONFIG3.ILEAD_EN=1) 当 LOFF_CFG.ILOFF_BST_EN 位为 1 时: 00 = 0.0nA(CONFIG3.ILEAD_EN=0) 40.0nA(CONFIG3.ILEAD_EN=1) 01 = 10.0nA(CONFIG3.ILEAD_EN=0) 50.0.nA(CONFIG3.ILEAD_EN=1) 10 = 20.0nA(CONFIG3.ILEAD_EN=0) 60.0nA(CONFIG3.ILEAD_EN=1) 11 = 30.0nA(CONFIG3.ILEAD_EN=0) 70.0nA(CONFIG3.ILEAD_EN=1)
1:0	FLEAD_OFF[1:0]	R/W	0h	导联脱落频率 这些位决定每个通道的导联脱落检测的频率。

位	字段	类型	复位	说明
				00 = 当 LOFF_SENSP 或 LOFF_SENSN 寄存器的任何位打开时, 确保 FLEAD[1:0] 设置为 01 或 11 01 = 以 LOFF_FREQ (复位为 500Hz) 设置的频率执行交流导联脱落检测 10 = 不使用 11 = 直流导联脱落检测打开

9.3.7.6. CHnSET 寄存器

CHnSET: 各个通道设置 (n = 1 至 8) (地址 = 05h 至 0Ch) (复位 = 00h)

CH[1:8]SET 控制寄存器配置电源模式、PGA 增益和多路复用器设置通道。有关详细信息, 请参阅输入多路复用器部分。CH[2:8]SET 与 CH1SET 类似 (对应于相应的通道)。

表38. CHnSET: 各个通道设置寄存器

7	6	5	4	3	2	1	0
PDn	GAINn[2:0]			保留	MUXn[2:0]		
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

图例: R/W = 读取/写入; R = 只读; -n = 复位后的值

表39. 各个通道设置 (n=1 至 8) 字段说明

位	字段	类型	复位	说明
7	PDn	R/W	0h	断电 该位决定相应通道的通道电源模式。 0 = 正常运行 1 = 通道断电 在关闭某个通道的电源时, 建议通过设置 CHnSET 寄存器的相应 MUXn[2:0] = 001, 将该通道设置为输入短路。
6:4	GAINn[2:0]	R/W	0h	PGA 增益 这些位决定 PGA 增益设置。 000= 6 001= 1 010= 2 011= 3 100= 4 101= 8 110= 12 111= 24
3	保留	R/W	0h	保留 始终写入 0h
2:0	MUXn[2:0]	R/W	0h	通道输入 这些位决定通道输入选择。 000= 正常电极输入 001= 输入短路 (对于偏移或噪声测量) 010= 与 CONFIG3 的 RLD_MEAS 位结合使用, 以进行 RLD 测量。有关更多详细信息, 请参阅 ECG 专用功能 部分的右腿驱动 (RLD) 直流偏置电流小节。 011= MVDD, 用于电源测量 100= 温度传感器 101= 测试信号 110= RLD_DRP (RLDIN 连接到 INxP) 111= RLD_DRN (RLDIN 连接到 INxN)

9.3.7.7. RLD_SENSP 寄存器

RLD_SENSP: 正信号端用于 RLD 驱动控制寄存器 (地址 = 0Dh) (复位 = 00h)

该寄存器控制每个通道的 INxP 用于右腿驱动 (RLD) 选择。有关详细信息, 请参阅右腿驱动 (RLD) 直流偏置电流 部分。寄存器位 [5:4] 不适用于 LHE7904。位 [7:6] 不适用于 LHE7904、LHE7906。

表40. RLD_SENSP: 正信号端用于 RLD 驱动控制寄存器

7	6	5	4	3	2	1	0
RLD8P	RLD7P	RLD6P	RLD5P	RLD4P	RLD3P	RLD2P	RLD1P
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

图例: R/W = 读取/写入; R = 只读; -n = 复位后的值

表41. 正信号端驱动 RLD 字段说明

位	字段	类型	复位	说明
7	RLD8P	R/W	0h	IN8P 至 RLD 将通道 8 正信号端路由到 RLD_AMP 0: 禁用 1: 启用
6	RLD7P	R/W	0h	IN7P 至 RLD 将通道 7 正信号路由到 RLD_AMP 0: 禁用 1: 启用
5	RLD6P	R/W	0h	IN6P 至 RLD 将通道 6 正信号路由到 RLD_AMP 0: 禁用 1: 启用
4	RLD5P	R/W	0h	IN5P 至 RLD 将通道 5 正信号路由到 RLD_AMP 0: 禁用 1: 启用
3	RLD4P	R/W	0h	IN4P 至 RLD 将通道 4 正信号路由到 RLD_AMP 0: 禁用 1: 启用
2	RLD3P	R/W	0h	IN3P 至 RLD 将通道 3 正信号路由到 RLD_AMP 0: 禁用 1: 启用
1	RLD2P	R/W	0h	IN2P 至 RLD 将通道 2 正信号路由到 RLD_AMP 0: 禁用 1: 启用
0	RLD1P	R/W	0h	IN1P 至 RLD 将通道 1 正信号路由到 RLD_AMP 0: 禁用 1: 启用

9.3.7.8. RLD_SENSN 寄存器

RLD_SENSN: 负信号端用于 RLD 驱动控制寄存器 (地址 = 0Eh) (复位 = 00h)

该寄存器控制每个通道的 INxN 用于右腿驱动 (RLD) 选择。有关详细信息, 请参阅右腿驱动 (RLD) 直流偏置电流部分。寄存器位 [5:4] 不适用于 LHE7904。位 [7:6] 不适用于 LHE7904、LHE7906。

表42. RLD_SENSN: 负信号端用于 RLD 驱动控制寄存器

7	6	5	4	3	2	1	0
RLD8N	RLD7N	RLD6N	RLD5N	RLD4N	RLD3N	RLD2N	RLD1N
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

图例: R/W = 读取/写入; R = 只读; -n = 复位后的值

表43. 负信号端驱动 RLD 字段说明

位	字段	类型	复位	说明
7	RLD8N	R/W	0h	IN8N 至 RLD 将通道 8 负信号端路由到 RLD_AMP 0: 禁用 1: 启用
6	RLD7N	R/W	0h	IN7N 至 RLD 将通道 7 负信号路由到 RLD_AMP 0: 禁用 1: 启用
5	RLD6N	R/W	0h	IN6N 至 RLD 将通道 6 负信号路由到 RLD_AMP 0: 禁用 1: 启用

位	字段	类型	复位	说明
4	RLD5N	R/W	0h	IN5N 至 RLD 将通道 5 负信号路由到 RLD_AMP 0: 禁用 1: 启用
3	RLD4N	R/W	0h	IN4N 至 RLD 将通道 4 负信号路由到 RLD_AMP 0: 禁用 1: 启用
2	RLD3N	R/W	0h	IN3N 至 RLD 将通道 3 负信号路由到 RLD_AMP 0: 禁用 1: 启用
1	RLD2N	R/W	0h	IN2N 至 RLD 将通道 2 负信号路由到 RLD_AMP 0: 禁用 1: 启用
0	RLD1N	R/W	0h	IN1N 至 RLD 将通道 1 负信号路由到 RLD_AMP 0: 禁用 1: 启用

9.3.7.9. LOFF_SENSP 寄存器

LOFF_SENSP: 正信号端导联脱落检测寄存器 (地址 = 0Fh) (复位 = 00h)

该寄存器选择每个通道的正极端用于导联脱落检测。有关详细信息, 请参阅导联脱落检测 部分。LOFF_STATP 寄存器位仅在对应的 LOFF_SENSP 位设置为 1 时有效。寄存器位 [5:4] 不适用于 LHE7904。位 [7:6] 不适用于 LHE7904、LHE7906

表44. LOFF_SENSP: 正信号导联脱落检测寄存器 (地址 = 0Fh) (复位 = 00h)

7	6	5	4	3	2	1	0
LOFF8P	LOFF7P	LOFF6P	LOFF5P	LOFF4P	LOFF3P	LOFF2P	LOFF1P
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

图例: R/W = 读取/写入; R = 只读; -n = 复位后的值

表45. 正信号导联脱落检测字段说明

位	字段	类型	复位	说明
7	LOFF8P	R/W	0h	IN8P 导联脱落 启用 IN8P 上的导联脱落检测 0: 禁用 1: 启用
6	LOFF7P	R/W	0h	IN7P 导联脱落 启用 IN7P 上的导联脱落检测 0: 禁用 1: 启用
5	LOFF6P	R/W	0h	IN6P 导联脱落 启用 IN6P 上的导联脱落检测 0: 禁用 1: 启用
4	LOFF5P	R/W	0h	IN5P 导联脱落 启用 IN5P 上的导联脱落检测 0: 禁用 1: 启用
3	LOFF4P	R/W	0h	IN4P 导联脱落 启用 IN4P 上的导联脱落检测 0: 禁用 1: 启用
2	LOFF3P	R/W	0h	IN3P 导联脱落 启用 IN3P 上的导联脱落检测 0: 禁用 1: 启用

位	字段	类型	复位	说明
1	LOFF2P	R/W	0h	IN2P 导联脱落 启用 IN2P 上的导联脱落检测 0: 禁用 1: 启用
0	LOFF1P	R/W	0h	IN1P 导联脱落 启用 IN1P 上的导联脱落检测 0: 禁用 1: 启用

9.3.7.10. LOFF_SENSN 寄存器

LOFF_SENSN: 负信号端导联脱落检测寄存器 (地址 = 10h) (复位 = 00h)

该寄存器选择每个通道的负极侧 (用于导联脱落检测)。有关详细信息, 请参阅导联脱落检测 部分。LOFF_STATN 寄存器位仅在对应的 LOFF_SENSN 位设置为 1 时有效。寄存器位 [5:4] 不适用于 LHE7904。位 [7:6] 不适用于 LHE7904、LHE7906。

表46. LOFF_SENSN: 负信号导联脱落检测寄存器

7	6	5	4	3	2	1	0
LOFF8N	LOFF7N	LOFF6N	LOFF5N	LOFF4N	LOFF3N	LOFF2N	LOFF1N
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

图例: R/W = 读取/写入; R = 只读; -n = 复位后的值

表47. 负信号导联脱落检测字段说明

位	字段	类型	复位	说明
7	LOFF8N	R/W	0h	IN8N 导联脱落 启用 IN8N 上的导联脱落检测 0: 禁用 1: 启用
6	LOFF7N	R/W	0h	IN7N 导联脱落 启用 IN7N 上的导联脱落检测 0: 禁用 1: 启用
5	LOFF6N	R/W	0h	IN6N 导联脱落 启用 IN6N 上的导联脱落检测 0: 禁用 1: 启用
4	LOFF5N	R/W	0h	IN5N 导联脱落 启用 IN5N 上的导联脱落检测 0: 禁用 1: 启用
3	LOFF4N	R/W	0h	IN4N 导联脱落 启用 IN4N 上的导联脱落检测 0: 禁用 1: 启用
2	LOFF3N	R/W	0h	IN3N 导联脱落 启用 IN3N 上的导联脱落检测 0: 禁用 1: 启用
1	LOFF2N	R/W	0h	IN2N 导联脱落 启用 IN2N 上的导联脱落检测 0: 禁用 1: 启用
0	LOFF1N	R/W	0h	IN1N 导联脱落 启用 IN1N 上的导联脱落检测 0: 禁用 1: 启用

9.3.7.11. LOFF_FLIP 寄存器

LOFF_FLIP: 导联脱落翻转寄存器 (地址 = 11h) (复位 = 00h)

该寄存器控制用于导联脱落检测的电流的方向。有关详细信息，请参阅导联脱落检测 部分。

表48. LOFF_FLIP: 导联脱落翻转寄存器

7	6	5	4	3	2	1	0
LOFF_FLIP8	LOFF_FLIP7	LOFF_FLIP6	LOFF_FLIP5	LOFF_FLIP4	LOFF_FLIP3	LOFF_FLIP2	LOFF_FLIP1
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

图例: R/W = 读取/写入; R = 只读; -n = 复位后的值

表49. 导联脱落翻转寄存器字段说明

位	字段	类型	复位	说明
7	LOFF_FLIP8	R/W	0h	通道 8 LOFF 极性翻转 翻转通道 8 上电流源或电阻器的上拉/下拉极性（用于导联脱落检测）。 0: 无翻转: IN8P 拉至 AVDD, IN8N 拉至 AVSS 1: 翻转: IN8P 拉至 AVSS, IN8N 拉至 AVDD
6	LOFF_FLIP7	R/W	0h	通道 7 LOFF 极性翻转 翻转通道 7 上电流源或电阻器的上拉/下拉极性（用于导联脱落检测）。 0: 无翻转: IN7P 拉至 AVDD, IN7N 拉至 AVSS 1: 翻转: IN7P 拉至 AVSS, IN7N 拉至 AVDD
5	LOFF_FLIP6	R/W	0h	通道 6 LOFF 极性翻转 翻转通道 6 上电流源或电阻器的上拉/下拉极性（用于导联脱落检测）。 0: 无翻转: IN6P 拉至 AVDD, IN6N 拉至 AVSS 1: 翻转: IN6P 拉至 AVSS, IN6N 拉至 AVDD
4	LOFF_FLIP5	R/W	0h	通道 5 LOFF 极性翻转 翻转通道 5 上电流源或电阻器的上拉/下拉极性（用于导联脱落检测）。 0: 无翻转: IN5P 拉至 AVDD, IN5N 拉至 AVSS 1: 翻转: IN5P 拉至 AVSS, IN5N 拉至 AVDD
3	LOFF_FLIP4	R/W	0h	通道 4 LOFF 极性翻转 翻转通道 4 上电流源或电阻器的上拉/下拉极性（用于导联脱落检测）。 0: 无翻转: IN4P 拉至 AVDD, IN4N 拉至 AVSS 1: 翻转: IN4P 拉至 AVSS, IN4N 拉至 AVDD
2	LOFF_FLIP3	R/W	0h	通道 3 LOFF 极性翻转 翻转通道 3 上电流源或电阻器的上拉/下拉极性（用于导联脱落检测）。 0: 无翻转: IN3P 拉至 AVDD, IN3N 拉至 AVSS 1: 翻转: IN3P 拉至 AVSS, IN3N 拉至 AVDD
1	LOFF_FLIP2	R/W	0h	通道 2 LOFF 极性翻转 翻转通道 2 上电流源或电阻器的上拉/下拉极性（用于导联脱落检测）。 0: 无翻转: IN2P 拉至 AVDD, IN2N 拉至 AVSS 1: 翻转: IN2P 拉至 AVSS, IN2N 拉至 AVDD
0	LOFF_FLIP1	R/W	0h	通道 1 LOFF 极性翻转 翻转通道 1 上电流源或电阻器的上拉/下拉极性（用于导联脱落检测）。 0: 无翻转: IN1P 拉至 AVDD, IN1N 拉至 AVSS 1: 翻转: IN1P 拉至 AVSS, IN1N 拉至 AVDD

建议 LOFF_FLIP 寄存器配置为 FFh.

9.3.7.12. LOFF_STATP 寄存器

LOFF_STATP: 导联脱落正信号端状态寄存器（地址 = 12h）（复位 = 00h）

该寄存器存储有关每个通道上的正电极端是打开还是关闭的状态。有关详细信息，请参阅导联脱落检测 部分。如果对应的 LOFF_SENSP 位未设置为 1，则忽略 LOFF_STATP 值。

当 LOFF_SENSEP 位是 0 时，应忽略 LOFF_STATP 位。

表50. LOFF_STATP: 导联脱落正信号状态寄存器（只读）

7	6	5	4	3	2	1	0
IN8P_OFF	IN7P_OFF	IN6P_OFF	IN5P_OFF	IN4P_OFF	IN3P_OFF	IN2P_OFF	IN1P_OFF
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h

图例: R/W = 读取/写入; R = 只读; -n = 复位后的值

表51. 导联脱落正信号状态字段说明

位	字段	类型	复位	说明
7	IN8P_OFF	R	0h	通道 8 正通道导联脱落状态 有关 IN8P 电极是打开还是关闭的状态

位	字段	类型	复位	说明
				0: 电极正常连接 1: 电极脱落
6	IN7P_OFF	R	0h	通道 7 正通道导联脱落状态 有关 IN7P 电极是打开还是关闭的状态 0: 电极正常连接 1: 电极脱落
5	IN6P_OFF	R	0h	通道 6 正通道导联脱落状态 有关 IN6P 电极是打开还是关闭的状态 0: 电极正常连接 1: 电极脱落
4	IN5P_OFF	R	0h	通道 5 正通道导联脱落状态 有关 IN5P 电极是打开还是关闭的状态 0: 电极正常连接 1: 电极脱落
3	IN4P_OFF	R	0h	通道 4 正通道导联脱落状态 有关 IN4P 电极是打开还是关闭的状态 0: 电极正常连接 1: 电极脱落
2	IN3P_OFF	R	0h	通道 3 正通道导联脱落状态 有关 IN3P 电极是打开还是关闭的状态 0: 电极正常连接 1: 电极脱落
1	IN2P_OFF	R	0h	通道 2 正通道导联脱落状态 有关 IN2P 电极是打开还是关闭的状态 0: 电极正常连接 1: 电极脱落
0	IN1P_OFF	R	0h	通道 1 正通道导联脱落状态 有关 IN1P 电极是打开还是关闭的状态 0: 电极正常连接 1: 电极脱落

9.3.7.13. LOFF_STATN 寄存器

LOFF_STATN: 导联脱落负信号状态寄存器 (地址 = 13h) (复位 = 00h)

该寄存器存储有关每个通道上的负电极是打开还是关闭的状态。有关详细信息, 请参阅导联脱落检测 部分。如对应的 LOFF_SENSN 位未设置为 1, 则忽略 LOFF_STATN 值。

当 LOFF_SENSEN 位是 0 时, 应忽略 LOFF_STATP 位。

表52. LOFF_STATN: 导联脱落负信号状态寄存器 (只读)

7	6	5	4	3	2	1	0
IN8N_OFF	IN7N_OFF	IN6N_OFF	IN5N_OFF	IN4N_OFF	IN3N_OFF	IN2N_OFF	IN1N_OFF
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h

图例: R/W = 读取/写入; R = 只读; -n = 复位后的值

表53. 导联脱落负信号状态字段说明

位	字段	类型	复位	说明
7	IN8N_OFF	R	0h	通道 8 负通道导联脱落状态 有关 IN8N 电极是打开还是关闭的状态 0: 电极正常连接 1: 电极脱落
6	IN7N_OFF	R	0h	通道 7 负通道导联脱落状态 有关 IN7N 电极是打开还是关闭的状态 0: 电极正常连接 1: 电极脱落
5	IN6N_OFF	R	0h	通道 6 负通道导联脱落状态 有关 IN6N 电极是打开还是关闭的状态 0: 电极正常连接 1: 电极脱落
4	IN5N_OFF	R	0h	通道 5 负通道导联脱落状态 有关 IN5N 电极是打开还是关闭的状态 0: 电极正常连接

位	字段	类型	复位	说明
				1: 电极脱落
3	IN4N_OFF	R	0h	通道 4 负通道导联脱落状态 有关 IN4N 电极是打开还是关闭的状态 0: 电极正常连接 1: 电极脱落
2	IN3N_OFF	R	0h	通道 3 负通道导联脱落状态 有关 IN3N 电极是打开还是关闭的状态 0: 电极正常连接 1: 电极脱落
1	IN2N_OFF	R	0h	通道 2 负通道导联脱落状态 有关 IN2N 电极是打开还是关闭的状态 0: 电极正常连接 1: 电极脱落
0	IN1N_OFF	R	0h	通道 1 负通道导联脱落状态 有关 IN1N 电极是打开还是关闭的状态 0: 电极正常连接 1: 电极脱落

9.3.7.14. GPIO 寄存器

GPIO: 通用 I/O 寄存器 (地址 = 14h) (复位 = 0Fh)

通用 I/O 寄存器控制三个 GPIO 引脚的操作。当 RESP_CTRL[1:0] 处于模式 01 和 11 时, GPIO2、GPIO3 和 GPIO4 引脚不可用。

表54. GPIO: 通用 I/O 寄存器

7	6	5	4	3	2	1	0
GPIOD[4:1]				GPIOC[4:1]			
R/W-0h				R/W-Fh			

图例: R/W = 读取/写入; R = 只读; -n = 复位后的值

表55. 通用 I/O 字段说明

位	字段	类型	复位	说明
7:4	GPIOD[4:1]	R/W	0h	GPIO 数据 这些位用于从 GPIO 端口读取数据以及向其中写入数据。 在读取寄存器时, 返回的数据对应于 GPIO 外部引脚的状态, 无论它们是编程为输入还是输出都是如此。作为输出时, 对 GPIOD 进行写入可设置输出值。作为输入时, 对 GPIOD 进行写入无效。 GPIO 在某些呼吸模式下不可用。
3:0	GPIOC[4:1]	R/W	Fh	GPIO 控制 (相应的 GPIOD) 这些位决定相应的 GPIOD 引脚是输入还是输出。 0=输出 1=输入

9.3.7.15. PACE 寄存器

PACE: 起搏信号检测寄存器 (地址 = 15h) (复位 = 00h)

该寄存器提供起搏信号控制, 以配置用于馈送外部起搏信号检测电路的通道信号。详细信息, 请参阅起搏信号检测部分。

表56. PACE: 搏信号检测寄存器

7	6	5	4	3	2	1	0
0	0	0	PACEE[1:0]		PACEO[1:0]		PD_PACE
R/W-0h	R/W-0h	R/W-0h	R/W-0h		R/W-0h		R/W-0h

图例: R/W = 读取/写入; R = 只读; -n = 复位后的值

表57. 起搏信号检测寄存器字段说明

位	字段	类型	复位	说明
7:5	保留	R/W	0h	保留 始终写入 0h
4:3	PACEE[1:0]	R/W	0h	起搏信号偶数通道 这些位控制 TEST_PACE_OUT1 上可用的偶数通道选择。任何时候都只能选择一个通道。 00=通道 2 01=通道 4 10= 通道 6 (LHE7906、LHE790X) 11= 通道 8 (LHE790X)
2:1	PACEO[1:0]	R/W	0h	起搏信号奇数通道 这些位控制 TEST_PACE_OUT2 上可用的奇数通道选择。任何时候都只能选择一个通道。 00=通道 1 01=通道 3 10= 通道 5 (LHE7906、LHE790X) 11= 通道 7 (LHE790X)
0	$\overline{\text{PD_PACE}}$	R/W	0h	起搏信号检测寄存器 该位用于启用/禁用起搏信号检测缓冲器。 0 = 起搏信号检测缓冲器关闭 1 = 起搏信号检测缓冲器开启

9.3.7.16. CONFIG4 寄存器

CONFIG4: 配置寄存器 4 (地址 = 17h) (复位 = 01h)

表58. CONFIG4: 配置寄存器 4

7	6	5	4	3	2	1	0
0			0	SINGLE_SHOT	WCT_TO_RLD	PD_LOFF_COMP	SINC4_EN
R/W-0h			R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-1h

图例: R/W = 读取/写入; R = 只读; -n = 复位后的值

表59. 配置寄存器 4 字段说明

位	字段	类型	复位	说明
[7:4]	保留	R/W	0h	保留 始终写入 0h
3	SINGLE_SHOT	R/W	0h	单次转换 该位设置转换模式。 0 = 连续转换模式 1 = 单次模式
2	WCT_TO_RLD	R/W	0h	将 WCT 连接到 RLD 该位将 WCT 连接到 RLD。 0 = WCT 到 RLD 的连接关闭 1 = WCT 到 RLD 的连接开启
1	$\overline{\text{PD_LOFF_COMP}}$	R/W	0h	导联脱落比较器断电 该位使导联脱落比较器断电。 0 = 禁用导联脱落比较器 1 = 启用导联脱落比较器
0	SINC4_EN	R/W	1h	SINC4_EN 使能 1 = 开启 SINC4 0 = 禁用 SINC4

(1) 这些频率假设 $f_{\text{CLK}} = 2.048\text{MHz}$ 。

9.3.7.17. WCT1 寄存器

WCT1: 威尔逊中心端子和增强导联控制寄存器 (地址 = 18h) (复位 = 00h)

WCT1 控制寄存器配置器件 WCT 电路通道选择和增强导联。

表60. WCT1: 威尔逊中心端子和增强导联控制寄存器

7	6	5	4	3	2	1	0
aVF_CH6	aVL_CH5	aVR_CH7	aVR_CH4	PD_WCTA	WCTA[2:0]		

7	6	5	4	3	2	1	0
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h		

图例: R/W = 读取/写入; R = 只读; -n = 复位后的值

表61. 威尔逊中心端子和增强导联控制字段说明

位	字段	类型	复位	说明
7	aVF_CH6	R/W	0h	使 (WCTA + WCTB)/2 成为通道 6 (LHE7906、LHE790X) 的负输入 0=禁用 1=启用
6	aVL_CH5	R/W	0h	使 (WCTA + WCTC)/2 成为通道 5 (LHE7906、LHE790X) 的负输入 0=禁用 1=启用
5	aVR_CH7	R/W	0h	使 (WCTB + WCTC)/2 成为通道 7 (LHE790X) 的负输入 0=禁用 1=启用
4	aVR_CH4	R/W	0h	使 (WCTB + WCTC)/2 成为通道 4 的负输入 0=禁用 1=启用
3	PD_WCTA	R/W	0h	使 WCTA 断电 0=断电 1=上电
2:0	WCTA[2:0]	R/W	0h	WCT 放大器 A 通道选择, 通常连接到 RA 电极 这些位选择通道 1 至 4 的八个电极输入之一。 000 = 通道 1 正输入连接到 WCTA 放大器 001 = 通道 1 负输入连接到 WCTA 放大器 010 = 通道 2 正输入连接到 WCTA 放大器 011 = 通道 2 负输入连接到 WCTA 放大器 100 = 通道 3 正输入连接到 WCTA 放大器 101 = 通道 3 负输入连接到 WCTA 放大器 110 = 通道 4 正输入连接到 WCTA 放大器 111 = 通道 4 负输入连接到 WCTA 放大器

9.3.7.18. WCT2 寄存器

WCT2: 威尔逊中心端子控制寄存器 (地址 = 19h) (复位 = 00h)

WCT2 配置寄存器配置器件 WCT 电路通道选择。

表62. 威尔逊中心端子控制寄存器

7	6	5	4	3	2	1	0
PD_WCTC	PD_WCTB	WCTB[2:0]			WCTC[2:0]		
R/W-0h	R/W-0h	R/W-0h			R/W-0h		

图例: R/W = 读取/写入; R = 只读; -n = 复位后的值

表63. 威尔逊中心端子控制字段说明

位	字段	类型	复位	说明
7	$\overline{\text{PD_WCTC}}$	R/W	0h	使 WCTC 断电 0=断电 1=上电
6	$\overline{\text{PD_WCTB}}$	R/W	0h	使 WCTB 断电 0=断电 1=上电
5:3	WCTB[2:0]	R/W	0h	WCT 放大器 B 通道选择, 通常连接到 LA 电极。 这些位选择通道 1 至 4 的八个电极输入之一。 000 = 通道 1 正输入连接到 WCTB 放大器 001 = 通道 1 负输入连接到 WCTB 放大器 010 = 通道 2 正输入连接到 WCTB 放大器 011 = 通道 2 负输入连接到 WCTB 放大器 100 = 通道 3 正输入连接到 WCTB 放大器 101 = 通道 3 负输入连接到 WCTB 放大器 110 = 通道 4 正输入连接到 WCTB 放大器 111 = 通道 4 负输入连接到 WCTB 放大器

位	字段	类型	复位	说明
2:0	WCTC[2:0]	R/W	0h	WCT 放大器 C 通道选择, 通常连接到 LL 电极。 这些位选择通道 1 至 4 的八个电极输入之一。 000 = 通道 1 正输入连接到 WCTC 放大器 001 = 通道 1 负输入连接到 WCTC 放大器 010 = 通道 2 正输入连接到 WCTC 放大器 011 = 通道 2 负输入连接到 WCTC 放大器 100 = 通道 3 正输入连接到 WCTC 放大器 101 = 通道 3 负输入连接到 WCTC 放大器 110 = 通道 4 正输入连接到 WCTC 放大器 111 = 通道 4 负输入连接到 WCTC 放大器

9.3.7.19. DC_LOFF_OSEL 寄存器

DC_LOFF_OSEL: LOFF 在 GPIO 输出使能 (地址 = 1Dh) (复位 = 00h)

该寄存器受 UserKey 保护。需要先进行 UserKey 解锁操作。

7	6	5	4	3	2	1	0
0	0	N_SEL2	N_SEL1	N_SEL0	P_SEL2	P_SEL1	P_SEL0
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

DC_LOFF_OSEL 字段描述

Bit	Field	Type	Reset	Description	
7:6	Reserved	R/W	0h	AC LOFF	DC LOFF
5: 3	N_SEL	R/W	0h	100: 不关心	N_SEL: 4h, P_SEL 非4h; GPIO1输出 (脱落输出高电平) N_SEL: 5h, P_SEL 非5h; GPIO2输出 (脱落输出高电平)
2: 0	P_SEL	R/W	0h	4h, GPIO1输出 (脱落输出高电平) 5h, GPIO2输出 (脱落输出高电平) 6h, GPIO3输出 (脱落输出高电平) 7h, GPIO4输出 (脱落输出高电平)	N_SEL: 6h, P_SEL 非6h; GPIO3输出 (脱落输出高电平) N_SEL: 7h, P_SEL 非7h; GPIO4输出 (脱落输出高电平)

9.3.7.20. DIG_ACLOFF_ENABLE 寄存器

DIG_ACLOFF_ENABLE: AC LOFF 通道使能 (地址 = 40h) (复位 = 00h)

该寄存器受 UserKey 保护。需要先进行 UserKey 解锁操作。

7	6	5	4	3	2	1	0
CH8EN	CH7EN	CH6EN	CH5EN	CH4EN	CH3EN	CH2EN	CH1EN
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

DIG_ACLOFF_ENABLE 字段描述

Bit	Field	Type	Reset	Description
7	CH8EN	R/W	0h	1: 使能, 0: 不使能
6	CH7EN	R/W	0h	1: 使能, 0: 不使能
5	CH6EN	R/W	0h	1: 使能, 0: 不使能
4	CH5EN	R/W	0h	1: 使能, 0: 不使能
3	CH4EN	R/W	0h	1: 使能, 0: 不使能
2	CH3EN	R/W	0h	1: 使能, 0: 不使能
1	CH2EN	R/W	0h	1: 使能, 0: 不使能
0	CH1EN	R/W	0h	1: 使能, 0: 不使能

9.3.7.21. LOFF_UTH_HIGH 寄存器

LOFF_UTH_HIGH: AC LOFF 阈值电压上限高字节 (地址 = 41h) (复位 = ffh)

该寄存器受 UserKey 保护。需要先进行 UserKey 解锁操作。

7	6	5	4	3	2	1	0
LOFF_UTH_HIGH [7:0]							
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

LOFF_UTH_HIGH 字段描述

Bit	Field	Type	Reset	Description
LOFF_UTH_HIGH [7:0]	Reserved	R/W	0h	00-ff, AC LOFF阈值电压

9.3.7.22. LOFF_UTH_LOW 寄存器

LOFF_UTH_LOW: AC LOFF 阈值电压上限低字节 (地址 = 42h) (复位 = ffh)

该寄存器受 UserKey 保护。需要先进行 UserKey 解锁操作。

7	6	5	4	3	2	1	0
LOFF_UTH_LOW [7:0]							
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

LOFF_UTH_LOW 字段描述

Bit	Field	Type	Reset	Description
LOFF_UTH_LOW [7:0]	Reserved	R/W	0h	00-ff, AC LOFF阈值电压

9.3.7.23. LOFF_LTH_HIGH 寄存器

LOFF_LTH_HIGH: AC LOFF 阈值电压下限高字节 (地址 = 43h) (复位 = 00h)

该寄存器受 UserKey 保护。需要先进行 UserKey 解锁操作。

7	6	5	4	3	2	1	0
LOFF_LTH_HIGH [7:0]							
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

LOFF_LTH_HIGH 字段描述

Bit	Field	Type	Reset	Description
LOFF_LTH_HIGH [7:0]	Reserved	R/W	0h	00-ff, AC LOFF阈值电压

9.3.7.24. LOFF_LTH_LOW 寄存器

LOFF_LTH_LOW: AC LOFF 阈值电压下限低字节 (地址 = 44h) (复位 = 00h)

该寄存器受 UserKey 保护。需要先进行 UserKey 解锁操作。

7	6	5	4	3	2	1	0
LOFF_LTH_LOW [7:0]							
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

LOFF_LTH_LOW 字段描述

Bit	Field	Type	Reset	Description
LOFF_LTH_LOW [7:0]	Reserved	R/W	0h	00-ff, AC LOFF阈值电压

9.3.7.25. LOFF_CFG 寄存器

LOFF_CFG: 导联脱离 DC 激励源强度控制寄存器 (地址=82h) (复位=04h)

该寄存器配置导联脱离直流电流源强度是否倍增。该寄存器受 UserKey 保护。需要先进行 UserKey 解锁操作。

7	6	5	4	3	2	1	0
0	0	0	0	LOFF_DEGLITCH_BYP	RLD_COMP_EN	ILOFF_BST_EN	0
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-1h

图例: RW=ReadWrite; R=Readonly; -n=复位后的值

表64. LOFF_CFG 字段描述

Bit	Field	Type	Reset	Description
7:4	Reserved	R/W	0h	总是写0h
3	LOFF_DEGLITCH_BYP	R/W	0	0: leadoff比较器带有deglitch功能 1: leadoff比较器不带deglitch功能
2	RLD_COMP_EN	R/W	1	0: 比较器disabled 1: 比较器enabled
1	ILOFF_BST_EN	R/W	0h	ILEADDOOF电流是否倍增 0: leadoff电流不倍增, step=2.5nA 1: leadoff电流倍增, step=10nA
0	Reserved	R/W	0h	保留

注: 建议配置 LOFF_CFG 寄存器为 0Eh。

9.3.7.26. LOFF_FREQ 寄存器

LOFF_FREQ: 导联脱离频率配置寄存器 (地址=83h) (复位=00h)

该寄存器配置导联脱离交流激励源频率。该寄存器受 UserKey 保护。需要先进行 UserKey 解锁操作。

7	6	5	4	3	2	1	0
0	0	0	0	0	AC_FREQ[2:0]		
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-1h

图例: RW=ReadWrite; R=Readonly; -n=复位后的值

表65. LOFF_FREQ 字段描述

Bit	Field	Type	Reset	Description
7:3	Reserved	R/W	0h	总是写0h
2:0	AC_FREQ[2:0]	R/W	0h	0h:500Hz 1h:1KHz 2h:2KHz 3h:4KHz 4h:8KHz 5h:16KHz 6h:7.8Hz 7h:31.2Hz

注: 需要先将 LOFF 寄存器的 FLEAD_OFF[1:0]配置为 1h。

9.3.7.27. DRV_STRENGTH 寄存器

DRV_STRENGTH: 驱动强度寄存器 (地址=8Ah) (复位=00h)

该寄存器受 UserKey 保护。需要先进行 UserKey 解锁操作。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	SO[1:0]	
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

图例: RW=ReadWrite; R=Readonly; -n=复位后的值

当数据输出速率大于32kSPS时, 建议设置该寄存器为03h。

9.3.7.28. USERKEY 寄存器

USERKEY: UserKey 解锁寄存器 (地址=182h) (复位=00h)

该寄存器解锁 UserKey 保护。向该地址写入 0xAC, 即为执行解锁操作。解锁后, 受保护的寄存器才能读写。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

图例: RW=ReadWrite; R=Readonly; -n=复位后的值

加锁方式: USERKEY 写入一个非 0xAC 值。

10. 应用和实现

10.1. 应用信息

10.1.1. 设置器件以进行基本数据采集

下图概述了在基本状态下配置器件和采集数据的流程。该流程将器件置于与规格 部分中列出的参数匹配的配置中，以检查器件是否在用户系统中正常工作。请在开始时遵循此流程，直到熟悉器件设置。验证此流程后，可以根据需要配置器件。有关命令时序的详细信息，请参阅数据表中的相应章节。为 ECG 专用功能添加了示例编程代码。

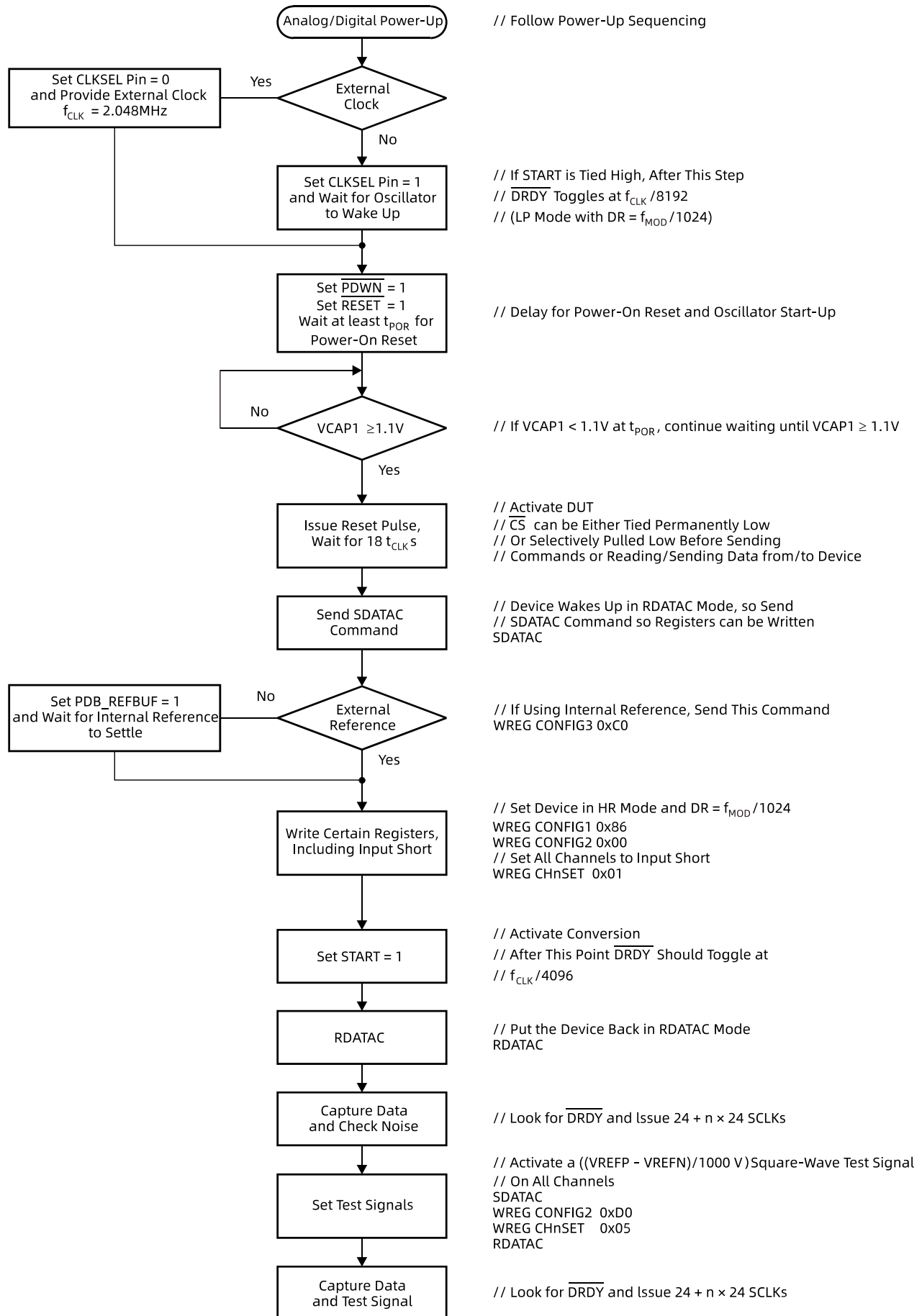


图60. 上电时的初始流程

导联脱落

所有通道上使用上拉或下拉电阻器设置直流导联脱落的示例代码：

```
WREG LOFF 0x13          // Comparator threshold at 95% and 5%, pullup or pulldown resistor
                        // dc lead-off
WREG CONFIG4 0x02       // Turn on dc lead-off comparators
WREG LOFF_SENSP 0xFF // Turn on the P-side of all channels for lead-off sensing
WREG LOFF_SENSN 0xFF // Turn on the N-side of all channels for lead-off sensing
```

观察输出数据流的状态位，以监视导联脱落状态。

右腿驱动

选择 RLD 作为前三个通道平均值的示例代码。

```
WREG RLD_SENSP 0x07      // Select channel 1-3 P-side for RLD sensing
WREG RLD_SENSN 0x07      // Select channel 1-3 N-side for RLD sensing
WREG CONFIG3 b'x1xx 1100 // Turn on RLD amplifier, set internal RLDREF voltage
```

通过通道 4 N 侧路由 RLD_OUT 信号并使用通道 5 测量 RLD 的示例代码。确保芯片 RLDOUT 的外侧连接到 RLDIN。

```
WREG CONFIG3 b'xxx1 1100 // Turn on RLD amp, set internal RLDREF voltage, set RLD measurement bit
WREG CH4SET b'1xxx 0111 // Route RLDIN to channel 4 N-side
WREG CH5SET b'1xxx 0010 // Route RLDIN to be measured at channel 5 w.r.t RLDREF
```

起搏信号检测

为起搏信号选择通道 5 和 6 输出的示例代码：

```
WREG PACE b'0001 0101 // Power-up pace amplifier and select channel 5 and 6 for pace out
```

10.1.2. 建立输入共模

LHE790X 测量全差分信号，其中共模电压点是正负模拟输入的中点。由于操作所需的裕量，内部 PGA 限制了共模输入范围。人体容易发生共模漂移，因为与天线相类似，噪声很容易耦合到人体上。这些共模漂移可能会将 LHE790X 输入共模电压推出 ADC 的可测量范围。

如果系统使用患者驱动电极，LHE790X 包含一个连接到患者驱动电极的片上右腿驱动 (RLD) 放大器。RLD 放大器功能是对患者进行偏置，以将其他电极共模电压维持在有效范围内。上电后，放大器使用模拟中间电源电压或 RLDREF 引脚上的电压作为基准输入，以稳定接近于该电压的输出。

LHE790X 提供了使用输入电极电压作为放大器反馈的选项，通过设置 RLD_SENSP 和 RLD_SENSN 寄存器中的相应位，更有效地稳定到放大器基准电压的输出。有关利用此技术的三电极系统的示例，请参阅下图。

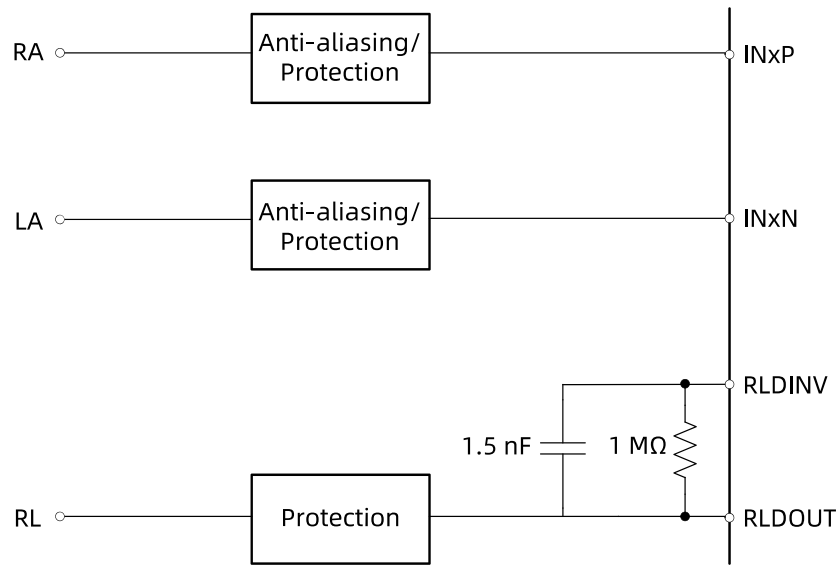


图61. 使用 RLD 电极设置共模

保持有效共模电压的第二种策略是对模拟输入进行交流耦合，这在未使用患者驱动电极时尤其有用。直流阻断电容器与模拟电源之间的分压器或上拉电阻器相结合，可将直流偏置设置为已知点，从而有效地确保直流共模电压不会漂移。不使用患者驱动电极的应用仍然可以使用 LHE790X 上的 RLD 放大器作为经缓冲的中间电源电压来偏置输入。选择无源元件时要小心，因为电容器和电阻器会形成 RC 高通滤波器。如果不正确地选择无源元件，则滤波器会使信号频带下端的频率不合期望地衰减。下图显示了该配置的示例。

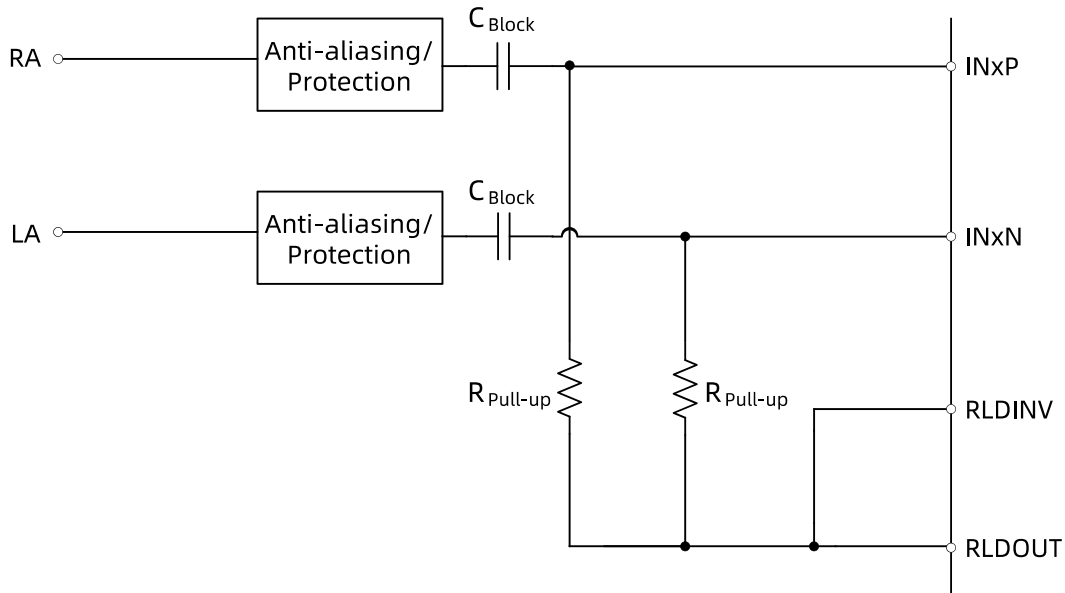


图62. 在不使用 RLD 电极的情况下设置共模

10.1.3. 抗混叠

与所有模数系统一样，应注意防止意外的混叠效应。LHE790X 调制器以 256kHz 或 512kHz 的频率对输入进行采样，具体分别取决于器件处于低功耗 (LP) 模式还是高分辨率 (HR) 模式。与所有数字滤波器的情况一样，LHE790X 上的片上数字抽取滤波器的响应以调制器频率的整数倍重复。使用 Δ -Σ 架构的好处是数字抽取滤波器会使信号频带与调制器频率附近信号频带的混叠之间的频率显著地衰减。在许多情况下，调制器频率的可接受衰减由单极或双极 RC 低通滤波器提供。

选择抗混叠组件时也要小心。由于元件不匹配（包括抗混叠元件），共模到差模的转换会导致共模抑制性能下降。

下图显示了典型的前端配置。

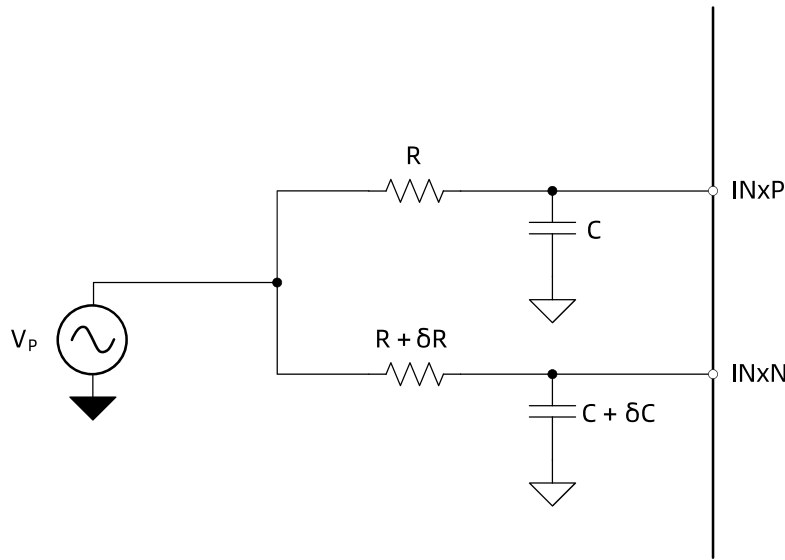


图63. 典型的前端配置

V_p 是系统的共模信号。如果在差分信号中建模的 R 和 C 的值完全匹配，则系统表现出非常大的 CMR。如果电阻器 R 和电容器 C 中的 δR 和 δC 分别不匹配，则整个系统的 CMR 近似于 Equation 8。

$$CMR = 20 \log\left(\frac{\delta R}{R} + \frac{\delta C}{C}\right) + 20 \log\left(\frac{f}{f_c}\right) \quad (8)$$

其中

- f_c 是 RC 滤波器的 -3dB 频率。

如果使用 1% 精度的外部元件并且 RC 滤波器的带宽约为 6kHz，则系统在 60Hz 时仅具有 74dB 的 CMR。在现实世界中，ECG 的前端不仅包含一阶 RC 滤波器，还包括电极、电缆和二阶或三阶 RC 滤波器。考虑到所有这些组件，不匹配很容易累积，因此会贡献高达 20% 或更多的信号。在频率为 60Hz 时，这种不匹配程度会使系统的 CMR 降低到 60dB 以下。因此，必须考虑采用不同的技术来改善 CMR。

在调制器前面放置抗混叠滤波器的带宽时存在折衷。考虑到分立元件之间的不匹配，最好选择较大的带宽；带宽的上限由调制器的采样频率决定。

10.2. 典型应用

10.2.1. 使用 LHE790X 上的 PACEOUT 引脚进行基于软件的人工起搏器检测

由人工起搏器产生的电脉冲用于调节心脏的跳动，并且在其他生物电势信号量表上测量时具有非常小的持续时间（宽度）。根据 AAMI EC11 中列出的标准，医疗仪器必须能够捕获持续时间窄至 0.5ms 的起搏器脉冲。LHE790X 能够以 64kSPS 的速率捕获数据；理想情况下，该速率足以捕获最窄的脉冲。不过，LHE790X 上的数据速率设置是

所有通道的全局设置。使用 LHE790X 以足够快的数据速度对输入通道进行数字化，以便进行稳定可靠的起搏器检测，这意味着所有通道按同样数据输出数量，这在实际应用中是不实际的。

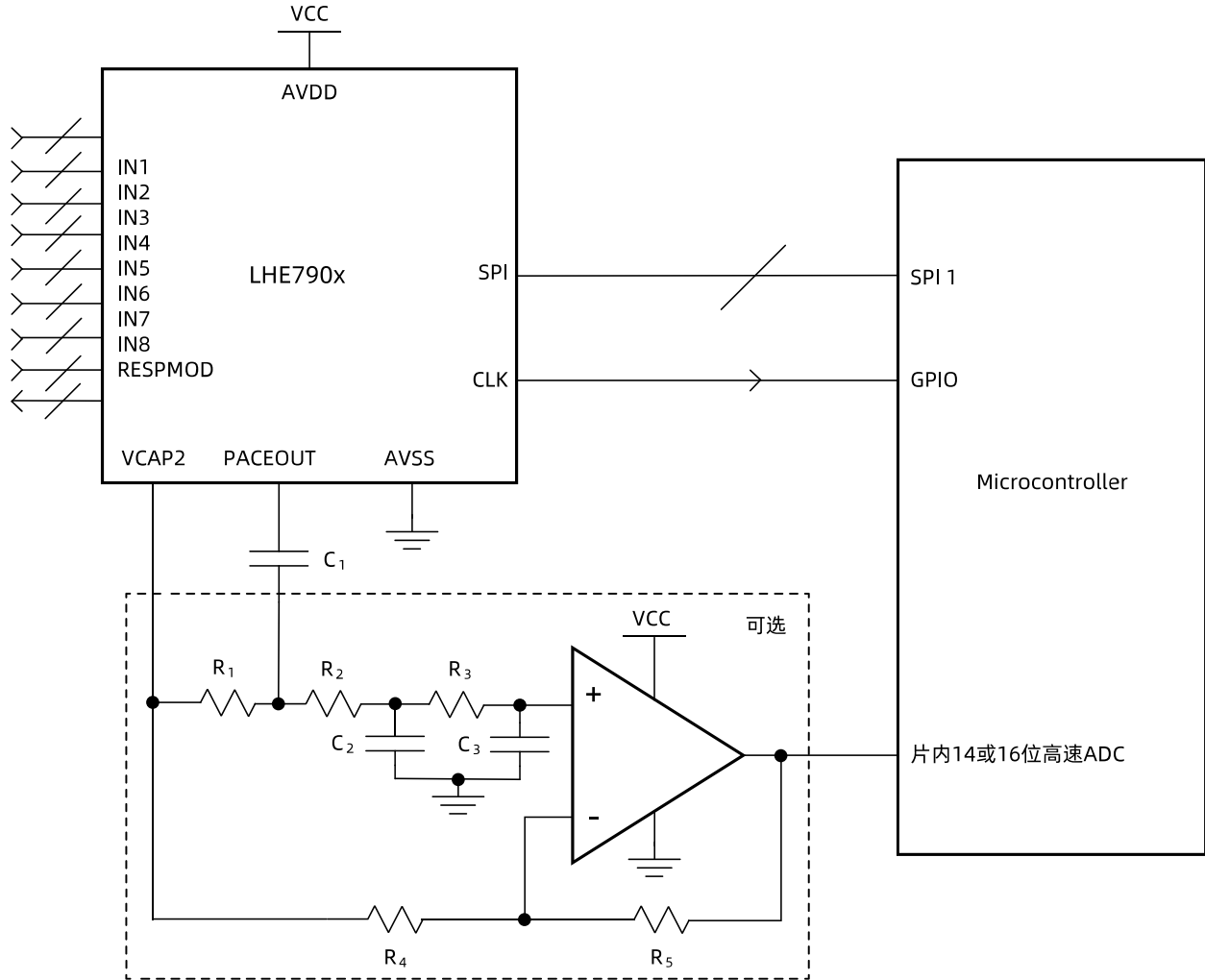


图64. 软件起搏器检测拓扑的方框图

设计要求

下表显示了上图中所示的组件设计要求。

表66. 软件起搏信号设计要求

设计参数	值
模拟电源电压	3.3V
最小起搏器信号带宽	0.1ms
最小起搏器信号振幅	5mV
反馈网络 $R_4 + R_5$ (非单位增益)	$\approx 100k\Omega$

详细设计流程

LHE790X 上的起搏信号放大器提供差分到单端的转换，任何电压的 3.5V/V 振幅会显示在用于路由起搏信号放大器的通道 PGA 的输出端。选择将哪些通路由到起搏信号放大器是在 LHE790X 的起搏信号检测寄存器中执行的。显示在起搏信号放大器输出端的电压将相对于模拟中间电源得出。

在 ADC 转换信号之前，信号必须由高速运算放大器进行缓冲，因为 ADC 的输入代表开关电容器类型的负载。由于低输入偏置电流和 20MHz 单位增益带宽，运算放大器还可以灵活地在 ADC 之前提供额外的增益级，隔离滤波器级或提供简单的缓冲。C1 和 R1 的作用是提供与起搏器检测信号的交流耦合。这种耦合可能是必要的，因为电极偏移和起搏器脉冲在某些情况下都可能高达几百毫伏。需要使用主动驱动的信号接地将运算放大器的直流偏置设置

在中间电源。可以使用在 LHE790X 上的 VCAP2 上提供的电压作为经缓冲的中间电源电压。VCAP2 引脚上的电压可能有噪声，但使用它来驱动运算放大器的反相和同相输入的共模电压会导致运算放大器显著地消除该噪声，因为它是两个输入所共用的。

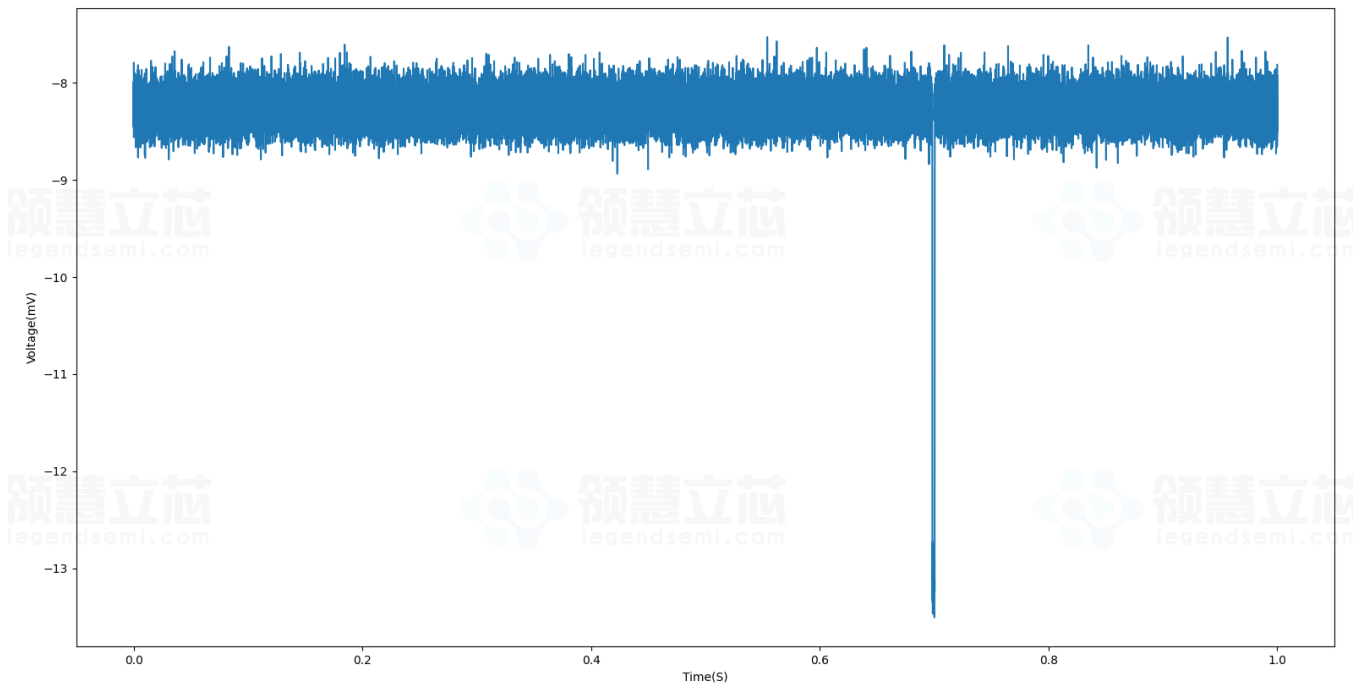
运算放大器反馈电阻器 R4 和 R5 设置增益。该配置的传递函数是 Equation 12 中所示的同相运算放大器配置的传递函数。

$$V_o = V_i \left(1 + \frac{R_5}{R_4} \right) \quad (12)$$

包含 R2、C2、R3、C3 的 RC 网络形成了 ADC 的 RC 抗混叠滤波器。

应用曲线

下图显示了通过 LHE790X 的 PACEOUT 引脚（使用运放和 ADC）进行采集。可以清楚地识别起搏器脉冲。



注意：为了便于说明，未实时处理绘图数据。由于该特定的配置中缺少屏蔽，

图65. 针对起搏器脉冲的经滤波的 ADC 输出数据

11. 电源建议

LHE790X 具有三个电源：AVDD、AVDD1 和 DVDD。为了获得最佳性能，AVDD 的噪声必须尽可能低。使用 1μF 和 0.1μF 固态陶瓷电容器旁路每个 LHE790X 电源。为了获得最佳性能，请将数字电路（DSP、微控制器、FPGA 等）放置到一个系统中，以使这些器件上的返回电流不会穿过 LHE790X 的模拟返回路径。可使用单极或双极电源为 LHE790X 供电。

使用表面贴装、低成本、薄型、多层陶瓷型电容器进行去耦。在大多数情况下，VCAP1 电容器也是多层陶瓷；但是，在电路板受到高频或低频振动的系统中，应安装非铁电电容器，如钽电容器或 1 类电容器（C0G 或 NPO）。EIA 2 类和 3 类电介质（如 X7R、X5R、X8R 等）是铁电型的。这些电容器的压电特性会产生电噪声。使用内部基准时，VCAP1 节点上的噪声会导致性能下降。

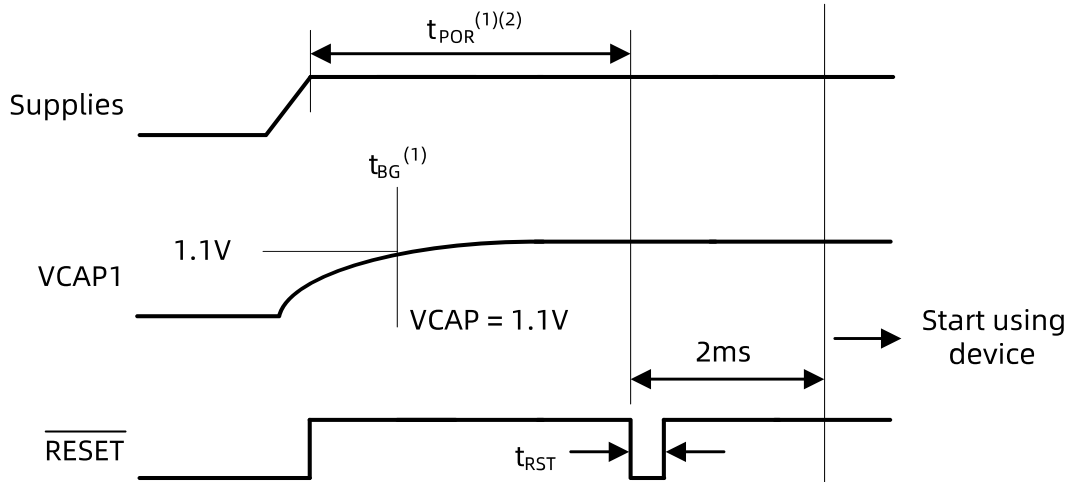
11.1. 上电时序

在器件上电之前，所有数字和模拟输入必须处于低电平。上电时，将所有这些信号保持在低电平，直到电源稳定为止，如图所示。

留出时间让电源电压达到其最终值，然后开始向 CLK 引脚提供主时钟信号。等待时间 t_{POR} ，然后使用 RESET 引脚或 RESET 命令发送复位脉冲，以初始化芯片的数字部分。在 t_{POR} 之后或 VCAP1 电压大于 1.1V 之后（以较长的时间为准）发出复位命令。注意：

- 下表中介绍了 t_{POR} 。
- VCAP1 引脚充电时间由 RC 时间常数设置。

释放 RESET 引脚后，对配置寄存器进行编程；有关详细信息，请参阅 CONFIG1: 配置寄存器 1（地址 = 01h）（复位 = 06h）部分。表中显示了上电序列时序。



(1) 复位脉冲的时间是 t_{POR} 或 t_{BG} 之后，以较长的时间为准。

(2) 使用外部时钟时， t_{POR} 计时在 CLK 有效后才会启动。

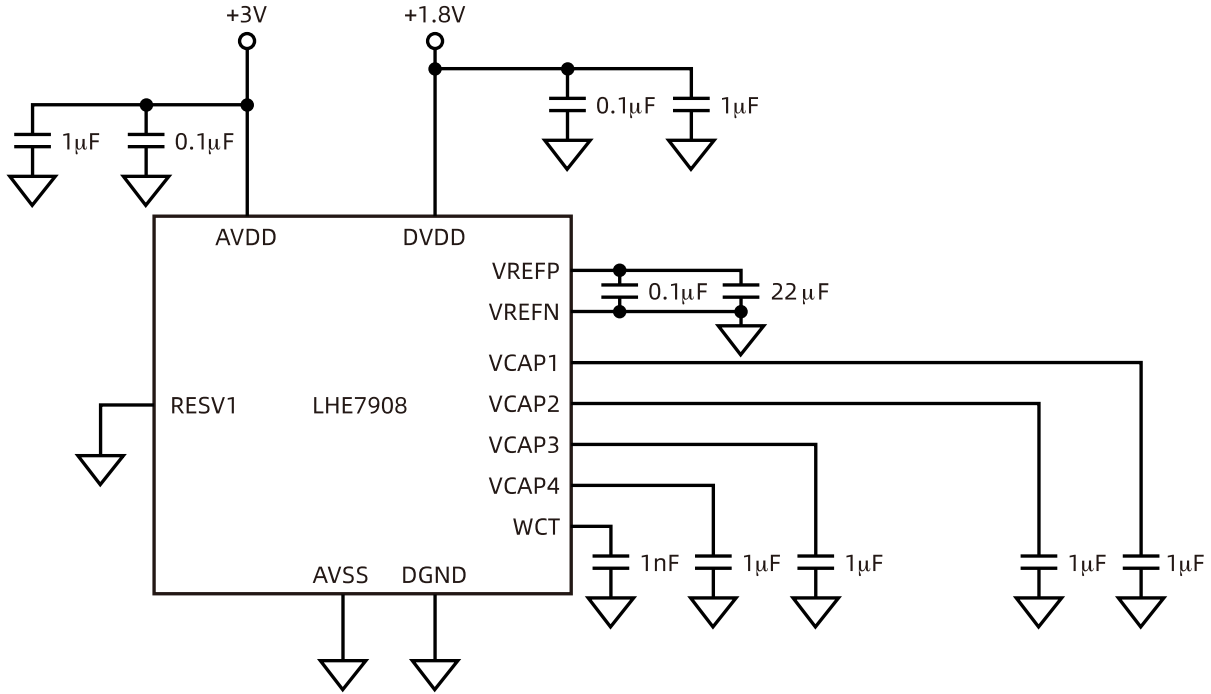
图66. 上电时序图

表67. 上图的时序要求

		典型值	推荐值	单位
t_{POR}	在上电后等待，直到复位	32	100	ms
t_{RST}	复位处于低电平的持续时间	2		t_{CLK}

11.2. 连接到单极（3V 或 1.8V）电源

下图说明了连接到单极电源的 LHE790X。在该示例中，模拟电源 (AVDD) 以模拟接地 (AVSS) 为基准，数字电源 (DVDD) 以数字接地 (DGND) 为基准。

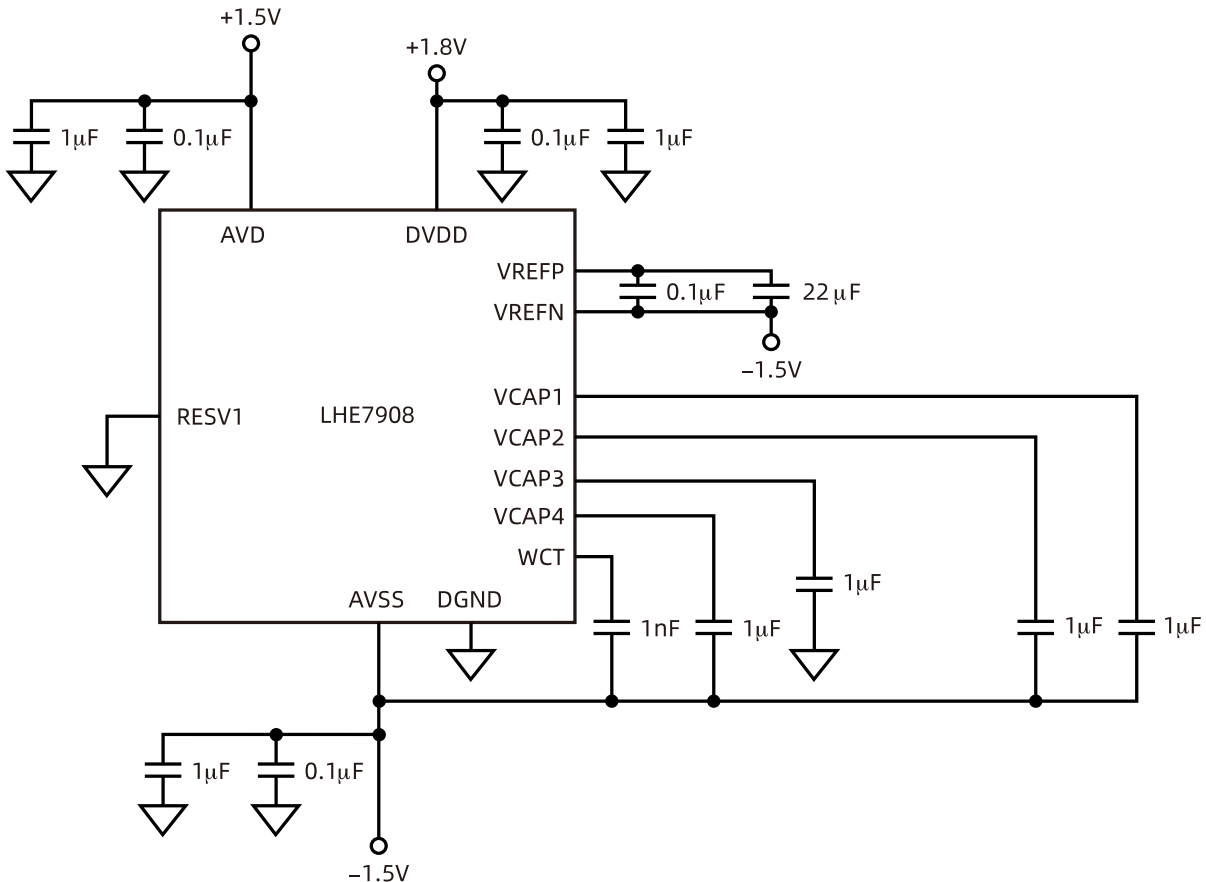


注意：应将电源、基准、WCT 和 VCAP1 至 VCAP4 的电容尽可能靠近封装放置。

图67. 单电源供电

11.3. 连接到双极 ($\pm 1.5V$ 或 $\pm 1.8V$) 电源

下图说明了连接到双极电源的 LHE790X。在该示例中，模拟电源连接到器件模拟电源 (AVDD)。该电源以器件模拟回路 (AVSS) 为基准，数字电源 (DVDD) 以器件数字接地回路 (DGND) 为基准。



注意：应将电源、基准、WCT 和 VCAP1 至 VCAP4 的电容尽可能靠近放置。

图68. 双极电源供电

12. 布局

12.1. 布局指南

针对接地使用低阻抗连接，以便返回电流不受干扰地流回到各自的源。为了获得最佳性能，请将一个完整的 PCB 层专用于接地平面，在该层上不走其他信号线。与接地平面的连线尽可能短。使用过孔连接到接地层时，可使用多个并联的过孔，以减少接地阻抗。

混合信号布局时独立的模拟地和数字地平面在一点连接；但是，当正确放置模拟电路、数字电路和电源电路后，不需要分离接地平面。将模拟、数字和电源电路划分为不同的 PCB 区域，以防止数字电路的返回电流耦合到敏感的模拟电路中。如果需要接地平面分离，则在 ADC 处做为一点连接。在多个位置连接各个接地层会产生接地环路，因此不建议这样做。单个接地平面（数字和模拟为同一平面）可避免接地环路。

使用低 ESR 瓷片电容旁路电源引脚。旁路电容尽可能靠近电源引脚放置，连线尽可能短。为获得最佳性能，旁路电容的接地侧连接也必须是低阻抗连接。电源电流首先流过旁路电容器引脚，然后流到电源引脚，使旁路最有效（也称为开尔文连接）。如果多个 ADC 位于同一 PCB 上，请使用宽电源走线或专用的电源平面，以最大限度地降低 ADC 之间发生串扰的可能性。

模拟输入的前端滤波电路，请尽可能使用 C0G 型陶瓷电容器。C0G 电容器具有稳定的特性和低噪声特性。理想情况下，将差分信号成对走线，以最大程度地减小走线之间的环路面积。数字电路走线（如时钟信号）时使其远离所有模拟引脚。请注意，内部基准输出回路与 AVSS 电源共用相同的引脚。为了最大限度地减少电源走线和基准回路走线之间的耦合，请分别用两条走线连接到 AVSS；理想情况下，在 AVSS 引脚处采用星型连接。

必须在模拟输入线上进行短且直的连连，并避免杂散的布线电容，尤其是在模拟输入引脚和 AVSS 之间。这些模拟输入引脚具有高阻抗，对外部噪声非常敏感。将 AVSS 引脚视为敏感的模拟信号，并通过适当的屏蔽直接连接到电源接地。如果未实现屏蔽，PCB 走线之间的漏电流可能会超过 LHE790X 的输入偏置电流。尽可能使数字信号远离 PCB 上的模拟输入信号。

串行接口的 SCLK 输入应该没有噪声和干扰，这一点很重要。即使采用相对慢的 SCLK 频率，数字信号上升和下降也可能导致振铃和噪声。为了获得最佳性能，数字信号走线尽可能短，数字信号线串联电阻，所有数字信号都在地平面上方走线，并且使用最少的过孔。

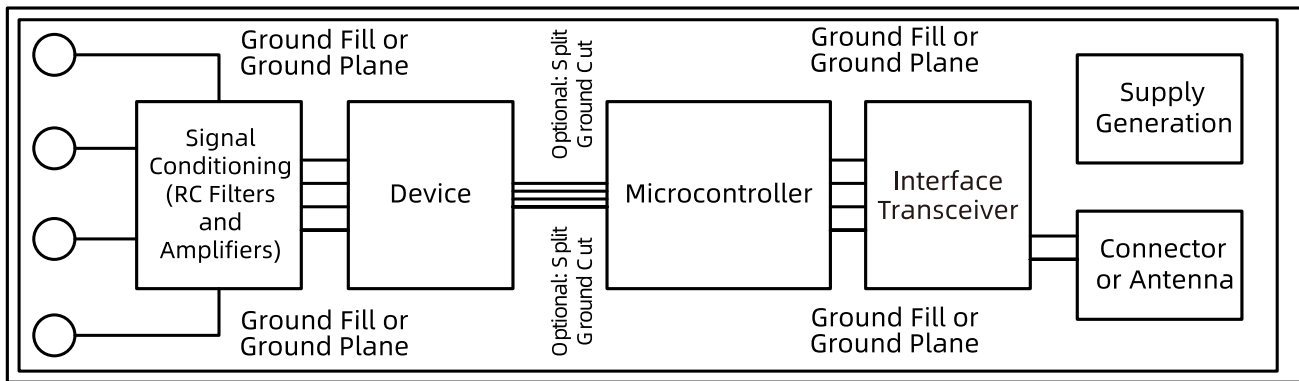


图69. 系统布局

12.2. 布局示例

下图是 LHE790X 的示例布局，需要至少两个 PCB 层。显示的示例电路适用于单个模拟电源或双极电源连接。在该示例中，多边形覆铜用作器件周围的电源连接。如果使用三层或四层 PCB，则额外的内层可专用于电源层。该 PCB 分为从左侧输入的模拟信号、右侧的数字信号以及在器件上方和下方布置的电源。

布局示例 (continued)

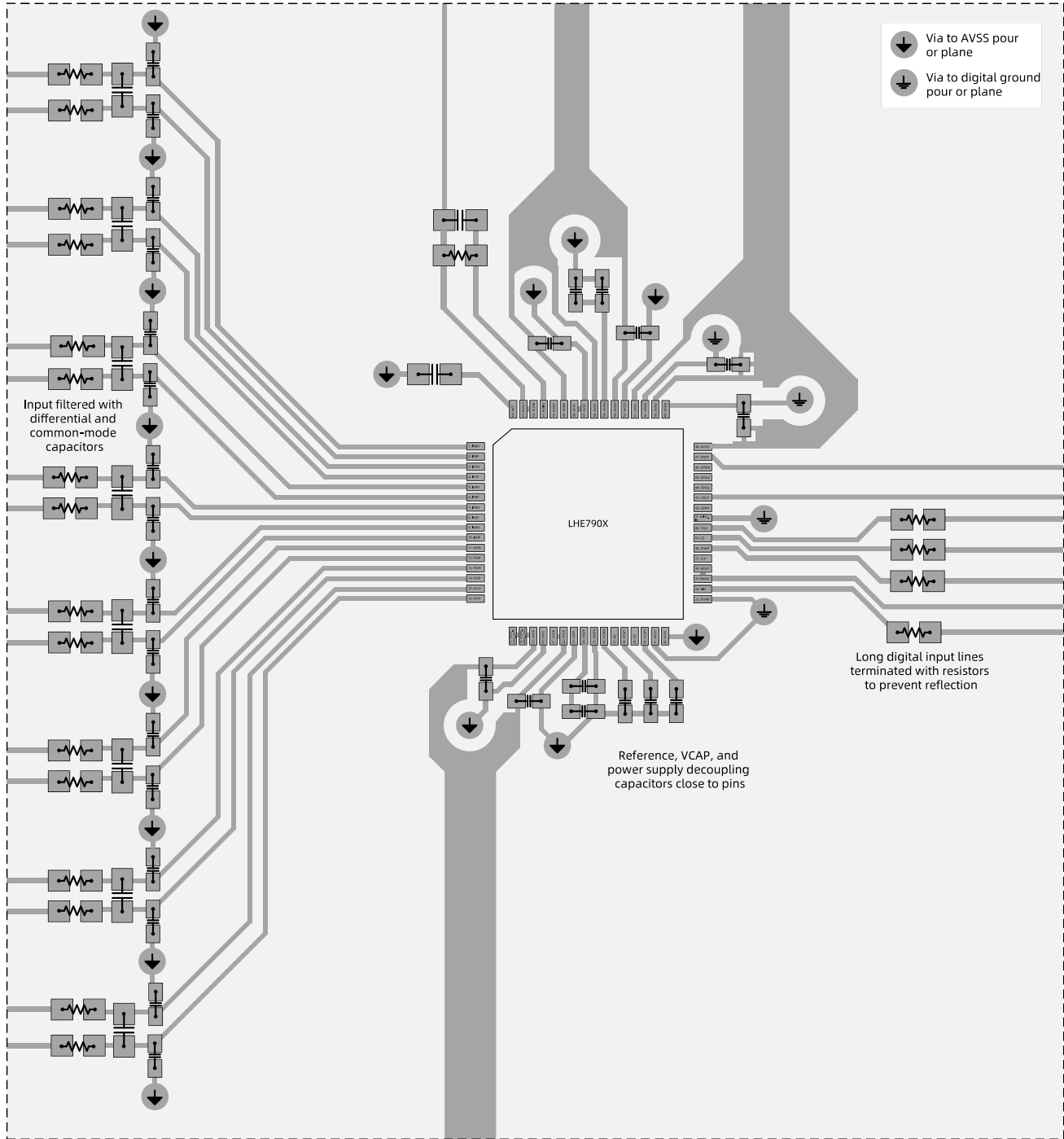


图70. LHE790X 布局示例

13. 封装和可订购信息

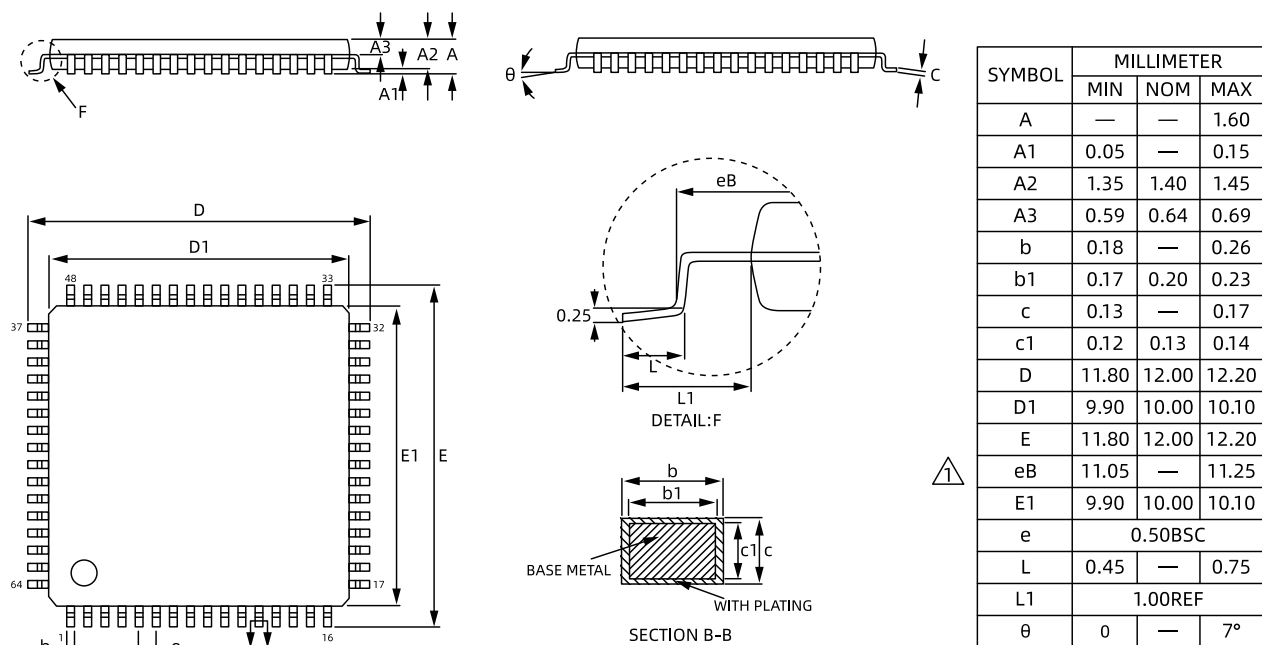


图71. LHA790X LQFP64 封装尺寸图

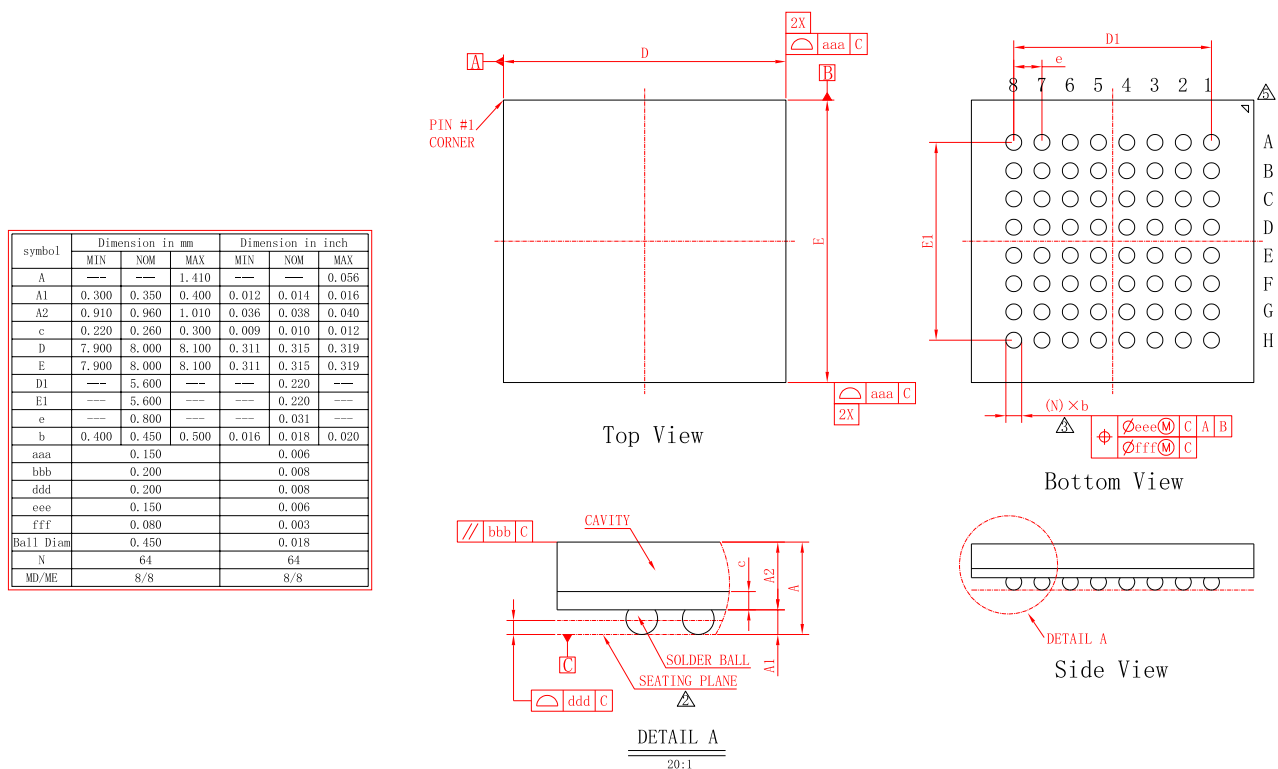


图72. LHA790X BGA 封装尺寸图

14. 采购指南

表68. 采购信息

芯片编号	通道数	精度	温度范围	封装类型	引脚数	功耗选择
LHE7908GSELBN	8	24bit	-40°C 至 +85°C	LQFP	64	低功耗模式和高分辨率模式可配
LHE7906GSELBN	6	24bit	-40°C 至 +85°C	LQFP	64	低功耗模式和高分辨率模式可配
LHE7904GSELBN	4	24bit	-40°C 至 +85°C	LQFP	64	低功耗模式和高分辨率模式可配
LHE7908ESELBA	8	24bit	-40°C 至 +85°C	LQFP	64	超低功耗模式
LHE7906ESELBA	6	24bit	-40°C 至 +85°C	LQFP	64	超低功耗模式
LHE7904ESELBA	4	24bit	-40°C 至 +85°C	LQFP	64	超低功耗模式

表69. 包装规格

订购型号	封装类型	引脚数	包装类型	大包装量	备注
LHE7908GSELBN	LQFP	64	TRAY	800 颗/包	
LHE7906GSELBN	LQFP	64	TRAY	800 颗/包	
LHE7904GSELBN	LQFP	64	TRAY	800 颗/包	
LHE7908ESELBA	LQFP	64	TRAY	800 颗/包	
LHE7906ESELBA	LQFP	64	TRAY	800 颗/包	
LHE7904ESELBA	LQFP	64	TRAY	800 颗/包	

注释: REEL: 卷带包装;
 TRAY: 托盘包装;
 TUBE: 管式包装;