



芯海科技

CHIPSEA

股票代码:688595

CDS8712

数据手册

V1.1 版本



📍 深圳市南山区南海大道1079号花园城数码大厦A座9层

🌐 www.chipsea.com

☎ +86-0755-8616 9257

✉ sales@chipsea.com

📦 518000

版本历史

历史版本	修改内容	时间
V1.0	第一版正式版本	2021-07-26
V1.1	1、更新芯片工作温度范围说明和部分电器特性说明； 2、更新 UART/I2C 内容描述；	2021-09-15

芯海科技CHIPSEA

目 录

版本历史.....	2
1. 介绍.....	4
2. 产品描述.....	4
2.1. 主要特性.....	4
2.2. 功能框图.....	7
2.3. 系列产品差异.....	8
2.4. 引脚图和描述.....	9
3. 功能描述.....	11
3.1. 模拟前端(AFE).....	11
3.2. 电源管理.....	17
3.3. 通用异步收发器.....	18
3.4. I2C 接口.....	21
3.5. PWM 输出.....	错误！未定义书签。
4. 电气特性.....	28
4.1. 说明.....	28
4.2. 绝对值.....	28
4.3. 通用工作条件.....	28
4.4. ESD 特性.....	29
4.5. IO 特性.....	29
4.6. 时钟特性.....	30
4.7. I2C 时序特性.....	30
4.8. 功耗特性.....	31
4.9. 复位特性.....	32
4.10. 低功耗模式唤醒特性.....	33
4.11. AFE 特性.....	34
5. 典型应用电路.....	37
6. 封装信息.....	38
6.1. QFN24.....	38
7. 订货信息.....	39
8. 勘误表.....	39

1. 介绍

CDS8712 是一款面向调理应用的信号调节器，用于工业和过程控制。CDS8712 通过 12 个模拟前端通道选择输入，对其输入信号进行最高 1024 倍增益放大和数字化调节。CDS8712 通过片上 ARM Cortex M0 处理器中用户可编程软件，执行用户定义的补偿算法。经调节的信号可以通过 PWM 的形式输出。该器件还可以通过 UART、IIC 和 GPIO 端口访问数据和配置寄存器。

CDS8712 包含一个模拟多路通道选择器（MUX），一个电容检测模块（CS，Cap Sensor），一个可编程增益放大器（PGA），一个 14 位 SAR ADC，一个温度传感器（TS，Temperature Sensor）。嵌入 64K 字节 FLASH，包括 60K 字节程序空间（APROM），数据 FLASH 大小可配置（与程序 FLASH 共享），4K 字节启动程序空间（LDROM），16K 字节 SRAM，最高工作频率 24MHz。包含 1 个 I2C 模块，1 个 UART 模块，3 个定时器模块，2 个看门狗模块等。

另外，CDS8712 系列还配备 ISP（In-System Programming）和 ICP（In-Circuit Programming）功能，让用户可以升级固件而不必将芯片从板子上取下。

2. 产品描述

2.1. 主要特性

- 模拟前端(AFE)
 - 14 位 SAR ADC，典型速率 250KSPS，最快支持 500KSPS
 - 内置温度传感器
 - 支持外部输入引脚自由组合做为 SAR ADC 差分或单端输入通道
 - 最多支持 6 路外部差分输入通道，或 12 路外部单端输入通道
 - 支持 4 路内部输入通道(温度传感器、VDD/2 通道、VS/2、GND)
 - 12 路外部输入通道可配置为电容检测输入通道
 - 电容检测通道内置 15 位 CREF 电容校准
 - 电容检测通道内置 2 位 CPIN 电容补偿
 - 最大支持 100pF 电容检测
 - 提供一次最多 10 个任意通道换
 - 支持 AINP 端上/下拉电阻，固定 5K
 - 支持电阻式传感器通断检测功能
 - 支持线性自校正
 - 支持 1~1024 倍可编程增益放大（PGA），不同通道独立增益配置，硬件切换
 - 支持 4 种操作模式
 - 单次转换模式：A/D 在指定单个通道完成一次转换
 - 单周期扫描模式：A/D 转换在所有指定通道（最多 10 个通道）完成一次转换
 - 有限周期扫描模式：A/D 转换在所有指定通道（最多 10 个通道）中，每个通道转换指定次数，并存储平均后码值，切换到下一个通道，可配置去掉最大最小值
 - 突发模式：A/D 转换在指定单个通道连续进行 8 次转换，并将结果顺序地存入通道数据寄存器
 - 可配置转换结束后系统从深度睡眠 1 模式进入深度睡眠 2 模式
- 内核
 - ARM Cortex M0 内核，最高 24MHz 工作频率
 - 单指令周期 32 位硬件乘法器
 - 支持串行调试接口（SWD）
- 存储器
 - 60 K Bytes 程序存储空间（APROM）

- 4K Bytes 启动代码空间 (LDROM)
- 16K Bytes 的 SRAM，带硬件奇偶校验
- 时钟模块
 - 内部 24MHz RC 振荡器 (HIRC)，典型情况下精度 $\pm 1\%$
 - 内部 2KHz RC 振荡器 (LIRC)，典型情况下精度 $\pm 3\%$
 - 支持时钟输出 (MCO) 功能，可选输出内部时钟，输出时钟可配置预分频
- 工作环境
 - VDD 电压: 2.0~5.5V (AFE 不工作)
 - VDD 电压: 2.4~5.5V (AFE 工作)
 - 芯片结温范围: $-40\sim 125^{\circ}\text{C}$
- 电源管理
 - VS_CAP 输出，支持 2.0V、2.2V、2.6V、2.8V 多档配置，15mA 驱动
 - 支持外部通过 VS_CAP 输入外灌基准
 - VS0 输出，VS_CAP 通过内置开关引出 VS0，用于传感器供电，实现低功耗控制
- 通用输入输出(I/O)
 - 最多支持 6 个 PA 口，开漏输出，输入支持 1.2V-5.5V
 - 最多支持 2 个 PB 口，支持推挽和伪开漏输出，输入支持 1.2V-5.5V
 - 施密特触发输入
- RST 复位引脚，高电平有效，输入带模拟滤波，滤波时间 10uS
- 3 个定时器
 - 1 个 24 位系统定时器
 - 1 个通用定时器 (TIM0)
 - 16 位计数器，16 位可编程预分频器
 - 输入捕获
 - 输出比较
 - PWM 生成 (边沿对齐模式)
 - 1 个基本定时器 (TIM1)
 - 24 位计数器，8 位可编程预分频器
 - 单脉冲模式
 - 周期模式
 - 连续计数模式
 - 可选择 LIRC 做定时器时钟源
- 2 个看门狗
 - 1 个精简独立看门狗 (IWDG_S)
 - 看门狗复位定时固定为 60S
 - 上电默认关闭，开启后软件无法关闭
 - 1 个窗看门狗 (WWDG)
- 中断和事件
 - 11 个可单独屏蔽的中断通道
 - 4 种优先级可选
 - 所有 PA/PB 口均可配置外部中断输入
- 1 路 UART 模块 (UART)
 - 全双工异步通信

- 数据字长可编程（7/8/9bit）
- 高位优先或低位优先顺序可配置
- 停止位数 1bit 或 2bit 可配置
- 支持单线半双工通信
- 最高支持 3Mbps 通信速率
- 1 路 I2C 从机
 - 支持从机和多主机模式
 - 支持：标准模式（100k bit/s）和快速模式（高达 400k bit/s）
 - 支持深度睡眠下根据地址匹配唤醒 MCU
 - 支持 VDD、1.8V、1.2V 通信
- 封装
 - QFN24（4.0mm*4.0mm*0.75mm）

2.2. 功能框图

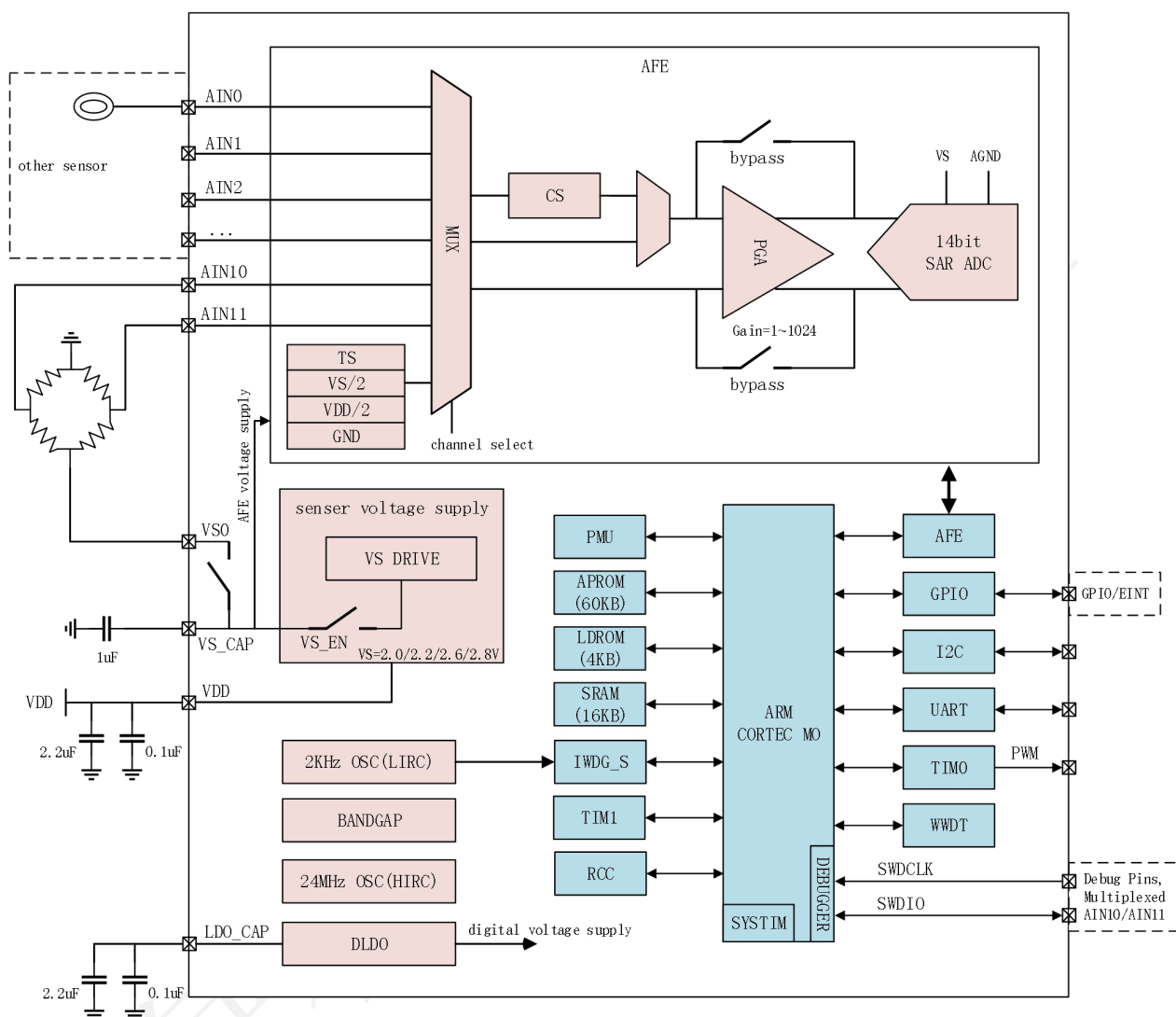


图 1 功能框图

2.3. 系列产品差异

功能模块	功能特性		CDS8710	CDS8711	CDS8712
内核	最高主频		48MHz	24MHz	24MHz
	系统定时器		√	√	√
内存结构	APROM 空间		60KB	60KB	60KB
	LDROM 空间		4KB	4KB	4KB
	SRAM 空间		24KB	12KB	16KB
GPIO	PA（开漏）		12 个	10 个	6 个
	PB（推挽）		6 个	4 个	2 个
电源管理	LDO		√	√	√
	PVD		√	×	×
	POR/PDR		√	√	√
时钟	PLL（48M/24M）		√	×	×
	8M HIRC		√	×	×
	14M HIRC14		√	×	×
	24M HIRC		×	√	√
	2K LIRC		√	√	√
CRC32	硬件 CRC32 模块		√	×	×
HDIV	硬件除法模块		√	×	×
通信接口	UART		√	×	×
	UART2		×	√	√
	I2C		√	√	√
看门狗	WWDT		√	√	√
	IWDG		√	×	×
	IWDG_S		×	√	√
定时器	TIM0		√	√	√
	TIM1		√	√	√
模拟前端	CS		√	×	（在 AFE2 集成）
	AFE1	外部输入通道	36	18	-
		内部通道	VS/2、GND、TS	VS/2、GND、TS、VDD/2	-
	AFE2	外部输入通道	-	-	12
		内部通道	-	-	VS/2、GND、TS、VDD/2

注：√ 表示功能支持，× 表示功能不支持，- 表示不涉及

2.4. 引脚图和描述

2.4.1. QFN24

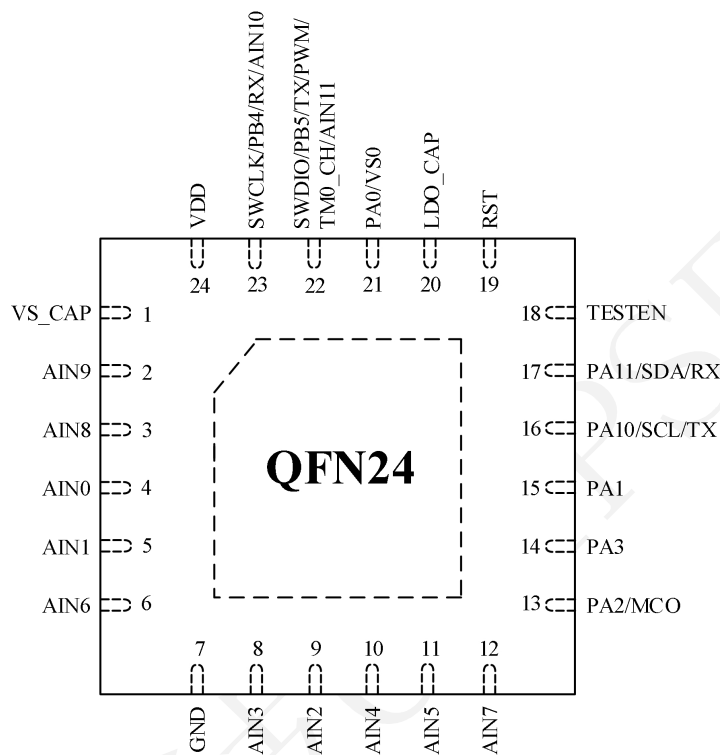


图2 QFN24 封装引脚图（顶视图）

2.4.2. 引脚描述

表 1 引脚描述

引脚编号	引脚名称 (第一功能/第二功能/...)	引脚类型	引脚描述
1	VS_CAP	AO	VS 电容引脚, 接 1uF
2	AIN9	AI	模拟输入/电容检测通道 9 输入
3	AIN8	AI	模拟输入/电容检测通道 8 输入
4	AIN0	AI	模拟输入/电容检测通道 0 输入
5	AIN1	AI	模拟输入/电容检测通道 1 端输入
6	AIN6	AI	模拟输入/电容检测通道 6 输入
7	GND	P	地
8	AIN3	AI	模拟输入/电容检测通道 3 端输入
9	AIN2	AI	模拟输入/电容检测通道 2 输入
10	AIN4	AI	模拟输入/电容检测通道 4 输入
11	AIN5	AI	模拟输入/电容检测通道 5 输入
12	AIN7	AI	模拟输入/电容检测通道 7 输入
13	PA2/MCO	I/O	GPIO 口 PA2; 内部时钟分频输出
14	PA3	I/O	GPIO 口 PA3
15	PA1	I/O	GPIO 口 PA1
16	PA10/SCL/TX	I/O	GPIO 口 PA10; I2C 通信时钟; 串口通信发送数据口
17	PA11/SDA/RX	I/O	GPIO 口 PA11; I2C 通信数据; 串口通信接收数据口
18	TESTEN	I	测试引脚, 必须接地, 禁止浮空
19	RST	I/O	硬件复位口, 高电平有效, 内带下拉电阻
20	LDO_CAP	AO	LDO 电容引脚, 接 2.2uF
21	PA0/VS0	I/O/AO	GPIO 口 PA0; VS0 参考电压输出
22	SWDIO/PB5/TX/TM0_CH/AIN11	I/O/AI	SWD 调试数据口; GPIO 口 PB5; 串口通信发送数据口; TIM0 输出比较 PWM 口或输入捕获口; 模拟输入/电容检测通道 11 端输入
23	SWCLK/PB4/RX/AIN10	I/O/AI	SWD 调试时钟口; GPIO 口 PB4; 串口通信接收数据口; 模拟输入/电容检测通道 10 端输入
24	VDD	P	电源

注: PBn/PAn 口均可配置做外部中断输入。

3. 功能描述

3.1. 模拟前端(AFE)

CDS8712 包含一个模拟前端 AFE。AFE 内部包含 1 个模拟通道选择器 (MUX)、1 个电容检测模块 (CS, Cap Sensor)、1 个增益放大器 (PGA, 支持 1-1024 倍增益, 可启用 Bypass 功能)、1 个参考电压输出 (VS)、以及 1 个 14bit SAR ADC。

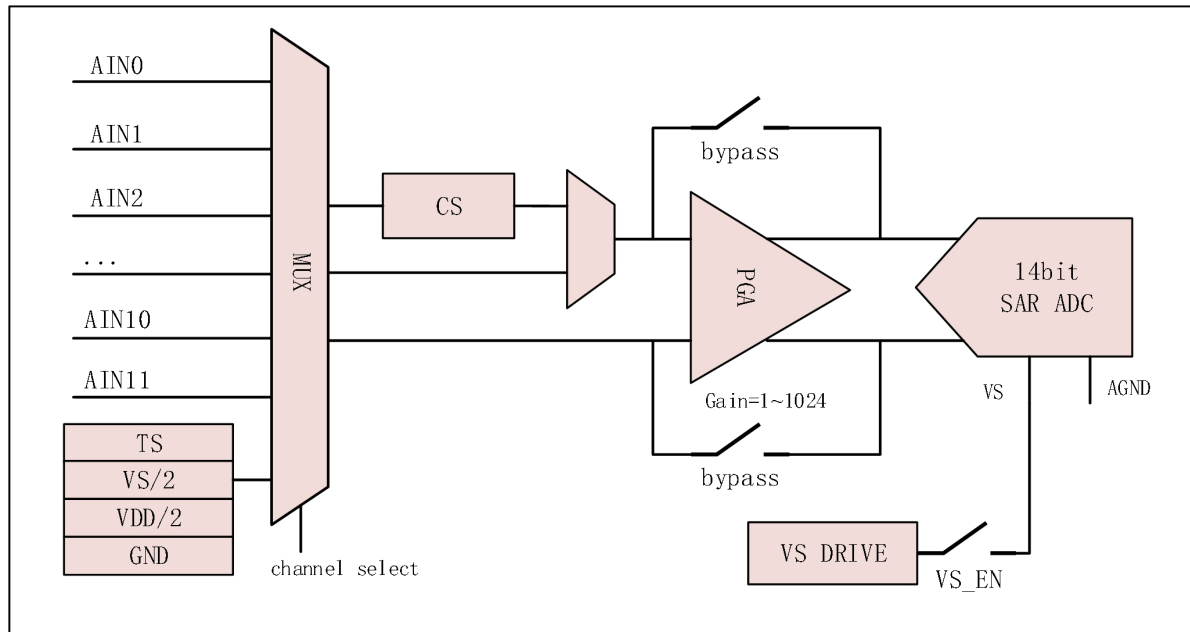


图 3 AFE 框图

外部输入通道 AINx 以及内部通道信号，通过 MUX 选择后接到 PGA 中进行放大，然后再接入到 SAR ADC 中进行 A/D 转化，得到的转化数据。再存储在 SAR ADC 中 CHx 对应的 A/D 转换数据寄存器 ADDR_x 中，最终被 APB 总线读取。

所有 AINx 通道均可配置为电容检测通道，当扫描到电容检测通道时，AINx 输入将接入电容检测模块 (CS)，PGA/ADC P 端为电容检测模块输出信号，N 端固定接入 VS/2。允许同时扫描传感器输入通道和电容检测通道。

CDS8712 配置使能转换后可将芯片工作在 DeepSleep1 模式，可选择在转换完成后通过唤醒系统或直接进入 DeepSleep2 模式。

3.1.1. AFE 通道选择 (MUX)

CDS8712 最多支持 12 个外部通道，可任意组成 6 路差分输入或 12 路单端输入。

CDS8712 最多支持 4 路内部通道：内部温度传感器通道、VS/2、VDD/2、GND。其中，VDD/2 通道可用于监测 VDD 电压，内部温度传感器可用于监测芯片温度。

CDS8712 支持外部输入通道 AINx 以及内部通道自由组合，最多支持一次转换任意 10 路外部通道或内部通道，通过 ADAINSR0~ADAINSR9 配置选择通道输入。转换完成后转换数据将存入对应的数据寄存器 ADDR0~ADDR9 中。

所有通道可独立配置 PGA 增益，不同的通道可配置不同的 PGA 增益，ADC 转换扫描过程中硬件切换 PGA 配置。

3.1.2. 温度传感器(TS)

AFE 支持温度传感器通道，温度传感器模块产生一个与温度成线性关系的差分电压 ITSP/ITSN，在配置转换温度传感器后，将被转换为数字码值，再通过软件计算获取温度。

在使用前，先根据使用的 VS 档位，计算中间码值 T_temp：

$$T_temp = 2^{13} + \frac{2^{13}}{VS} [0.5 * (2.6 - VS) + (TEMP0_TR - 2^{13}) * \frac{2.6}{2^{13}}]$$

其中，VS 为所使用的 VS 电压值，TEMP0_TR 为 GCR 模块读出温度校准值 0。

之后，在量化温度传感器通道得到量化码值后，将 T_temp 代入下式：

$$T = (DATA - T_temp) \times \frac{VS}{2^{13}} \div 0.00454 + \frac{TEMP1_TR}{100}$$

其中，TEMP1_TR 为 GCR 模块读出温度校准值 1，DATA 为温度传感器通道测量的 ADC 码值（无符号数码），T 的单位为 K（开尔文度），(T-273.15)可转换为℃（摄氏度）。

3.1.3. 内部参考电压（VS）

内部参考电压 VS 为 ADC 提供一个基准电压。可通过配置 PA0 口输出给外部传感器供电。VS 支持 2.0V、2.2V、2.6V、2.8V 共 4 档配置。

当 AFE 工作时，要求 VDD 电压大于 VS+0.4V，否则不能保证 AFE 正常工作。

3.1.4. VDD 监测

VDD 可被选择作为 ADC 输入通道来监控其是否位于正常工作范围内。由于 VDD 电压高于 VS，超出 ADC 输入范围。因此 VDD 电压被内部连接到一个 1/2 分压电路，于是转换数值是 VDD 电压的一半。

当 VDD 电压较高时，为满足 ADC 输入范围，需选择合适的 VS 档位。例如，当 VDD 工作环境达到 5V 时，必须配置 VS 档位为 2.6V 或 2.8V。

3.1.5. 传感器通断检测

芯片支持外接电阻桥式传感器通断检测。

1. 在上电后，将 ADC N 端配置 VS/2，P 端接入桥式传感器其中一端；
2. 配置不使能 P 端上拉电阻，不使能 P 端下拉电阻，启动转换，得到 ADC 码值 A。
3. 配置使能 P 端上拉电阻，不使能 P 端下拉电阻，启动转换，得到 ADC 码值 B。
4. 配置不使能 P 端上拉电阻，使能 P 端下拉电阻，启动转换，得到 ADC 码值 C。
5. 分别判断 A 和 B、A 和 C 码值，通过电阻桥式传感器特性判断传感器一端是否短路或断路。
6. 将 ADC N 端配置 VS/2，N 端接入桥式传感器另一端：重复 2~5 步操作，判断传感器另一端是否短路或断路。

3.1.6. ADC 数据格式

ADC 支持差分输入模式。软件可以通过配置 DMOF 寄存器，选择无符号数格式或补码格式存储码值。不同硬件配置和软件配置情况下的转化数据如下图。

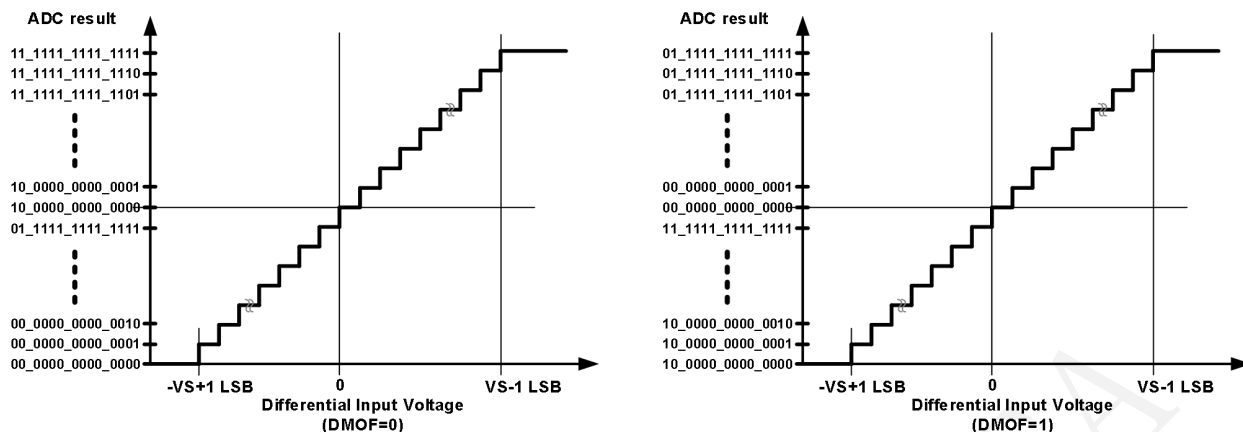


图4 数据格式说明

3.1.7. AFE 单次转换模式

在单次转换模式下，A/D 转换只在指定的通道上执行一次，操作流程如下：

- 1.配置 VS_CON 寄存器 VS_EN=1，ADCR 寄存器 ADEN=1。
- 2.当通过软件使 ADCR 的 ADST=1 时，A/D 转换开始。
- 3.当 A/D 转换完成，A/D 转换的结果将存储于相应通道的 A/D 数据寄存器中。
4. A/D 转换完成，ADSR 的 ADF 位置 1。若此时 ADCR 寄存器的 ADIE 位置 1，将产生 ADC 中断。
5. A/D 转换期间，ADST 位保持为 1。A/D 转换结束，ADST 位自动清 0，A/D 转换器进入空闲状态。

注 1：如果软件使能超过 1 个通道，只有最小编号的通道被选中，其他通道被忽略。

注 2：当 ADC 正在转换时，如果 ADST 被清成 0，BUSY 位将被立即清成 0，ADC 不完成当前转换，A/D 转换直接进入空闲状态。

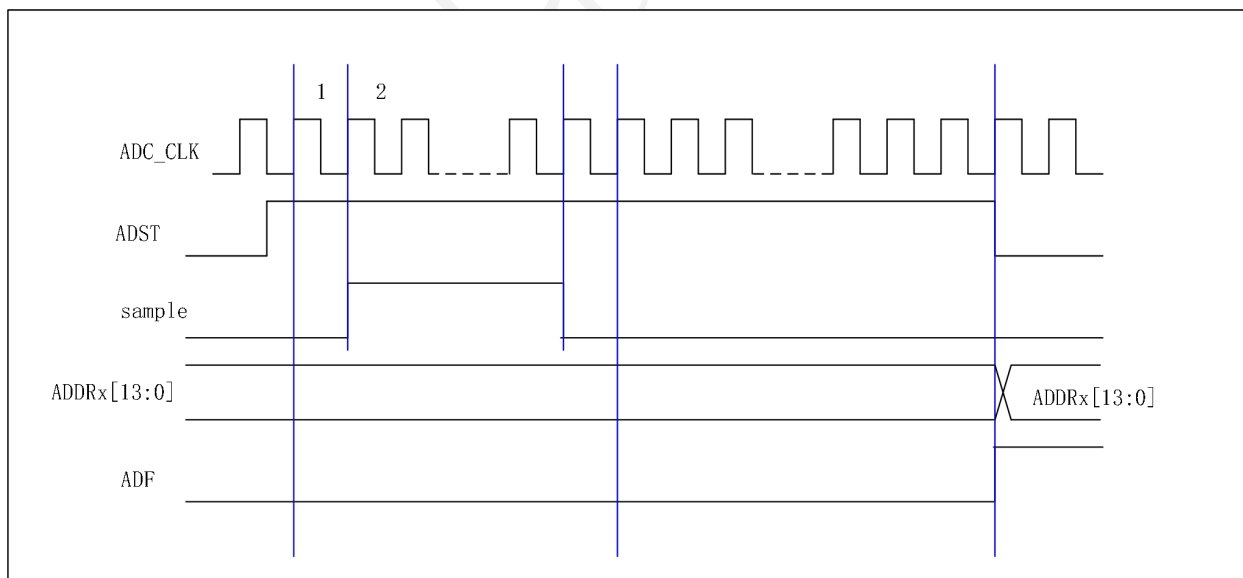


图5 单次转换模式时序图

3.1.8. AFE 单周期扫描模式

在单周期扫描模式下，A/D 转换在通过 ADCHER 寄存器中的 CHEN 位使能的通道上，从被使能的最小序号通道到最大序号通道按序都将进行一次 A/D 转换。AFE 在扫描期间会自动切换通道，根据软件配置将外部输入通道进行组合。具体流程如下：

1. 配置 VS_CON 寄存器 VS_EN=1, ADCR 寄存器 ADEN=1, 以及其他配置。
2. 软件使 ADCR 寄存器的 ADST 位置 1, 从最小序号通道开始 A/D 转换。
3. 每个使能的通道 A/D 转换完成后, A/D 转换结果将依次存放到相应的数据寄存器中。
4. 当所有使能的通道转换都完成后, ADSR 的 ADF 位置 1, 如果 ADC 中断使能, 则 ADC 中断发生。
5. ADC 完成一轮转换后, ADST 位自动清 0, A/D 转换器进入空闲状态。如果在所有被使能通道完成转换前 ADST 清 0, ADC 不完成当前转换, A/D 转换器直接进入空闲状态。

使能通道(0、2、3、7) 的单周期扫描模式时序图如下:

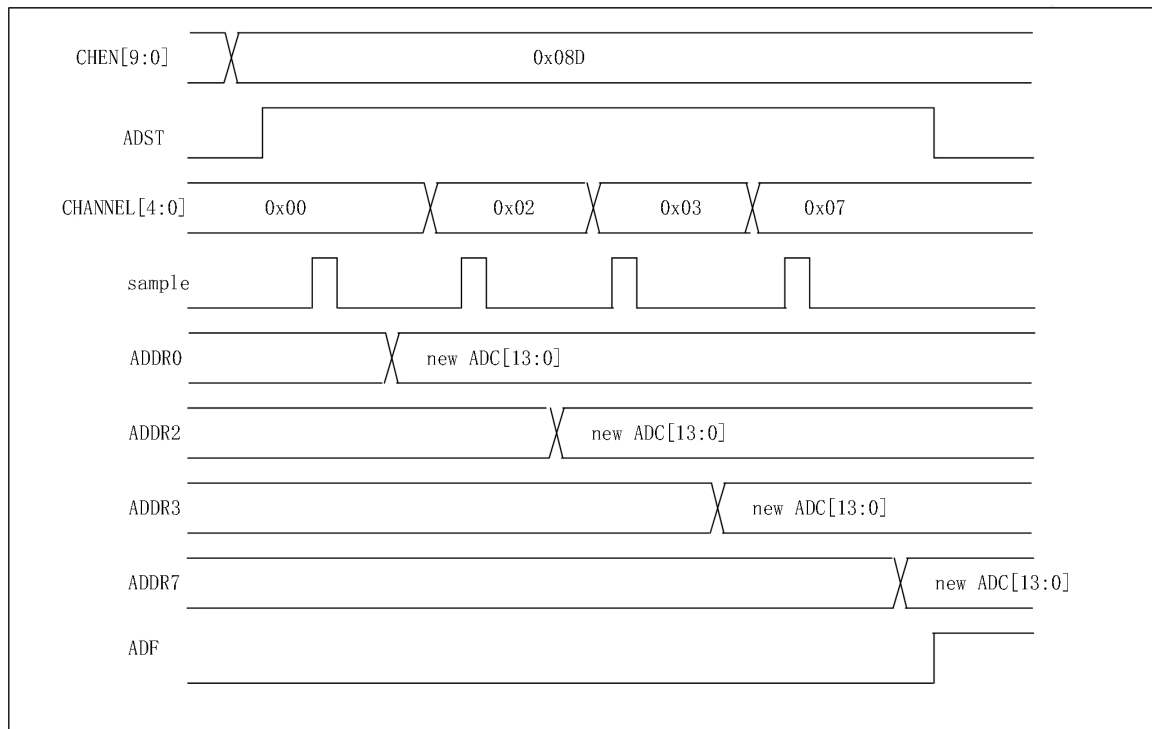


图 6 使能通道上单周期扫描模式时序图

3.1.9. AFE 有限周期扫描模式

在有限周期扫描模式下, A/D 转换在通过 ADCHER 寄存器中的 CHEN 位使能的通道上, 从被使能的最小序号通道到最大序号通道按序都将进行一次 A/D 转换。AFE 在扫描期间会自动切换通道, 根据软件配置将外部输入通道进行组合。具体流程如下:

1. 配置 VS_CON 寄存器 VS_EN=1, ADCR 寄存器 ADEN=1, 以及其他配置。
2. 软件使 ADCR 寄存器的 ADST 位置位, 从最小序号通道到最大序号通道的 A/D 转换开始。
3. 每路 A/D 先转换预设次数 N 或 N+2(由 VALID_NS[2:0]和 CAL_S 决定)后, 将有效转换的 A/D 结果的平均值(当为 N+2 时, 则需去掉最大值和最小值取平均)将存储到相应的数据寄存器中, 才切换到下一通道进行转换。
4. 当被使能的所有通道都完成转换后, ADF 位 (ADSR 寄存器) 置 1。如果 ADC 中断使能, 则 ADC 中断发生。
5. ADC 完成一轮转换后, ADST 位自动清 0, A/D 转换器进入空闲状态。如果在所有被使能通道完成转换前 ADST 清 0, ADC 不完成当前转换, 未完成转换通道对应的 valid 标志为 0, A/D 转换器直接进入空闲状态, 可通过读取 valid 标志判断使能的通道是否完成转换。

3.1.10. AFE 突发模式

在突发模式下，A/D 转换采样并转换 8 次指定的单个通道，将转换结果按序存放到 ADDR0~ADDR7 中。操作步骤如下：

1. 配置 VS_CON 寄存器 VS_EN=1，ADCR 寄存器 ADEN=1，以及其他配置。
2. 软件配置 ADCR 的 ADST 位为 1，在使能的通道最小序号通道上 A/D 转换开始。
3. 在指定通道的 A/D 转换过程中，结果按序存入 ADDR0~ADDR7 寄存器，可以从 A/D 数据寄存器 0~7 读到。
4. 当转换完成，ADSR 的 ADF 位置 1。如果此时 ADIE 位等于 1，就会发生 ADC 中断。
5. 当 A/D 转换 8 次后，ADST 自动清零，A/D 转换器直接进入空闲状态。当 AD 转换未完成时 ADST 位清零，ADC 未完成当前转换，对应的 valid 标志为 0，A/D 转换器直接进入空闲状态，可通过读取 valid 标志判断 ADDR0~ADDR7 寄存器中的值是否有效。例如：转换第 5 次时 ADST 位被软件清零，则 ADDR0-ADDR3 寄存器数据有效，valid 有效标志为 1；ADDR4-ADDR7 寄存器数据无效，valid 有效标志为 0。

注 1：在突发模式下，如果软件使能多个通道，则序号最小的通道将被转换，其他通道忽略。

3.1.11. 转换时间

不同工作模式下，AFE 的转换时间存在差异。转换时间段定义及各模式计算公式如下：

表 2 转换时间段定义

时间段	说明	时间消耗
t1	通道建立阶段	10/15/20/40us 可配
t2	采样阶段	$2^{(3+n)} * Tsar_clk$ 可配，n=0-7
t3	量化阶段	16*Tsar_clk

单次转换： $T = t1 + t2 + t3$

单周期转换： $T = C * (t1 + t2 + t3)$

有限周期转换： $T = C * (t1 + M * (t2 + t3))$

突发模式： $T = t1 + 8 * (t2 + t3)$

注：C 为使能量化通道数，M 为有限周期模式下单通道转换次数

通道建立 20us，采样时间 $32 \times \text{Tsar_clk}$ 典型配置下，转换时间速查表如下：

表 3 转换时间速查表

转换模式	转换通道数	单通道转换次数	去掉最值	通道建立时间(us)	采样时间配置(Tsar_clk)	转换时间(us)
单次转换	1	—	—	20	33	24.00
单周期转换	1	—	—	20	33	24.00
单周期转换	2	—	—	20	33	48.00
单周期转换	5	—	—	20	33	120.42
单周期转换	10	—	—	20	33	240.00
有限周期转换	1	8	—	20	33	52.00
有限周期转换	2	8	—	20	33	105.33
有限周期转换	5	8	—	20	33	256.66
有限周期转换	10	8	—	20	33	519.99
有限周期转换	1	8	√	20	33	60.00
有限周期转换	2	8	√	20	33	120.00
有限周期转换	5	8	√	20	33	299.99
有限周期转换	10	8	√	20	33	519.99
突发模式	1	8	—	20	33	52.00

部分应用中，对采样精度要求不高时，可配置降低通道建立时间和采样配置时间。通道建立 10/15/20/40us 可配，采样时间 $2^{(3+n)} \times \text{Tsar_clk}$ 可配， $n=0-7$ ，Tsar_clk 为 ADC 工作时钟周期，时钟为 12MHz。

3.2. 电源管理

3.2.1. 系统工作模式

为满足不同应用对时钟和功耗的要求，CDS8712 提供 4 种工作模式，包括正常工作模式、Sleep 模式，Deep-Sleep1 模式，Deep-Sleep2 模式。

表 4 工作模式说明

模式	进入	唤醒	时钟影响	电压影响	唤醒延时
Normal 模式	上电默认进入； 从其他模式唤醒后进入	-	CPU 时钟开启	LDO_CAP 正常模式	-
Sleep 模式	(LPMODE=00) +WFI/WFE 指令	任一中断	CPU 时钟关闭，对其它时钟及模拟时钟无影响	LDO_CAP 正常模式	内核固有延时
DeepSleep1 模式	(LPMODE=01) +WFI/WFE 指令	I/O、I2C、 AFE、 TIM1 中断	HIRC_ADC_EN=0: HIRC 24M 振荡器关闭； HIRC_ADC_EN=1: HIRC 24M 振荡器开启； HIRC 24M 输出关闭； HIRC 12M 输出	LDO_CAP 正常模式	FLASH 恢复时间+ 内核固有延时
DeepSleep2 模式	1、普通模式进入深度睡眠 2 2、DeepSleep1 模式下，ADC 转换完成进入深度睡眠 2	I/O、I2C、 TIM1 中断	HIRC 24M 振荡器关闭	LDO_CAP 低功耗模式	HSI 24MHz 起振稳定延时+ FLASH 恢复时间+ 内核固有延时

3.2.2. 系统功耗信息

表 5 系统功耗信息

模式	模式功耗说明	典型功耗	单位
Normal	VDD=3.3V, SYSCLK=24M, Flash 运行模式，数字外设关闭	4	mA
	VDD=3.3V, SYSCLK=24M, SRAM 运行模式，数字外设关闭	3	mA
SLEEP	VDD=3.3V, 内核时钟关闭，数字外设关闭	930	uA
DEEPSLEEP1	VDD=3.3V, 外设关闭，ADC 时钟开启	320	uA
	VDD=3.3V, 外设关闭，ADC 时钟关闭	32	uA
DEEPSLEEP2	VDD=3.3V, 外设关闭，IWDTS 开启	4	uA

以上功耗不含 AFE 功耗。当 AFE 开启时，以上功耗需叠加 AFE 工作模块的功耗。AFE 各模块功耗信息见下一章节描述。

3.2.3. AFE 功耗信息

表 6 AFE 功耗信息

模块	功耗说明	典型功耗	单位
PGA	PGA 使能工作功耗	1200	uA
SAR ADC (ANA)	SAR ADC 模拟部分工作功耗	500	uA
SAR ADC (DIG)	SAR ADC 数字部分工作功耗	300	uA
VS	VS 使能工作功耗	100	uA
TempSensor	TempSensor 使能工作功耗	100	uA

3.3. 通用异步收发器

通用同步异步收发器（UART）提供了一个可以使 MCU 与外部设备通过工业标准 NRZ 实现全双工异步串行数据通信的灵活方式，支持单线半双工通信。UART 使用一个可编程波特率发生器，提供了超宽的波特率设置范围，最高可达 3Mbit/s。

3.3.1. 功能描述

UART 双向通讯要求最少有两个引脚：接收数据输入（RX）和发送数据输出（TX）。

RX：串行数据的输入口，使用过采样计数来完成数据恢复，以区别输入数据和噪声。

TX：当发送器被禁止，输出脚回到 I/O 口配置状态。当发送器被使能，但不发送数据时，TX 脚为高电平输出。在单线半双工模式中，这个口线既用于发送数据也用于接收数据。

正常模式下，通过这些引脚发送和接收连续的数据，数据帧包括：

- 发送和接收前的空闲帧（全 1）
- 起始位
- 低位优先的数据字符（7/8/9 bits）
- 1、2 个停止位表示帧结束

3.3.2. UART 符号描述

每个 UART 数据帧由开始位、数据位和停止位组成。UART 数据帧包括三种帧类型：一般数据帧、空闲帧和断开帧。

一般数据帧：默认情况下，以低电平（开始位）开始，中间包括若干 bit 的数据（数据位），最后以高电平（停止位）结束。发送和接收的数据可以分别通过 TXINV 和 RXINV 改变极性。

空闲帧：空闲帧被当做完全由“1”组成的完整数据帧。

断开帧：断开帧被视为完全由“0”组成的一帧数据，包括原有的停止位也为“0”。发送器在发送完一个断开帧之后，会紧接着发送 2bit 的停止位。（注：当接收器接收到断开帧时，按照错误帧的方式处理）

发送和接收由一个公用的波特率发生器驱动，当发生器和接收器的使能位分别置 1 时，分别为其产生时钟。

3.3.3. 发送器

发送器可以发送 8bit 或 9bit 字长的数据。发送使能位 TE 必须置 1 以打开发送功能。发送移位寄存器的数据在 TX 脚上输出，相应的时钟脉冲在 CK 脚上输出。

发送期间，首先移出数据的最低有效位（默认配置），UART_TDR 寄存器充当内部总线和发送移位

寄存器之间的缓冲器。

每个字符之前都有一个低电平的起始位、之后跟着停止位，停止位的数目可选择。

UART 支持多种停止位的选择：1、2 个停止位，通过 UART_CR2 寄存器的 STOP[1:0]位设置。

1 个停止位：停止位的默认值；

2 个停止位：可用于常规模式，单线模式；

TE 位被置 1 后，会发送一个空闲帧，空闲帧包括了停止位。

断开帧是 10 bit 的低电平（字长为 8），或 11 bit 的低电平（字长为 9），后跟 2 个停止位。无法传输更大长度的断开帧。

发送流程为：

- (1) 设置 UART_CR1 寄存器的 M[1:0]位确定字长；
- (2) 通过 UART_BRR 寄存器选择期望的波特率；
- (3) 在 UART_CR2 中配置停止位个数；
- (4) 写 UART_CR1 寄存器的 UE=1，使能 UART；
- (5) 设置 UART_CR1 的 TE 位为 1，发送一个空闲帧作为第一次传输；
- (6) 写要发送的数据到 UART_TDR 寄存器（此动作将清除 TXE 位）。在只有一个缓冲器的情况下，对每个待发送的数据重复步骤 7；
- (7) 在 UART_TDR 寄存器中写入最后一个数据字后，要等待 TC=1，它表示最后一个数据帧的传输结束。当需要关闭 UART 前，需要确认传输结束，避免破坏最后一次传输。

3.3.4. 接收器

默认情况下，UART 接收数据时低位优先。RDR 寄存器充当内部总线和接收移位寄存器的中间缓存。

接收流程：

- (1) 配置 M[1:0]确定数据接收的字长；
- (2) 配置 UART_BRR 选择期望的波特率；
- (3) 配置停止位个数；
- (4) 写 UE=1，使能 UART；
- (5) 置位 UART_CR1 寄存器的 RE 位，接收器开始侦测起始位。

当接收到一个字符时：

- (1) RXNE 位被置位表明移位寄存器中的数据已经转移到 RDR 寄存器中，接收成功且接收到的数据可以被读出。（包括与之相关的错误标志）
- (2) 如果 RXNEIE=1，产生中断请求；
- (3) 接收中检测到帧错误、噪声或溢出错误，会置位相应的错误标志。PE 标志也会和 RXNE 一起被置起。
- (4) 在多缓存模式中，每接收一个字符，RXNE 都会被置位，在 DMA 读取接收寄存器时清除。
- (5) 在单缓存模式中，软件读取 RDR 寄存器会清除 RXNE 标志位。同时 RXNE 也可以通过写 RXFRQ 来清除。RXNE 位必须在下一数据接收结束前被清除以避免溢出错误。

3.3.4.1. 溢出错误

如果 RXNE 还未被复位，又接收到一个新的数据，则会产生溢出错误。除非 RXNE 位被清除，否则无法从移位寄存器转移到 RDR 寄存器。

每接收到一个字节，RXNE 都会被置 1。

3.3.4.2. 选择时钟源和适当的过采样方法

时钟源的选择在 RCC 模块中完成，必须在使能 UART 之前选择时钟源。

时钟源选择依据两个标准：

- 使用 UART 低功耗模式的可能性
- 通讯速率

通讯速度范围（特别是最大通讯速度），是由所选的时钟源来决定的。接收器根据用户设定的过采样率来执行数据恢复，从而将接收数据和噪声区分开来。这就需要在最大通讯速率和噪声/时钟抗扰间做取舍。

过采样方式可以通过配置 OVER8 位来选择 16 倍或 8 倍波特率时钟。

UART_CR3 寄存器的 ONEBIT 位用来选择判断逻辑电平的方法。有两种选择：

- 数据位中间三次采样多数投票的方法：当三次采样的不全相等时，NF 位被拉高。
- 数据位中间单次采样：

根据应用：

- 在噪声干扰环境下，应采用三次采样多次票决的方式，可以排除有噪声的数据，因为这说明在采样数据时有噪声干扰。
- 在无噪声环境下，选择单次采样的方式，可以增加接收器对时钟偏差的容忍度。这种情况下，NF 永远不会被置 1。

NF 位通过软件写 NFCF 位清除。

表 7 采样数据的噪声检测

采样值	NF 状态	接收值
000	0	0
001	1	0
010	1	0
011	1	1
100	1	0
101	1	1
110	1	1
111	0	1

3.3.4.3. 帧错误

由于没有同步或大量噪声的，停止位没有在预期的时间被接收和识别到，则会发生帧错误。

当帧错误发生时：

- 硬件置位 FE 位；
- 无效数据从移位寄存器转移到 UART_RDR 寄存器中。
- 单字节通讯时不会产生中断。然而与这一位同时置位的 RXNE 会产生中断。在多缓冲通讯模式中，只要 EIE 有效就会产生中断。

3.3.5. 奇偶校验控制

通过 PCE 位来控制是否打开校验功能。表格中给出了低位优先情形下，有校验位和无校验位情况下的帧格式。

M[1:0]	PCE	UART 帧
00	0	start 8-bit data stop
00	1	start 7-bit data parity stop
01	0	start 9-bit data stop
01	1	start 8-bit data parity stop

软件写 PS=0，选择偶校验；

软件写 PS=1，选择奇校验；

接收数据时，当 PEIE=1 且产生校验错误（PE 置位）时，会产生中断请求。

发送数据时，当打开了奇偶校验功能，校验位会替代原先数据的最高位。

3.3.6. 单线半双工通讯

- 单线半双工通讯模式通过设置 UART_CR3 寄存器的 HDSEL 位选择。

UART 可以配置成遵从单线半双工协议。在单线半双工模式下，TX 和 RX 引脚在芯片内部是连在一起的。

当 HDSEL=1 时：

- TX 和 RX 引脚在芯片内部是连在一起的
- RX 不再被使用
- 当没有数据传输时，TX 总是被释放。因此它在空闲状态或接收状态时表现为一个标准 I/O 口。这就意味着该 I/O 在不被 UART 驱动时，必须配置成带有外部上拉的开漏模式。

除此之外，通信与正常 UART 模式类似。由软件来管理线上的冲突（比如通过使用一个中央仲裁器）。特别是，发送从来不会被硬件所阻碍。当 TE=1 时，只要数据一写到数据寄存器上，发送就会被开始。

3.4. I2C 接口

I2C 为双向串行总线，为设备之间的数据通讯提供了简单有效的方法。I2C 是多主机总线，包括冲突检测和仲裁机制以防止在两个或多个主机试图同时控制总线时发生数据冲突。

主要包括以下特性：

- 与 I2C 总线规范 rev03 版本兼容
- 支持主机和从机模式
- 主机和从机之间双向数据传输
- 多主机总线（无中心主机）
- 多主机同时发送数据仲裁，总线上串行数据不会被损坏
- 支持 7 位寻址模式
- 支持标准模式（速率高达 100KHz）
- 支持快速模式（速率高达 400KHz）
- 可编程的时钟适用不同速率控制
- 支持地址匹配事件从 DeepSleep1/2 唤醒

I2C 由一个独立的时钟源驱动，它允许 I2C 相对于 PCLK 频率独立运作，这个独立的时钟源是 HIRC 高速内部振荡器时钟的 3 分频，即 8MHz。

3.4.1. 模式选择

接口可以工作在以下四个模式之一：

- 从机发送
- 从机接收

- 主机发送
- 主机接收

默认情况下，它在从机模式下运行。接口在产生开始信号后自动地从从模式切换到主模式；当仲裁丢失或产生停止信号时，则从主模式切换到从模式。允许多主机功能。

3.4.1.1. 通信流程

在主控模式下，I2C 接口启动数据传输，并产生时钟信号。串行数据传输总是以起始条件开始并以停止条件结束。起始条件和停止条件都是在主模式下由软件控制产生。

从模式时，I2C 接口能识别它自己的地址和广播呼叫地址。软件能够使能或禁止广播呼叫地址检测。数据和地址按字节(8bit)进行传输，高位在前。跟在起始条件后的 1 字节是地址。地址只在主模式发送。

在一个字节传输的 8 个时钟后的第 9 个时钟期间，接收端必须回送一个应答位 (ACK)给发送端。

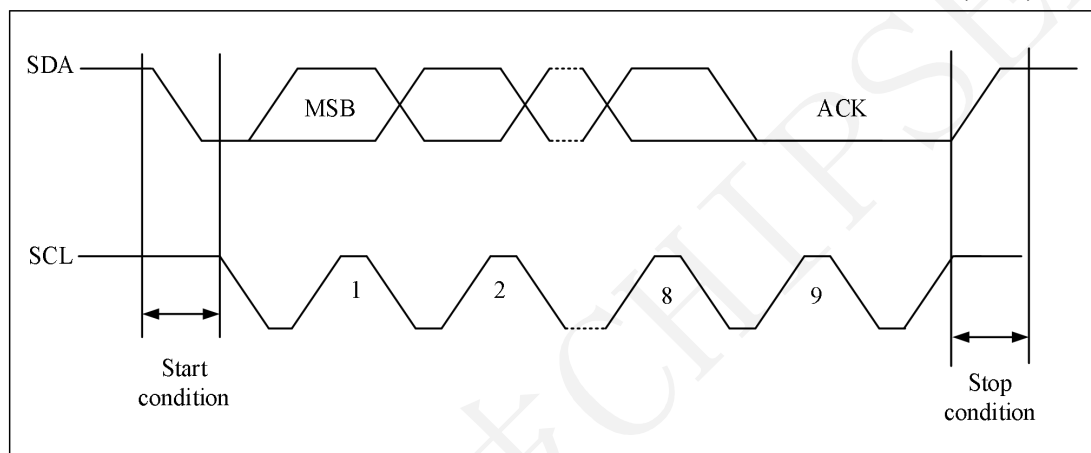


图 7 I2C 总线协议

软件可以开启或禁止应答 (ACK)，并可以设置 I2C 接口的地址。

3.4.1.2. 噪声滤波器

在通过设置 I2C_CR1 寄存器中的 PE 位来启用 I2C 外设之前，用户必须根据需要配置噪声滤波器。默认情况下，模拟噪声滤波器存在于 SDA 和 SCL 输入上。该模拟滤波器符合 I2C 规范，要求在快速模式下抑制脉冲宽度高达 50 ns 的脉冲。用户可以通过设置 ANFOFF 位来禁用这个模拟滤波器，和/或通过配置 I2C_CR1 寄存器中的 DNF[3:0]位来选择数字滤波器。

当数字滤波器启用时，SCL 或 SDA 的电平持续时间只有超过 $DNF \times I2C_CLK$ 周期才会被认为是有效电平。尖峰脉冲抑制时间为可配置的 1 至 15 个 I2C_CLK 周期。

表 8 模拟滤波器与数字滤波器的比较

	模拟滤波器	数字滤波器
尖峰脉冲抑制宽度	$\geq 50\text{ ns}$	可编程长度从 1 到 15 I2C_CLK
优点	在深度睡眠模式可用	–可编程长度：额外过滤能力与标准要求 –稳定长度
缺点	变化与温度、电压、过程	启用数字滤波器时，地址匹配从深度睡眠模式唤醒不可用

注意：启用 I2C 工作后不允许更改滤波器配置。

3.4.1.3. I2C 时序

在主从模式中必须配置时序，以保证正确的数据保持和建立时间。这通过配置 I2C_TIMINGR 寄存器中的 PRESC[3:0]，SCLDEL[3:0] 和 SDADEL[3:0] 位来实现。

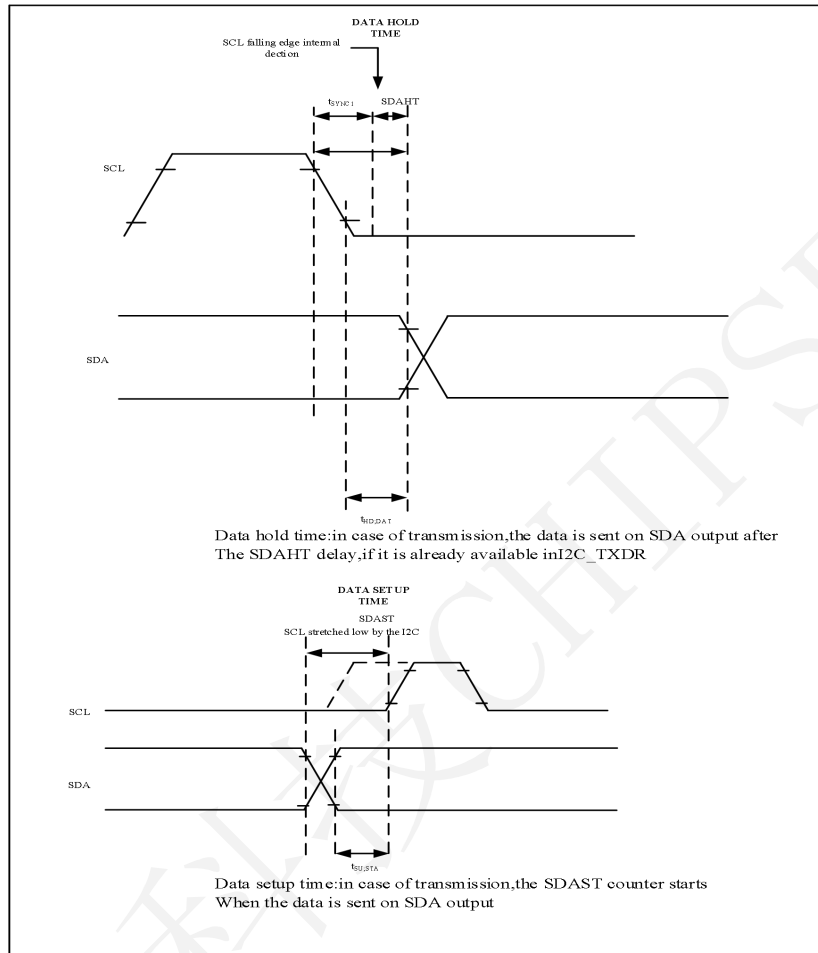


图8 建立和保持时间

当在内部检测到 SCL 下降沿时，在发送 SDA 输出之前插入延迟。延迟时间：

$$t_{SDADEL} = SDADEL * t_{PRESC}$$

其中， $t_{PRESC} = (PRESC + 1) * t_{I2CCLK}$ 。

T_{SDADEL} 影响保持时间 $t_{HD:DAT}$ 。

SDA 总输出延迟为：

$$t_{SYNCl} + \{ [SDADEL * (PRESC + 1) + 1] * t_{I2CCLK} \}$$

t_{SYNCl} 持续时间取决于这些参数：

- SCL 下降斜率
- 启用时，模拟滤波器带来的输入延迟： $t_{AF(min)} < t_{AF} < t_{AF(max)}$ ns。
- 启用后，数字滤波器带来的输入延迟： $t_{DNF} = DNF * t_{I2CCLK}$
- SCL 同步到 I2C_CLK 时钟导致的延迟 (2 到 3 I2CCLK 周期)

如果从机模式时 NOSTRETCH=1，SCL 不会被拉伸。因此 SDADEL 的配置值需要保证足够的建立时

间。

3.4.2. 软件复位

通过清除 I2C_CR1 寄存器中的 PE 位来执行软件重置。在这种情况下，SCL 和 SDA 线被释放。内部状态机复位，所有的通信控制位和状态位回到它们的复位值。而配置寄存器不会受到任何影响。

进行软件复位时，PE 必须保持至少 3 个 APB 时钟周期的低电平，通过下面的软件序列可以保证这点：写 PE=0 → 检测 PE=0 → 写 PE=1。

3.4.3. 数据传输

通过发送和接收数据寄存器和一个移位寄存器来管理数据传输。

3.4.3.1. 接收

SDA 输入填充移位寄存器。在第 8 个 SCL 脉冲后（当接收到完整的数据字节时），如果移位寄存器为空，则将其复制到 I2C_RXDR 寄存器（RXNE=0）中。如果 RXNE=1，意味着前一个接收到的数据字节尚未被读取，则 SCL 线将被拉低，直到 I2C_RXDR 被读取。在第 8 个和第 9 个 SCL 脉冲之间插入时钟延展（在 ACK 脉冲之前）。

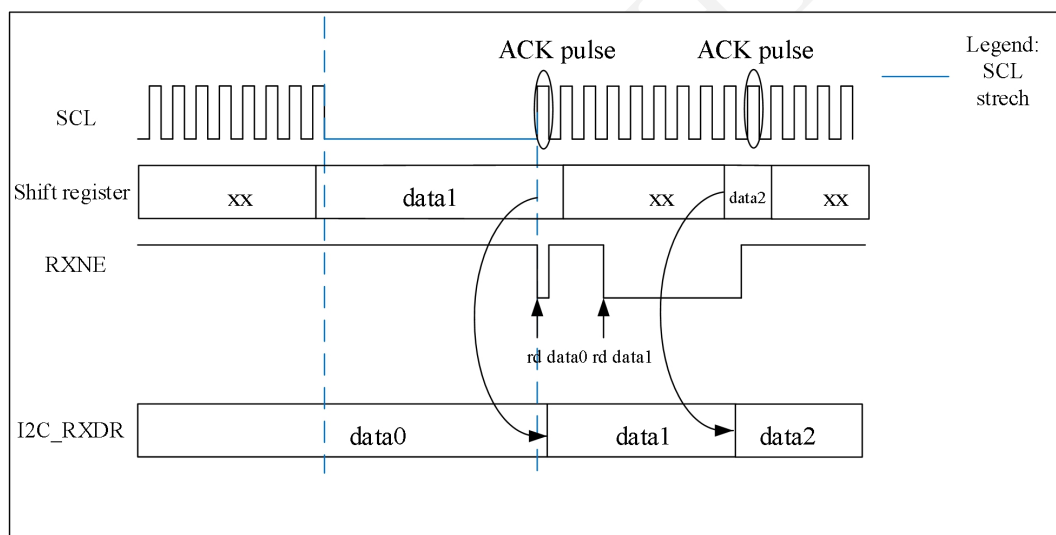


图 9 数据接收

3.4.3.2. 发送

如果 I2C_TXDR 寄存器不为空（TXE=0），其内容将在第 9 个 SCL 脉冲（ACK 脉冲）之后复制到移位寄存器。然后在 SDA 行上移出移位寄存器内容。如果 TXE=1，意味着在 I2C_TXDR 中还没有写入数据，则 SCL 线会一直拉低，直到 I2C_TXDR 被写入。第 9 次 SCL 脉冲后进行延长。

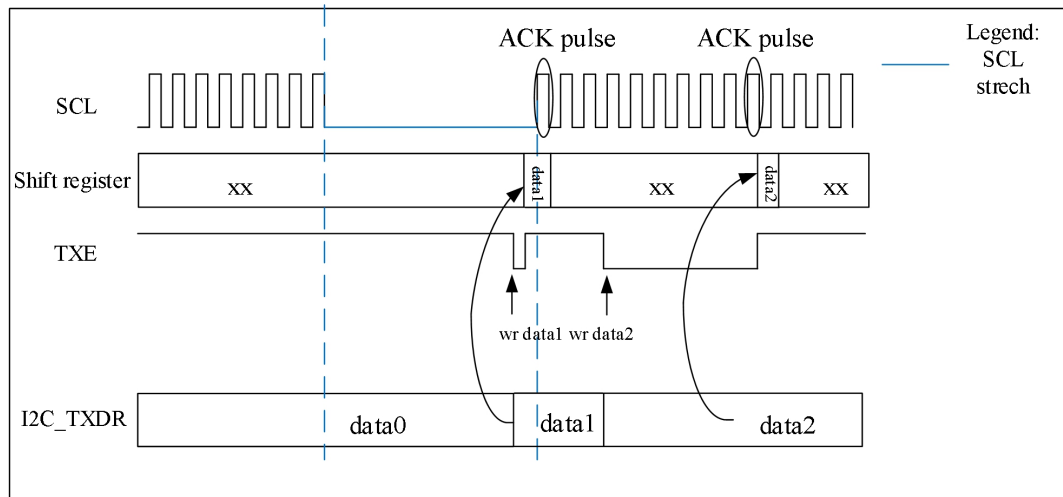


图 10 数据发送

3.4.3.3. 硬件传输管理

I2C 有一个内嵌的字节计数器，可以管理发送的字节数，以便在各种模式中关闭通信：

- NACK、STOP 和 ReSTART 在主模式下产生
- 从机接收模式下的 ACK 控制

字节计数器总是在主模式下使用。默认情况下，它在从模式下被禁用，但可以通过软件设置 I2C_CR1 寄存器中设置 SBC（从机字节控制）位来启用它。

要传输的字节数在 I2C_CR2 寄存器的 NBYTES[7:0] 位字段中编程。如果要传输的字节数（NBYTES）大于 255，或者如果接收器想要控制接收数据字节的确认值，则必须通过设置 I2C_CR2 寄存器中的 RELOAD 位来选择重新加载码。在这种模式下，当以 NBYTES 为单位编程的字节数被传输时，TCR 标志被置 1，如果 TCIE 被设置，则产生中断。只要设置了 TCR 标志，SCL 就会被延长。当 NBYTES 被写入非零值时，RELOAD 由软件清除。

主模式下 RELOAD=0 时，计数器可在 2 种模式下使用：

- 自动结束模式（在 I2C_CR2 寄存器中 AUTOEND=‘1’）。在这种模式下，一旦在 NBYTES[7:0] 位字段中编程的字节数被传输，主设备就会自动发送一个停止条件。
- 软件结束模式（在 I2C_CR2 寄存器中 AUTOEND=‘0’）。在这种模式下，一旦在 NBYTES[7:0] 位字段中编程的字节数被传输，软件动作就被期望；如果设置了 TCIE 位，则会设置 TCR 标志并生成中断。只要设置了 TCR 标志，SCL 信号就会被延长。当在 I2C_CR2 寄存器中设置开始或停止位时，软件将清除 TCR 标志。当主机要发送重新启动条件时，必须使用此模式。

注：RELOAD 置位时，AUTOEND 位不起作用。

3.4.4. I2C 从机模式

3.4.4.1. 从时钟拉伸

在默认模式下，I2C 从机在以下情况下延长 SCL 时钟：

- 当设置 ADDR 标志时：接收到的地址与启用的从机地址之一匹配。当通过软件设置 ADDRCONF 位清除 ADDR 标志时，释放此扩展。
- 在传输中，如果先前的数据传输完成，并且没有新的数据写入 I2C_TXDR 寄存器，或者如果在清除 ADDR 标志时没有写入第一个数据字节（TXE=1）。当数据写入 I2C_TXDR 寄存器时，释放此扩展。

- 在接收中，当 I2C_RXDR 寄存器尚未读取并且新的数据接收完成时。当读取 I2C_RXDR 时，释放此延长。
- 当 RELOAD=1 处于从字节控制模式时，重新加载模式（SBC=1 和 RELOAD=1），意味着最后一个数据字节已经传输。当 RELOAD 通过在 NBYTES[7:0] 字段中写入非零值而被清除时，将释放此延长。
- SCL 下降沿检测后，I2C 在延伸 SCK 至低 $[(SDADEL+SCLDEL+1) \times (PRESC+1) + 1] \times t_{I2C_CLK}$ 。

3.4.4.2. 从机不带时钟拉伸

当在 I2C_CR1 寄存器中 NOSTRETCH=1 时，I2C 从机不会延长 SCL 信号。

- 置位 ADDR 标志时，SCL 时钟未被延长。
- 在传输过程中，数据必须在与传输对应的第一个 SCL 脉冲发生之前写入 I2C_TXDR 寄存器。如果不是，则发生欠载运行，则在 I2C_ISR 寄存器中设置 OVR 标志，如果在 I2C_CR1 寄存器中设置 ERRIE 位，则生成中断。当第一次数据传输开始且 STOPF 位仍被设置（尚未清除）时，也会置位 OVR 标志。因此，如果用户仅在写入要在下一个传输中传输的第一个数据后才清除上一个传输的 STOPF 标志，那么他必须确保提供 OVR 状态，即使是要传输的第一个数据。
- 在接收中，必须在下一个数据字节的第 9 个 SCL 脉冲（ACK 脉冲）发生之前从 I2C_RXDR 寄存器读取数据。如果没有发生溢出，则在 I2C_ISR 寄存器中设置 OVR 标志，如果在 I2C_CR1 寄存器中设置 ERRIE 位，则生成中断。

3.5. PWM 输出

通用定时器控制器（TIM0）支持 PWM 输出。脉冲宽度调制模式可以产生一个由 TIMx_ARR 寄存器确定频率、由 TIMx_CCRx 寄存器确定占空比的信号。

在 PWM 模式下，始终比较 TIMx_CNT 和 TIMx_CCRx 以确定 $TIMx_CCRx \leq TIMx_CNT$ 。

下面是一个 PWM 的例子。当 $TIMx_CNT < TIMx_CCRx$ 时，参考信号 OCxREF 就为高电平，否则它变为低电平。如果 TIMx_CCRx 中的比较值大于自动重载值（在 TIMx_UVAL 中），则 OCxREF 保持为 1。如果比较值为 0，则 OCxREF 保持为 0。下图为 TIMx_ARR=8 时边沿对齐的 PWM 波形实例。

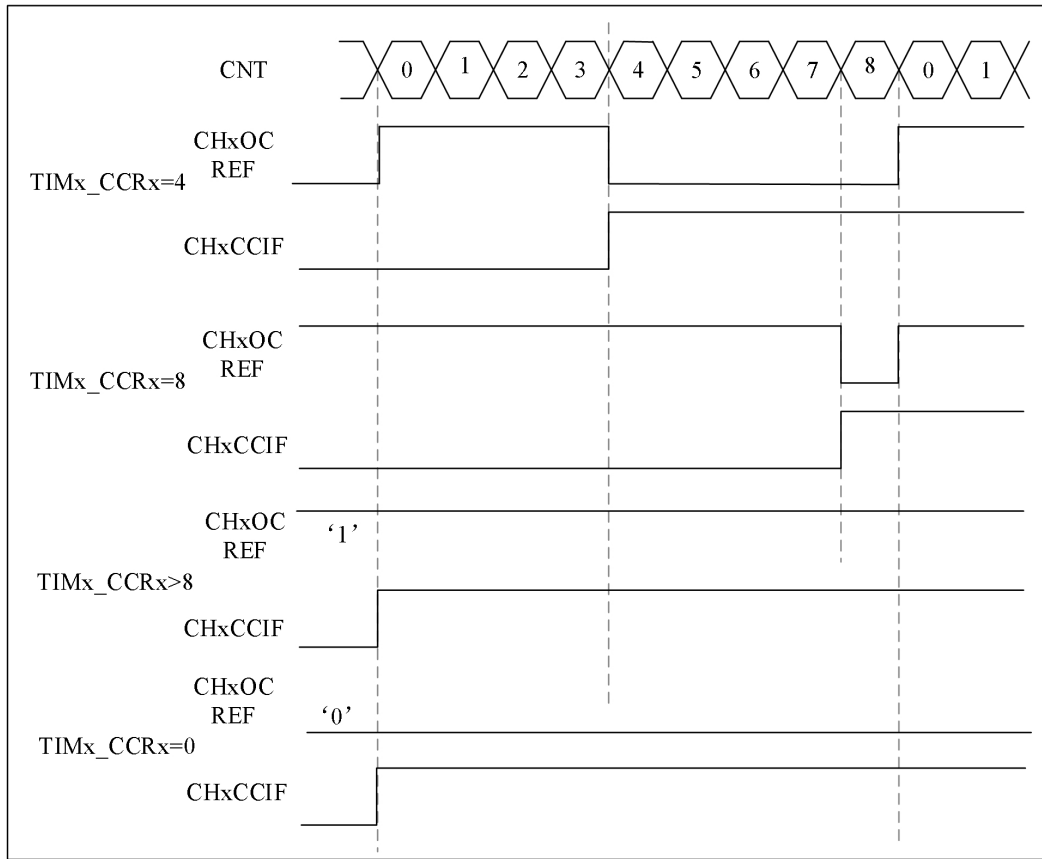


图 11 沿对齐 PWM 波形 (ARR=8)

4. 电气特性

4.1. 说明

4.1.1. 参数条件

若无其他特殊说明，所有电压均以 VDD 为基准。

若无其他特殊说明，电气特性数据由设计保证，批量数据经过特性分析保证，未经出厂测试。

4.1.2. 最大值和最小值

除非特殊说明，所有指标参数均通过出厂测试保证。对于出厂测试的指标，测试环境温度固定为 $T_A = 25\text{ }^{\circ}\text{C}$ 。

除非特殊说明，所有指标参数均进行特性分析（即多样本测试）。最小值和最大值是通过满足测试条件工作范围的样本测试后，取其平均值再加上或减去三倍的标准差（平均值 $\pm 3\sigma$ ）得到。

4.1.3. 典型值

除非特别说明，典型数据都基于 $T_A = 25\text{ }^{\circ}\text{C}$ ， $V_{DD} = 3.3\text{ V}$ 。它们未经测试，仅供设计参考。

典型的 ADC 精度值是通过对于一个标准扩散批次采样，在整个温度范围内执行特性分析确定的，其中 95% 的器件的误差小于或等于指定的值（平均值 $\pm 2\sigma$ ）。

4.2. 绝对值

如果加在器件上的电压、电流或温度超过下表定义极限值，则可能导致器件永久损坏。这些值表示的是额定应力，长时间工作在极限条件下，可能影响器件的可靠性。

表 9 电压、温度以及电流特性

符号	模块指标	测试条件	最小	典型	最大	单位
VDD	VDD 和 GND 之间的电压差	-	-0.3	-	6	V
VIN	引脚输入和 GND 之间的电压差	-	GND-0.3	-	VDD+0.3	V
T _A	环境工作温度	-	-40	-	105	°C
T _J	结温	-	-40	-	125	°C
T _{ST}	存储温度	-	-40	-	150	°C
I _{VDD}	VDD 最大流入电流	-	-	-	120	mA
I _{GND}	GND 最大流出电流	-	-	-	120	mA
I _{IO}	单一管脚最大灌电流	-	-	-	35	mA
	单一管脚最大流出电流	-	-	-	35	mA
	所有管脚最大灌电流总和	-	-	-	100	mA
	所有管脚最大输出电流总和	-	-	-	100	mA

4.3. 通用工作条件

工作环境特性定义器件通用工作条件。若无特殊说明，其他各特性均以下表定义的典型值作为测试条件。

表 10 通用工作条件特性

符号	模块指标	测试条件	最小	典型	最大	单位
----	------	------	----	----	----	----

VDD ₁	工作电压	-40 °C ~+105 °C, up to 24MHz	2	3.3	5.5	V
VDD ₂	AFE 工作	-40 °C ~+105 °C	2.4	3.3	5.5	V
T _A	环境工作温度	2V≤VDD≤5.5V	-40	25	105	°C
GND	地	-	-0.3	0	0.3	V

4.4. ESD 特性

表 11 ESD 特性

符号	描述	性能	单位
ESD-HBM	ESD 放电人体模型, 基于 JESD22-A114 温度=25±5°C 相对湿度: 55%±10%(RH)	±4000	V
ESD-MM	ESD 放电机器模型, 基于 JESD22-A115 温度 =25±5°C 相对湿度: 55%±10%(RH)	±400	V
ESD-CDM	ESD 器件放电模型, 基于 JESD22-C101 温度 =25±5°C 相对湿度: 55%±10%(RH)	±1000	V
LATCHUP	ESD 放电机器模型, 基于 JESD78 温度 =25±5°C 相对湿度: 55%±10%(RH)	±200	mA

4.5. IO 特性

除非测试条件或注释有特殊说明, 所有 IO 特性均在通用工作条件所列的全部条件下测试。

表 12 IO 特性

符号	模块指标	测试条件	最小	典型	最大	单位
I _{LK1}	PA 口输入漏电流	-	-	-	1	uA
I _{LK2}	PB 口输入漏电流	0<VIN<VDD 输入模式	-	-	1	uA
V _{IL1}	PA、I2C 输入低电平	与 1.2V、1.8V、VDD 通信档	-0.3	-	0.36	V
V _{IH1}	PA、I2C 输入高电平	与 1.8V 或 VDD 通信档	1.26	-	VDD+0.3	V
		与 1.2V 通信档	0.96	-	VDD+0.3	V
V _{IL2}	PB 输入低电平	与 VDD 通信档	-0.3	-	0.3*VDD	V
		与 1.2V、1.8V 通信档	-0.3	-	0.36	V
V _{IH2}	PB 输入高电平	与 VDD 通信档	0.7*VDD	-	VDD+0.3	V
		与 1.8V 通信档	1.26	-	VDD+0.3	V
		与 1.2V 通信档	0.96	-	VDD+0.3	V
V _{IL3}	RST 输入低电平	2V≤VDD≤5.5V	-0.3	-	0.36	V
V _{IH3}	RST 输入高电平	2V≤VDD≤5.5V	0.96	-	VDD+0.3	V
I _{SR}	PB 的灌电流	VDD=3.3V, Vo=2.97V	-5	-	-	mA
I _{SK}	PA/PB 的拉电流	VDD=3.3V, Vo=0.33V	4	-	-	mA

f_{OUT_MAX}	PB 口输出频率	$VDD=3.3V, CL=30pF, T_f/T_r \leq 15nS,$ $40\% \leq DutyCycle \leq 60\%$	—	—	10	MHz
f_{IN_MAX}	PA 和 PB 口输入频率	$VDD=3.3V$	—	—	10	MHz
$R_{pulldown}$	RST 下拉电阻	$VDD=3.3V$	35	50	65	K Ω

4.6. 时钟特性

4.6.1. HIRC24

除非测试条件或注释有特殊说明，所有 HIRC24 特性均在通用工作条件所列的全部条件下测试。

表 13 HIRC24 特性

符号	模块指标	测试条件	最小	典型	最大	单位
F_{HIRC24}	中心频率	$T_A=25^\circ C, VDD=3.3V$	—	24	—	MHz
TRIM	校准精度	$T_A=25^\circ C, VDD=3.3V$	-1	—	1	%
$DuCy^{(1)}$	占空比	$T_A=-40 \sim 105^\circ C, VDD=2 \sim 5.5V$	45	—	55	%
$ACC_{24M}^{(2)}$	频率温度特性	$T_A=-40 \sim 105^\circ C, VDD=2 \sim 5.5V$	-3	—	3	%
$T_{su}^{(1)}$	起振时间	$T_A=-40 \sim 105^\circ C, VDD=2 \sim 5.5V$	—	—	4	μs

4.6.2. LIRC2K

除非测试条件或注释有特殊说明，所有 LIRC2K 特性均在通用工作条件所列的全部条件下测试。

表 14 HIRC2K 特性

符号	模块指标	测试条件	最小	典型	最大	单位
F_{LIRC}	中心频率	$T_A=25^\circ C, VDD=3.3V$	—	2	—	KHz
TRIM	校准精度	$T_A=25^\circ C, VDD=3.3V$	-3	—	3	%
$DuCy^{(1)}$	占空比	$T_A=-40 \sim 105^\circ C, VDD=2 \sim 5.5V$	40	—	60	%
$ACC^{(1)}$	频率温度特性	$T_A=-40 \sim 105^\circ C, VDD=2 \sim 5.5V$	-10	—	10	%
$T_{su}^{(1)}$	起振时间	$T_A=-40 \sim 105^\circ C, VDD=2 \sim 5.5V$	—	—	2	ms

4.7. I2C 时序特性

I2C 时序特性见下图。

图 12 I2C 时序特性

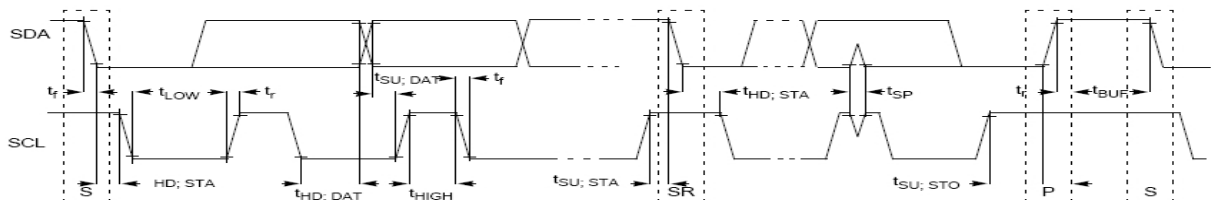


表 15 I2C 时序特性

符号	模块指标	测试条件	最小	典型	最大	单位
VDD	工作电压	标准模式	1.8	—	5.5	V

F_SCL	SCL 时钟频率	标准模式	0	–	100	KHz
THD;STA	START 条件的保持时间	标准模式	4	–	–	μs
TLOW	SCL 的低电平脉宽	标准模式	4.7	–	–	μs
THIGH	SCL 的高电平脉宽	标准模式	4	–	–	μs
TSU;STA	重复 START 信号的建立时间	标准模式	4.7	–	–	μs
THD;DAT	I2C 总线设备的数据保持时间	标准模式	0	–	3.45	μs
TSU;DAT	数据建立时间	标准模式	250	–	–	ns
Tr	SCL 和 SDA 信号的上升时间	标准模式	–	–	1000	ns
Tf	SCL 和 SDA 信号的下降时间	标准模式	–	–	300	ns
TSU;STO	STOP 条件的建立时间	标准模式	4	–	–	μs
TBUF	在 STOP 和 START 条件之间的总线空闲时间	标准模式	4.7	–	–	μs
VDD	工作电压	快速模式	1.8	–	5.5	V
F_SCL	SCL 时钟频率	快速模式	0	–	400	KHz
THD;STA	START 条件的保持时间	快速模式	0.6	–	–	μs
TLOW	SCL 的低电平脉宽	快速模式	1.3	–	–	μs
THIGH	SCL 的高电平脉宽	快速模式	0.6	–	–	μs
TSU;STA	重复 START 信号的建立时间	快速模式	0.6	–	–	μs
THD;DAT	I2C 总线设备的数据保持时间	快速模式	0	–	0.9	μs
TSU;DAT	数据建立时间	快速模式	100	–	–	ns
Tr	SCL 和 SDA 信号的上升时间	快速模式	20+0.1Cb	–	300	ns
Tf	SCL 和 SDA 信号的下降时间	快速模式	20+0.1Cb	–	300	ns
TSU;STO	STOP 条件的建立时间	快速模式	0.6	–	–	μs
TBUF	在 STOP 和 START 条件之间的总线空闲时间	快速模式	1.3	–	–	μs
TSP	可以被输入滤波滤掉的毛刺脉宽	–	0	–	50	ns
TPW	不能被输入滤波滤掉的毛刺脉宽	–	320	–	–	ns

1. 为 I2C 总线上拉电阻的电压，不一定要等于芯片电压，如芯片电源电压为 5V，I2C 总线上拉电阻电压可为 1.8V。
2. Cb 为一条总线上所有的电容值，单位为 pF。

4.8. 功耗特性

器件系统功耗受多个因素影响，其中包括工作电压、环境温度、I/O 负载、程序运行位置、工作频率以及外设工作模式等。

本节给出功耗数据，主要根据典型应用场景的参考代码进行测量。除非特殊说明，MCU 处于如下工作条件：

- 所有 I/O 均处于默认输入模式
- 除非特殊说明，所有外设处于禁止状态
- 如果外设时钟，其时钟配置为与系统时钟一致

下表给出的数据均在 $T_A=25^{\circ}\text{C}$ 的工作条件下测试给出。

表 16 系统功耗特性表

符号	模块指标	测试条件	最小	典型	最大	单位
I_{24M_Flash}	Flash 运行模式下的工作电流@SYSCLK= 24MHz,	VDD=3.3V, 所有数字模块使能		5.6		mA
I_{sleep_3}	Sleep 模式下待机电流	VDD=3.3V, 只关内核时钟;	800	930	1200	uA
$I_{deepsleep1_3}$	Deepsleep1 模式下待机电流	VDD=3.3V, 外设关闭, ADC 时钟开启	250	320	400	uA
		VDD=3.3V, 外设关闭, ADC 时钟关闭, TIM1/IWDG_S 开启	25	32	40	uA
$I_{deepsleep2_3}$	Deepsleep2 模式下待机电流	VDD=3.3V, 外设关闭, TIM1/IWDG_S 开启	3	4	5	uA

4.9. 复位特性

表 17 上电复位特性

符号	模块指标	测试条件	最小	典型	最大	单位
T_{supply_rise}	VDD supply rise rate	—	0	—	—	uS/V
T_{supply_fall}	VDD supply fall rate	—	20	—	—	uS/V
V_{POR}	Supply VDD power on reset threshold	—	1.84	1.92	2	V
V_{PDR}	Supply VDD power down reset threshold	—	1.8	1.88	1.96	V
T_{reset_VDD}	Reset temporization, VVDD-range \leq 5.5V	—	—	4.2	10	mS
	Reset temporization, VVDD-range \leq 3.6V	—	—	4.2	7.5	mS
T_{reset_core}	Reset in core dormant	—	5	10	39	mS
T_{reset_delay}	Minimum reset pulse width of RST	—	10	—	—	μ s
T_{reset_filter}	Filtering maximum reset pulse width of RST	—	—	—	0.2	μ s

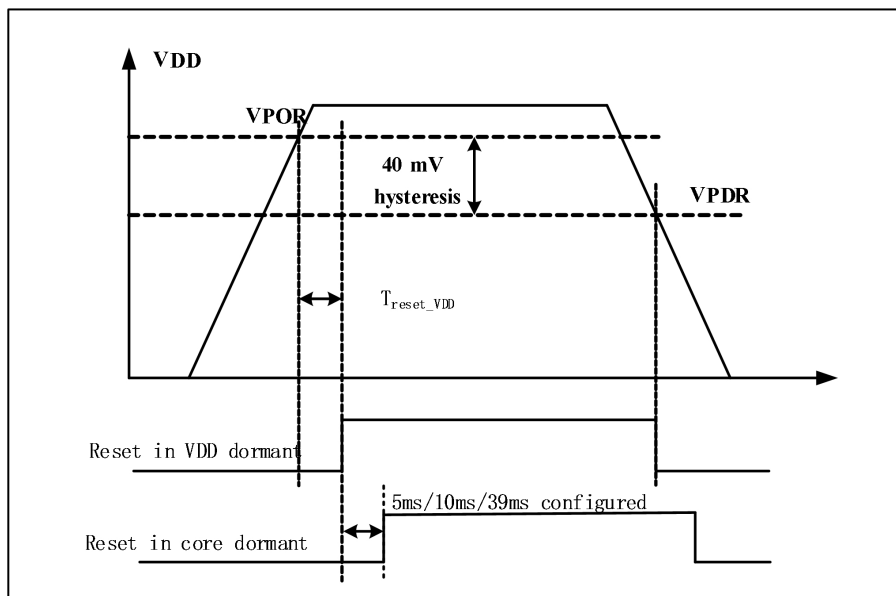


图 13 上电复位时序图

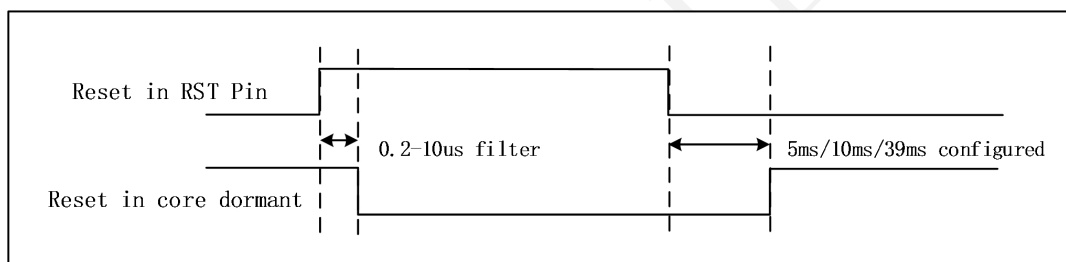


图 14 RST 复位时序图

上电复位和 RST 复位独立，无先后时序要求，任一复位产生时，芯片均处于复位状态。

4.10. 低功耗模式唤醒特性

各低功耗唤醒时间定义为事件产生到唤醒后第一条用户指令执行的延迟。各低功耗模式进入与唤醒触发条件详见 PMU 功能特性描述。

表 18 低功耗模式唤醒时序特性

符号	模块指标	测试条件	最小	典型	最大	单位
$T_{wk-sleep}$	sleep 模式唤醒时间	VDD=3.3V, 25°C	$5 * T_{SYSCLK}$			uS
$T_{wk-deepsleep1}$	deepsleep1 模式唤醒时间	VDD=3.3V, 25°C		18	20	uS
$T_{wk-deepsleep2}$	deepsleep2 模式唤醒时间	VDD=3.3V, 25°C		21	24	uS

4.11. AFE 特性

除非特别说明，则典型工作环境为：VDD=3.3V，T_A=25℃。

4.11.1.SAR ADC 特性

表 19 SAR ADC 特性

符号	模块指标	测试条件	最小	典型	最大	单位
V _{ref}	参考电压	—	2.0、2.2、2.6、2.8			V
V _{cmi}	共模输入电压	关闭前置 PGA，差分输入	0.25*Vref	—	0.75*Vref	V
V _{in}	输入信号电压范围	—	0	—	Vref	V
THD	总谐波失真	1kHz 信号	72	—	—	dB
R _{sensor}	外部传感器输出阻抗范围	关闭前置 PGA	—	5	40	kΩ
f _s	采样率	-40~105 °C	—	0.25	0.5 ⁽¹⁾	MS/s
f _{ADC}	ADC 时钟频率	—	—	12	—	MHz
t _{CAL}	校准时间	—	148			1/ fADC
DNL	微分非线性	-40~105 °C	-2.5	—	2.5	LSB
INL	积分非线性	-40~105 °C	-5	—	5	LSB
E ₀	偏移误差	-40~105 °C	-5	—	5	LSB
E _G	增益误差	-40~105 °C	-3.5	—	3.5	LSB
RAIN	外部输出阻抗 R 最大值	fADC=12MHz, Ts=8cycle	—	—	1.5	kΩ
	外部输出阻抗 R 最大值	fADC=12MHz, Ts=16cycle	—	—	3	kΩ
	外部输出阻抗 R 最大值	fADC=12MHz, Ts=32cycle	—	—	6	kΩ
	外部输出阻抗 R 最大值	fADC=12MHz, Ts=64cycle	—	—	12	kΩ
	外部输出阻抗 R 最大值	fADC=12MHz, Ts=128cycle	—	—	33	kΩ
	外部输出阻抗 R 最大值	fADC=12MHz, Ts=256cycle	—	—	77	kΩ
	外部输出阻抗 R 最大值	fADC=12MHz, Ts=512cycle	—	—	120	kΩ
	外部输出阻抗 R 最大值	fADC=12MHz, Ts=1024cycle	—	—	163	kΩ

1. 设计支持最快速率，精度会下降。

表 20 ADC 采样周期数配置表

使用场景	AFE 配置	Ts 配置
外部模拟输入测量 1	PGA 正常使用	32
外部模拟输入测量 2	PGA Bypass	自选
内部电容检测测量	PGA 正常使用	32
内部温度传感器测量	PGA Bypass	256
ADC 自校正	打开 VS，配置 CAL_EN=1 即可	-

4.11.2.VS 特性

除非特殊说明，所有指标均在通过工作条件下所列的全部条件下测试。

表 21 LDO 特性

符号	模块指标	测试条件	最小	典型	最大	单位
AV_{DD}	VS 工作电压	-	2.4	3.3	5.5	V
T_A	工作温度	-	-40	25	105	°C
V_{VS}	参考电压输出电压	VDD=3.3V, VS_VSEL[1:0]=00, TA=25°C, 空载	1.98	2	2.02	V
V_{VS}	参考电压输出电压	VD=3.3V, VS_VSEL[1:0]=01, TA=25°C, 空载	2.18	2.2	2.22	V
V_{VS}	参考电压输出电压	VDD=3.3V, VS_VSEL[1:0]=10, TA=25°C, 空载	2.58	2.6	2.62	V
V_{VS}	参考电压输出电压	VDD=3.3V, VS_VSEL[1:0]=11, TA=25°C, 空载	2.78	2.8	2.82	V
C_{VS}	VS_CAP 引脚稳压电容	RESR≤1 Ω	-	1	-	uF
I_{VS}	参考电压驱动能力	VDD=3.3V	15	-	-	mA

4.11.3.PGA 特性

该特性包括了 AFE 的输入通道选择模块的相关特性，即将 INPUTMUX 和 PGA 组合成一个 DUT 进行测试。

PGA 特性（典型工作环境：VDD=3.3V, T_A=25℃）

表 22 PGA 特性

符号	模块指标	测试条件	最小	典型	最大	单位
V _{cmi}	共模输入电压范围	PGA 开启	0.6	—	min (VDD-1.1, VS+0.3)	V
V _{diff}	差分输入电压范围	PGA 开启	(-VS+0.3)/GAIN	—	(VS-0.3)/GAIN	V
ISO _{ch-ch}	通道隔离度	共模电压为 VS/2	—	-120	—	dB
R _{IN}	输入阻抗	PGA 开启	—	1	—	GΩ
CMRR	共模抑制比	PGA 开启	—	-80	—	dB
PSRR	电源抑制比	PGA 开启	—	-40	—	dB
V _{os}	输入失调电压	PGA 开启	—	±5	—	mV
GAIN _{ERR}	增益误差	PGA 开启	—	±2	±8	% FS
	增益温漂	PGA 开启	—	±3	±60	ppm/°C

4.11.4. 温度传感器特性

表 23 温度传感器特性

符号	模块指标	测试条件	最小	典型	最大	单位
L _{temp}	线性度	VDD=3.3V, -40~105℃, VS=2.6V, 建立时间 40uS, TS=256*Tsar_clk	—	±1	±3.0	°C
S _{temp}	平均斜率	VDD=3.3V, -40~105℃, VS=2.6V, 建立时间 40uS, TS=256*Tsar_clk	4.52	4.54	4.69	mV/°C
V _{temp25}	25℃输出电压	VDD=3.3V, -40~105℃, VS=2.6V, 建立时间 40uS, TS=256*Tsar_clk	—	1.36	—	V
T _{start-temp}	启动时间	—	—	—	50	uS
T _{sample-temp}	读取温度时的 ADC 采样时间	—	20	—	—	uS
E _{RROR}	温度传感器检测精度	测试中 VS_CAP 到 VS0 开关断开	—	0.85	—	°C

注 1: V_{temp25} 为温度传感器输入到 ADC 正端电压, 负端固定接 $VS/2$, ADC 差分输入为 $V_{temp25} - VS/2$ 。

4.11.5. 电容检测特性

除非特别说明, 则典型工作环境为: $VDD=3.3V$, $T_A=25^{\circ}C$ 。

表 24 电容检测特性

符号	模块指标	测试条件	最小	典型	最大	单位
VDD	工作电压	$VDD > V_S + 0.4$	2.4	-	5.5	V
T_A	工作温度	-	-40	-	105	C
Scs	灵敏度	$C_{offset} = 75pF$, SNR=6	-	13.2	-	fF
C_{offset}	可支持负载电容	-	0	-	75	pF
	可支持负载电容	$VDD - V_S_CAP > 1.3$	0	-	100	pF
C_{icr}	电容检测范围	-	0	-	10	pF

5. 典型应用电路

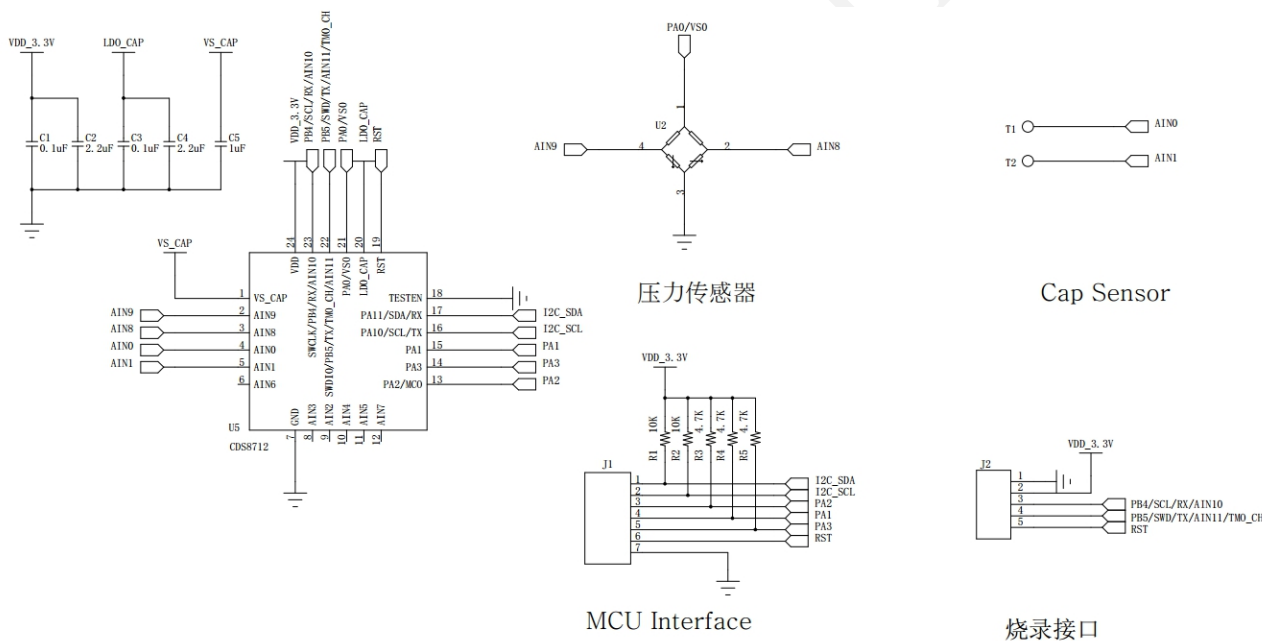


图 15 典型应用电路

6. 封装信息

6.1. QFN24

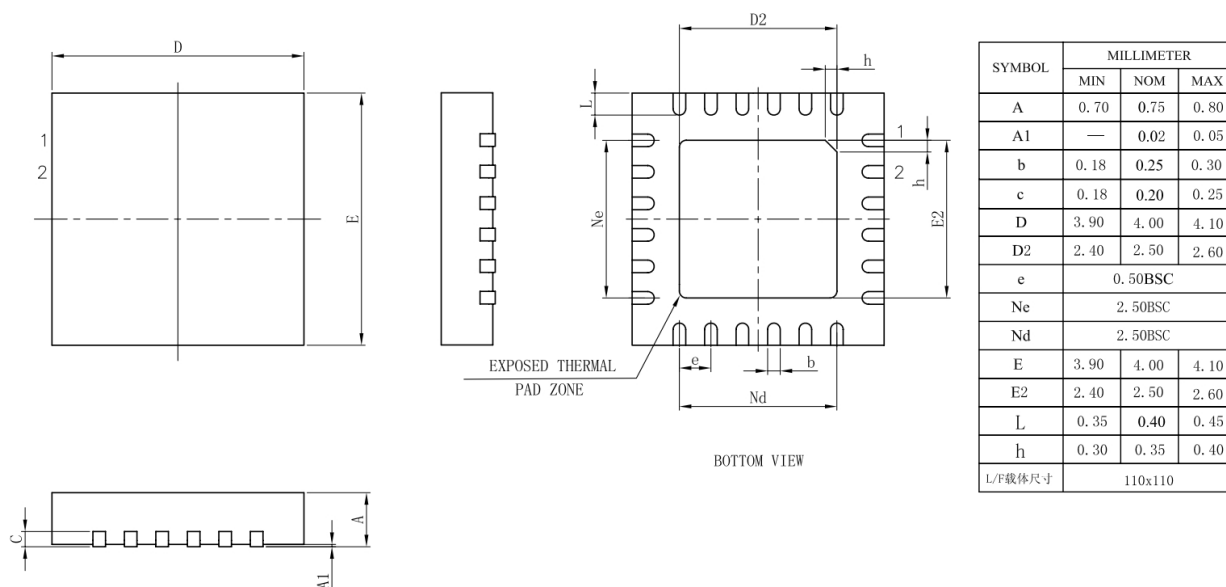


图 16 QFN24 封装框图

6.2. 导热特性

芯片结温可通过以下公式估算：

$$T_J = T_A + (P_{INT} + P_{IO}) * 50$$

其中：

T_J 为结温，可通过计算或内部温度传感器测量，单位 $^{\circ}\text{C}$

T_A 为环境温度，单位 $^{\circ}\text{C}$

P_{INT} 为芯片电源功耗， $P_{INT} = I_{DD} * V_{DD}$ ，单位 W

P_{IO} 表示输出 Pin 上消耗的功耗（N 为输出 Pin 总数）：

$$P_{IO} = N * 0.36V * 6mA$$

系数 50 为 QFN24 封装热阻系数，单位 $^{\circ}\text{C}/\text{W}$

举例：

T_A 环境温度为 50°C ， $V_{DD}=3.3V$ ， $I_{DD}=5mA$ ，4 个输出 Pin，则：

$$P_{INT} = V_{DD} * I_{DD} = 3.3V * 5mA = 16.5mW$$

$$P_{IO} = 4 * 0.36V * 6mA = 8.64mW$$

$$T_J = 50^{\circ}\text{C} + (0.0165W + 0.00864W) * 50^{\circ}\text{C}/\text{W} = 51.257^{\circ}\text{C}$$

注：

- 1、芯片结温可通过内置温度传感器测量；
- 2、不建议在超过环境工作温度下工作。如有必要，必须保证芯片结温在允许范围内。

7. 订货信息

表 25 订货信息

产品型号	湿敏等级	引脚数	存储空间	包装类型	封装类型	环境工作温度
CDS8712-QFN24	MSL3	24	64 KBytes	Tape & Reel	QFN24	-40°C~105°C

8. 勘误表

免责声明和版权公告

本文档中的信息，包括供参考的 URL 地址，如有变更，恕不另行通知。

本文档可能引用了第三方的信息，所有引用的信息均为“按现状”提供，芯海科技不对信息的准确性、真实性做任何保证。

芯海科技不对本文档的内容做任何保证，包括内容的适销性、是否适用于特定用途，也不提供任何其他芯海科技提案、规格书或样品在他处提到的任何保证。

芯海科技不对本文档是否侵犯第三方权利做任何保证，也不对使用本文档内信息导致的任何侵犯知识产权的行为负责。本文档在此未以禁止反言或其他方式授予任何知识产权许可，不管是明示许可还是暗示许可。

Wi-Fi 联盟成员标志归 Wi-Fi 联盟所有。蓝牙标志是 Bluetooth SIG 的注册商标。

文档中提到的所有商标名称、商标和注册商标均属其各自所有者的财产，特此声明。

版权归 © 2021 芯海科技（深圳）股份有限公司。保留所有权利。



芯海科技
CHIPSEA

股票代码:688595