

1. 特性

- 真双极性输入范围: $\pm 10\text{ V}$ 、 $\pm 5\text{ V}$
- 5V 单模拟电源, V_{DRIVE} 电源电压: 1.71 V 至 5 V
- 具有 $1\text{ M}\Omega$ 模拟输入阻抗的输入缓冲器
- 所有通道满足 16 位 500 KSPS 采样率
- 灵活的数字滤波器满足过采样应用
- 灵活的并行/串行通信接口
- 工作温度范围: -40°C 至 $+125^{\circ}\text{C}$
- 模拟输入端口满足 8 kV ESD 等级
- $\pm 25\text{ V}$ 输入箝位保护

2. 应用

- 电力线路监控
- 保护继电器
- 多相电机控制
- 仪器仪表和控制系统
- 数据采集系统

3. 概述

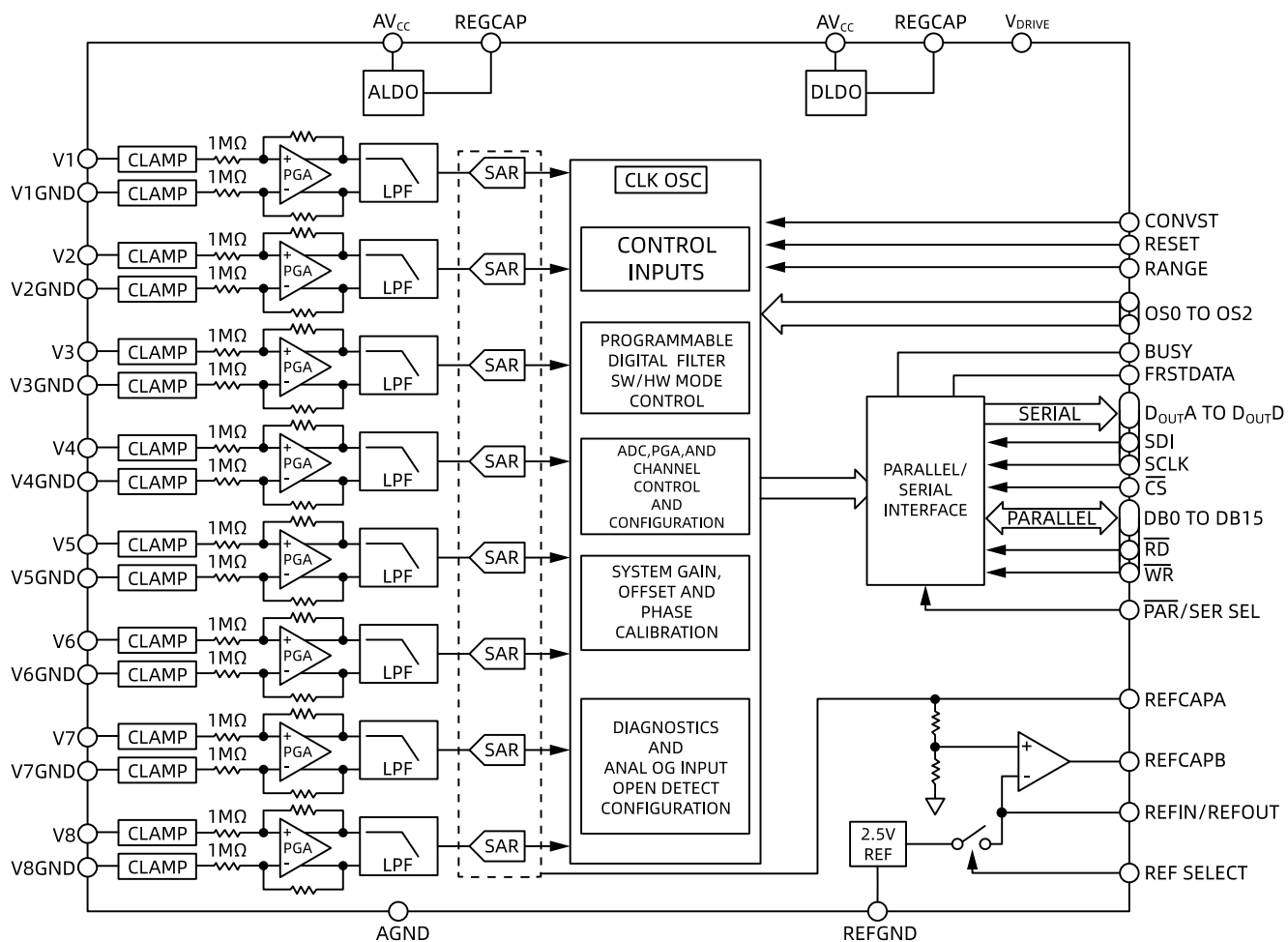
LHA6958D 是一款 16 位、同步采样、模数转换数据采集系统(DAS), 具有 8 个通道, 每个通道均内置模拟输入箝位保护、可编程增益放大器(PGA)、低通滤波器和 16 位逐次逼近寄存器(SAR)模数转换器(ADC)。LHA6958D 还内置了灵活的数字滤波器、低漂移 2.5 V 精密基准电压源和基准电压缓冲器(用于驱动 ADC) 以及灵活的并行和串行接口。

高可以 500 KSPS 的吞吐速率采样, 并支持 $\pm 10\text{ V}$ 和 $\pm 5\text{ V}$ 真双极性输入范围。输入箝位保护可承受高达 $\pm 25\text{ V}$ 的电压。LHA6958D 具有 $1\text{ M}\Omega$ 模拟输入阻抗。单电源操作、片内滤波和高输入阻抗使得应用时无需外部驱动运算放大器(需要双极性电源)。对于吞吐率较低的应用, LHA6958D 灵活的数字滤波器可用来改善噪声性能。

LHA6958D 与 AD7606 完全兼容。

请注意, 在整篇数据手册中, 多功能引脚(如 RD /SCLK 引脚)通过完整引脚名称或引脚的单个功能来引用; 例如 SCLK 引脚即表示仅与此功能相关。LHA6958D WR 引脚无任何功能。

4. 功能框图



目录

1. 特性	1
2. 应用	1
3. 概述	1
4. 功能框图	2
5. 版本历史	4
6. 技术规格	5
6.1. 时序规格	7
6.1.1. 通用时序规格	7
6.1.2. 并行模式时序规格	8
6.1.3. 串行模式时序规格	9
7. 绝对最大额定值	10
7.1. 热阻	10
8. 引脚配置和功能描述	11
9. 典型性能参数	13
10. 工作原理	15
10.1. 模拟前端	15
10.2. SAR ADC	17
11. 数字滤波器	21
12. 数字接口	21
12.1. 并行接口	22
12.2. 串行接口	23
13. 典型连接图	24
14. 应用信息	26
14.1. 布局布线指南	26
15. 外形尺寸	28
15.1. 订购指南	28

5. 版本历史

版本号	日期	更新内容
PreA	2023 年 2 月 3 日	初版
Rev.A	2023 年 12 月 25 日	正式版
Rev.B	2024 年 3 月 13 日	增加增益误差和零代码误差测试曲线
	2024 年 4 月 8 日	增加小包装规格
	2024 年 4 月 25 日	修改 V_{DRIVE} 电压范围描述
Rev.C	2024 年 7 月 25 日	增加模拟滤波器频率响应曲线, 更新技术规格表中相位延迟典型值
Rev.D	2024 年 11 月 6 日	更新技术规格表部分数据最大和最小值, 转换时间 t_{CONV} 最大和最小值, 过采样 SNR 和 3dB 带宽部分数据; 修改复位相关描述; 删除硬件模式相关描述。

6. 技术规格

除非另有说明, 基准电压(V_{REF}) = 2.5 V 内部参考, 模拟电源电压(AV_{CC}) = 4.75 V 至 5.25 V, 逻辑电源电压(V_{DRIVE}) = 1.71 V 至 5 V, 采样频率(f_{SAMPLE}) = 500 KSPS, 无过采样, T_A = -40°C 至 +125°C, 单端输入, 所有输入电压范围。

表1. 技术规格

参数	测试条件/注释	最小值	典型值	最大值	单位
动态性能	输入频率(f_{IN}) = 1 kHz 正弦波, 除非另有说明				
信噪比(SNR) ¹	无 OS, ± 10 V 范围	87	90		dB
	无 OS, ± 5 V 范围	86	89		dB
	OSR = 16 $\times$, ± 10 V 范围, f_{IN} = 146 Hz		93.5		dB
	OSR = 16 $\times$, ± 5 V 范围, f_{IN} = 146 Hz		92.5		dB
总谐波失真(THD)			-102	-94	dB
信纳比	无 OS, ± 10 V 范围	86.5	90		dB
	无 OS, ± 5 V 范围	85.5	89		dB
无杂散动态范围(SFDR)			-104		dB
通道间隔离	未选中通道的 f_{IN} 最高可达 20 kHz		-110		dB
模拟输入滤波器					
全功率带宽	-3 dB, ± 10 V 范围		25		kHz
	-3 dB, ± 5 V 范围		25		kHz
	-0.1 dB, ± 10 V 范围		3.9		kHz
	-0.1 dB, ± 5 V 范围		3.9		kHz
相位延迟	± 10 V 范围		6.9		μ s
	± 5 V 范围		6.7		μ s
直流精度					
分辨率	无失码	16			位
差分非线性(DNL)			± 0.6	± 0.99	LSB ²
积分非线性(INL)			± 1	± 2.5	LSB ²
总非调整误差(TUE)	± 10 V 范围		± 10		LSB
	± 5 V 范围		± 16		LSB
正负满量程(FS)误差 ³	外部基准电压源		± 10	± 50	LSB
	内部基准电压源		± 10		LSB
正负满量程(FS)误差漂移	外部基准电压源		± 4		ppm/°C
	内部基准电压源		± 5		ppm/°C
正负 FS 误差匹配	± 10 V 范围		10	50	LSB
	± 5 V 范围		12	60	LSB
双极性零代码误差	± 10 V 范围		± 1	± 6	LSB ²
	± 5 V 范围		± 3	± 12	LSB
双极性零代码误差漂移	± 10 V 范围		6		μ V/°C
	± 5 V 范围		4		μ V/°C
双极性零代码误差匹配	± 10 V 范围		1	12	LSB ²
	± 5 V 范围		6	24	LSB
模拟输入					
输入电压范围	$V_X - V_{XGND}$				
	± 10 V 范围	-10		+10	V
	± 5 V 范围	-5		+5	V
输入电压范围	$V_{XGND} - AGND$				
	± 10 V 范围	-0.7		+1.9	V
	± 5 V 范围	-0.1		+2.7	V
模拟输入电流	± 10 V 范围		8		μ A
输入电容(C) ⁴			5		pF
输入阻抗(R)			1.2		M Ω
基准电压输入/输出					

参数	测试条件/注释	最小值	典型值	最大值	单位
基准输入电压	REF SELECT = 0, 外部基准电压源	2.475	2.5	2.525	V
直流漏电流				±0.1	μA
输入电容 ⁴			7.5		pF
基准输出电压	REF SELECT = 1, 内部基准电压源, T _A = 25°C		2.5		V
基准源温度系数			±5	±10	ppm/°C
逻辑输入					
输入高电压(V _{INH})		0.7 × V _{DRIVE}			V
输入低电压(V _{INL})				0.3 × V _{DRIVE}	V
输入电流(I _{IN})				±2	μA
输入电容 ⁴			5		pF
逻辑输出					
输出高电压(V _{OH})	拉电流(I _{SOURCE}) = 100 μA	V _{DRIVE} - 0.2			V
输出低电压(V _{OL})	灌电流(I _{SINK}) = 100 μA			0.2	V
浮空态漏电流			±1		μA
输出电容 ⁴			5		pF
输出编码	二进制补码				N/A ⁵
转换速率					
转换时间			0.7		μs
采集时间			1.3		μs
吞吐速率	每通道			500	kSPS
电源要求					
AV _{CC}		4.75	5	5.25	V
V _{DRIVE}		1.71	3.3	5.25	V
AV _{CC} 电流(I _{AVCC})					
正常模式 (静态)			10		mA
正常模式 (工作状态)	f _{SAMPLE} = 500 kSPS		22		mA
待机			7.2		mA
关断模式			0.6		μA
V _{DRIVE} 电流(I _{DRIVE})					
正常模式 (静态)			30		μA
正常模式 (工作状态)	f _{SAMPLE} = 500 kSPS		1.7		mA
待机			0.16		μA
关断模式			0.1		μA
功耗					
正常模式 (静态)			50		mW
正常模式 (工作状态)	f _{SAMPLE} = 500 kSPS		116		mW
待机			36		mW
关断模式			3.5		μW

1. 无 OS 表示不应用过采样。
2. LSB 表示最低有效位。±5 V 输入范围时, 1 LSB = 152.58 μV。±10 V 输入范围时, 1 LSB = 305.175 μV。
3. 这些规格包括全温度范围变化以及内部基准电压源和基准电压缓冲器的贡献。
4. 未经过生产测试, 芯片设计保证符合标准要求。
5. N/A 表示不适用。

6.1. 时序规格

6.1.1. 通用时序规格

除非另有说明, $AV_{CC} = 4.75\text{ V}$ 至 5.25 V , $V_{DRIVE} = 1.71\text{ V}$ 至 5 V , $V_{REF} = 2.5\text{ V}$ 外部基准电压源和内部基准电压源, $T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$ 。使用 20 pF 负载电容测试接口时序, 具体取决于 V_{DRIVE} 和串行接口的负载电容。

表2. 通用时序规格

参数	最小值	典型值	最大值	单位	描述
t_{CYCLE}	2			μs	连续 CONVST 上升沿之间的最短时间 (不包括过采样模式) ¹
t_{LP_CNV}	80			ns	CONVST 低电平脉冲宽度
t_{HP_CNV}	80			ns	CONVST 高电平脉冲宽度
$t_{D_CNV_BSY}$					CONVST 高电平至 BUSY 高电平延迟时间
			20	ns	$V_{DRIVE} > 2.7\text{ V}$
			25	ns	$V_{DRIVE} < 2.7\text{ V}$
t_{S_BSY}	0			ns	从 BUSY 下降沿到 $\overline{RD}$ 下降沿建立时间 (并行接口) 或到 D_{OUTX} 线提供 MSB (串行接口) 的最短时间
t_{D_BSY}			25	ns	最后一个 $\overline{RD}$ 下降沿 (并行接口) 或最后一个 LSB 被输出 (串行接口) 到随后的 BUSY 下降沿的最长时间; 转换期间读取
t_{CONV}	0.6		0.8	μs	转换时间; 无过采样
	2.0		2.3	μs	2 倍过采样
	4.4		4.9	μs	4 倍过采样
	9.2		10.0	μs	8 倍过采样
	18.9		20.3	μs	16 倍过采样
	38.3		40.9	μs	32 倍过采样
	77.1		82.1	μs	64 倍过采样
t_{RESET}					
复位	3000			ns	完全 RESET 高电平脉冲宽度
t_{DEVICE_SETUP}				μs	RESET 下降沿和第一个 CONVST 上升沿之间的时间
复位	600			μs	
$t_{WAKE-UP}$					待机/关断模式后的唤醒时间
待机	1			μs	
关断	10			ms	
$t_{POWER-UP}$	10			ms	稳定 AV_{CC}/V_{DRIVE} 和 RESET 置位之间的时间

1、适用于串行模式 (选择所有四条 D_{OUTX} 线时)。

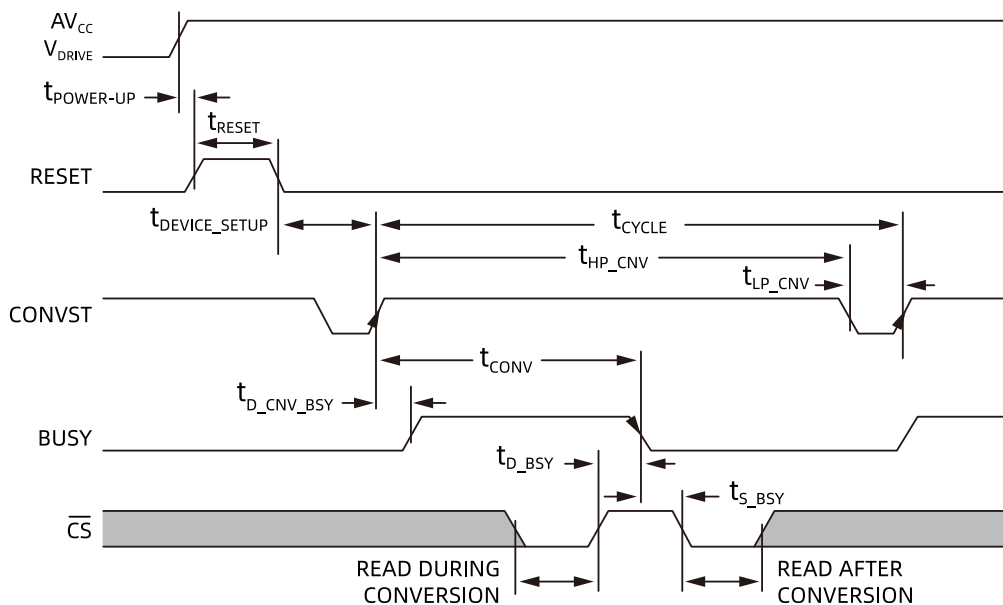
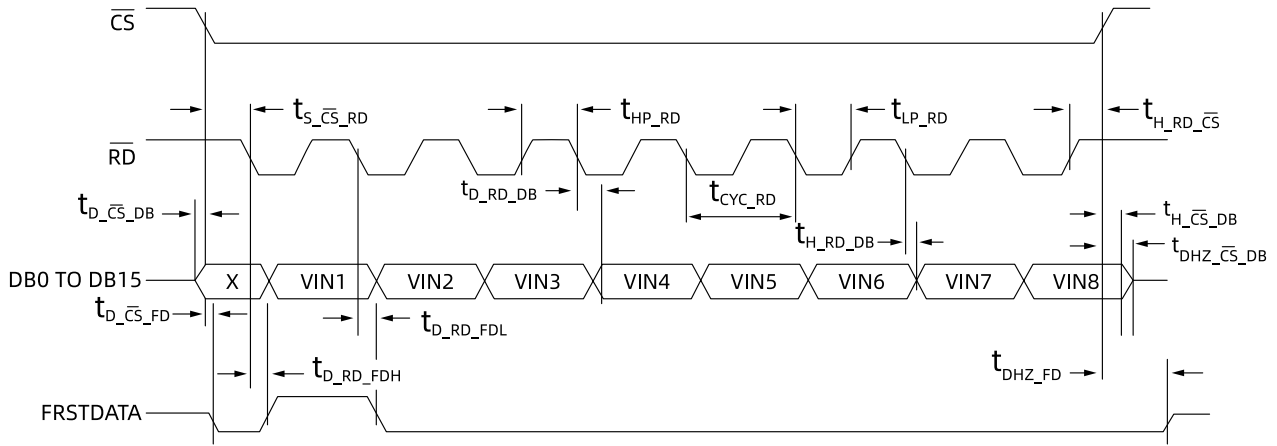
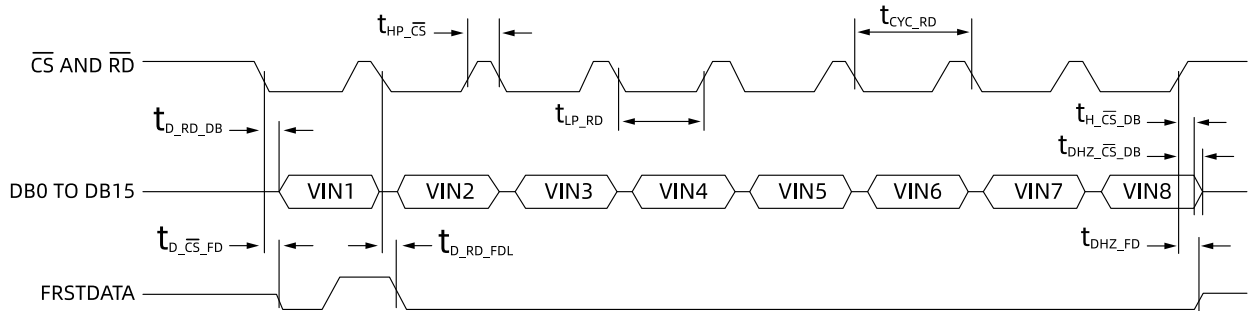


图1. 通用时序图

6.1.2. 并行模式时序规格

表3. 并行模式时序规格

参数	最小值	典型值	最大值	单位	描述
$t_{S,\overline{CS}_{RD}}$	0			ns	$\overline{CS}$ 下降沿到 $\overline{RD}$ 下降沿建立时间
$t_{H,RD,\overline{CS}}$	0			ns	$\overline{RD}$ 上升沿到 $\overline{CS}$ 上升沿保持时间
$t_{HP,RD}$	10			ns	$\overline{RD}$ 高电平脉冲宽度
$t_{LP,RD}$	10			ns	$\overline{RD}$ 低电平脉冲宽度
$t_{HP,\overline{CS}}$	10			ns	$\overline{CS}$ 高电平脉冲宽度
$t_{D,\overline{CS},DB}$			35	ns	从 $\overline{CS}$ 到 DBx 三态禁用的延迟时间
$t_{H,\overline{CS},DB}$	0			ns	$\overline{CS}$ 到 DBx 保持时间
$t_{D,RD,DB}$					$\overline{RD}$ 下降沿后的数据访问时间
			27	ns	$V_{DRIVE} > 2.7\text{ V}$
			37	ns	$V_{DRIVE} < 2.7\text{ V}$
$t_{H,RD,DB}$	12			ns	$\overline{RD}$ 下降沿后的数据保持时间
$t_{DHZ,\overline{CS},DB}$			40	ns	$\overline{CS}$ 上升到 DBx 高阻抗
$t_{CYC,RD}$					$\overline{RD}$ 下降沿到下一个 $\overline{RD}$ 下降沿
	30			ns	$V_{DRIVE} > 2.7\text{ V}$
	40			ns	$V_{DRIVE} < 2.7\text{ V}$
$t_{D,\overline{CS},FD}$			26	ns	从 $\overline{CS}$ 下降沿到 FRSTDATA 三态禁用的延迟时间
$t_{D,RD,FDH}$			30	ns	从 $\overline{RD}$ 下降沿到 FRSTDATA 高电平的延迟时间
$t_{D,RD,FDL}$			30	ns	从 $\overline{RD}$ 下降沿到 FRSTDATA 低电平的延迟时间
$t_{DHZ,FD}$			28	ns	从 $\overline{CS}$ 上升沿到 FRSTDATA 三态使能的延迟时间
$t_{S,\overline{CS},WR}$	0			ns	$\overline{CS}$ 到 $\overline{WR}$ 建立时间
$t_{HP,WR}$	213			ns	$\overline{WR}$ 高电平脉冲宽度
$t_{LP,WR}$					$\overline{WR}$ 低电平脉冲宽度
	88			ns	$V_{DRIVE} > 2.7\text{ V}$
	213			ns	$V_{DRIVE} < 2.7\text{ V}$
$t_{H,WR,\overline{CS}}$	0			ns	$\overline{WR}$ 保持时间
$t_{S,DB,WR}$	5			ns	配置数据到 $\overline{WR}$ 建立时间
$t_{H,WR,DB}$	5			ns	配置数据到 $\overline{WR}$ 保持时间
$t_{CYC,WR}$	230			ns	配置数据建立时间, $\overline{WR}$ 上升沿到下一个 $\overline{WR}$ 上升沿


 图2. 并行模式读取时序图，分离的 $\overline{CS}$ 和 $\overline{RD}$ 脉冲

 图3. 并行模式读取时序图，相连的 $\overline{CS}$ 和 $\overline{RD}$

6.1.3. 串行模式时序规格

表4. 串行模式时序规格

参数	最小值	典型值	最大值	单位	描述
f_{SCLK}					SCLK 频率; $f_{SCLK} = 1/t_{SCLK}$
			60	MHz	$V_{DRIVE} > 2.7\text{ V}$
			40	MHz	$V_{DRIVE} < 2.7\text{ V}$
t_{SCLK}	$1/f_{SCLK}$			μs	最短 SCLK 周期
$t_{S_CS_SCK}$	2			ns	$\overline{CS}$ 到 SCLK 下降沿建立时间
$t_{H_SCK_CS}$	2			ns	SCLK 到 $\overline{CS}$ 上升沿保持时间
t_{LP_SCK}	$0.4 \times t_{SCLK}$			ns	SCLK 低电平脉宽
t_{HP_SCK}	$0.4 \times t_{SCLK}$			ns	SCLK 高电平脉宽
$t_{D_CS_DO}$					从 $\overline{CS}$ 到 D_{OUTX} 三态禁用的延迟时间
			9	ns	$V_{DRIVE} > 2.7\text{ V}$
			18	ns	$V_{DRIVE} < 2.7\text{ V}$
$t_{D_SCK_DO}$					SCLK 上升沿后的数据输出访问时间
			15	ns	$V_{DRIVE} > 2.7\text{ V}$
			25	ns	$V_{DRIVE} < 2.7\text{ V}$
$t_{H_SCK_DO}$	8			ns	SCLK 上升沿后的数据输出保持时间
$t_{S_SDI_SCK}$	8			ns	SCLK 下降沿前的数据输入建立时间
$t_{H_SCK_SDI}$	0			ns	SCLK 下降沿后的数据输入保持时间
$t_{D_HZ_CS_DO}$					$\overline{CS}$ 上升沿到 D_{OUTX} 高阻抗
			7	ns	$V_{DRIVE} > 2.7\text{ V}$
			22	ns	$V_{DRIVE} < 2.7\text{ V}$
t_{WR}	25			ns	写入和读取同一寄存器之间或两次写入之间的时间; 如果 $f_{SCLK} > 50\text{ MHz}$
$t_{D_CS_FD}$			26	ns	从 $\overline{CS}$ 到 D_{OUTX} 三态禁用的延迟时间/从 $\overline{CS}$ 到 MSB 有效的延迟时间
$t_{D_SCK_FDL}$			18	ns	第 16 个 SCLK 下降到 FRSTDATA 低电平
$t_{D_HZ_FD}$			28	ns	$\overline{CS}$ 上升沿到 FRSTDATA 三态使能

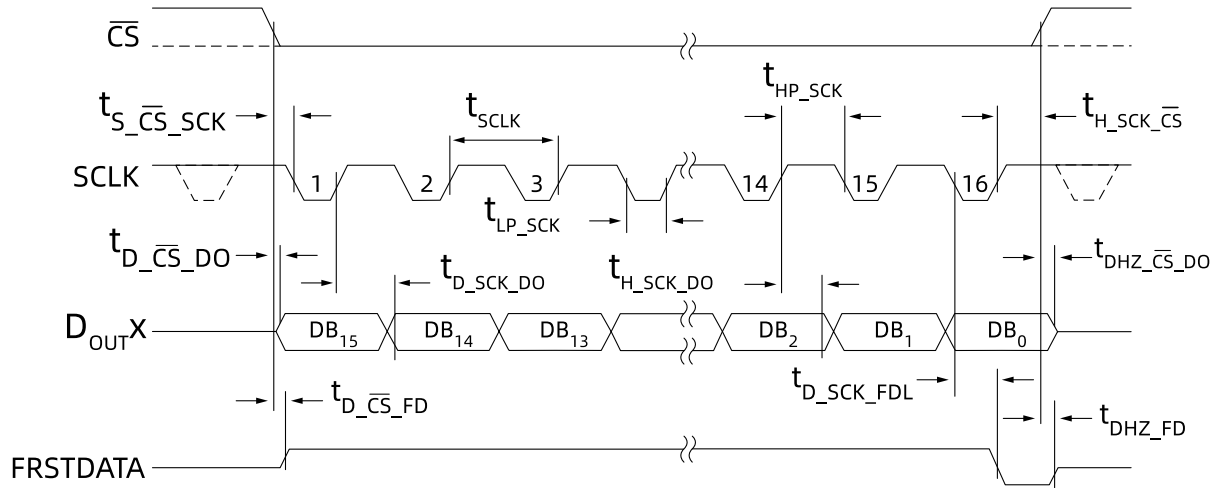


图4. 串行时序图, ADC 读取模式 (通道 1)

7. 绝对最大额定值

除非另有说明, $T_A = 25^\circ\text{C}$ 。

表5. 绝对最大额定值

参数	额定值
AV_{CC} 至 AGND	-0.3 V 至 +7 V
V_{DRIVE} 至 AGND	-0.3 V 至 $AV_{CC} + 0.3$ V
模拟输入电压至 AGND ¹	± 25 V
数字输入电压至 AGND	-0.3 V 至 $V_{DRIVE} + 0.3$ V
数字输出电压至 AGND	-0.3 V 至 $V_{DRIVE} + 0.3$ V
REFIN 至 AGND	-0.3 V 至 $AV_{CC} + 0.3$ V
除电源引脚外的任何引脚的输入电流 ¹	± 10 mA
工作温度范围	-40°C 至 $+125^\circ\text{C}$
存储温度范围	-65°C 至 $+150^\circ\text{C}$
结温	150°C
铅锡焊接温度	
回流焊 (10 秒至 30 秒)	$240 (+0)^\circ\text{C}$
无铅回流焊温度	$260 (+0)^\circ\text{C}$
静电放电(ESD)	
除模拟输入外的所有引脚	3.5 kV
仅模拟输入引脚	8 kV

1. 100 mA 以下的瞬态电流不会造成硅控整流器(SCR)门锁。

7.1. 热阻

热性能与印刷电路板(PCB)设计和工作环境直接相关。必须慎重对待 PCB 散热设计。

θ_{JA} 是自然对流下的结至环境热阻, 在 1 立方英尺的密封外罩中测量。 θ_{JC} 是结至外壳热阻。

表6. 热阻

θ_{JA}^1	θ_{JC}	单位
40	7	$^\circ\text{C}/\text{W}$

1. 在 JEDEC 自然对流环境下基于 JEDEC 2s2p 热测试 PCB 的仿真数据。

8. 引脚配置和功能描述

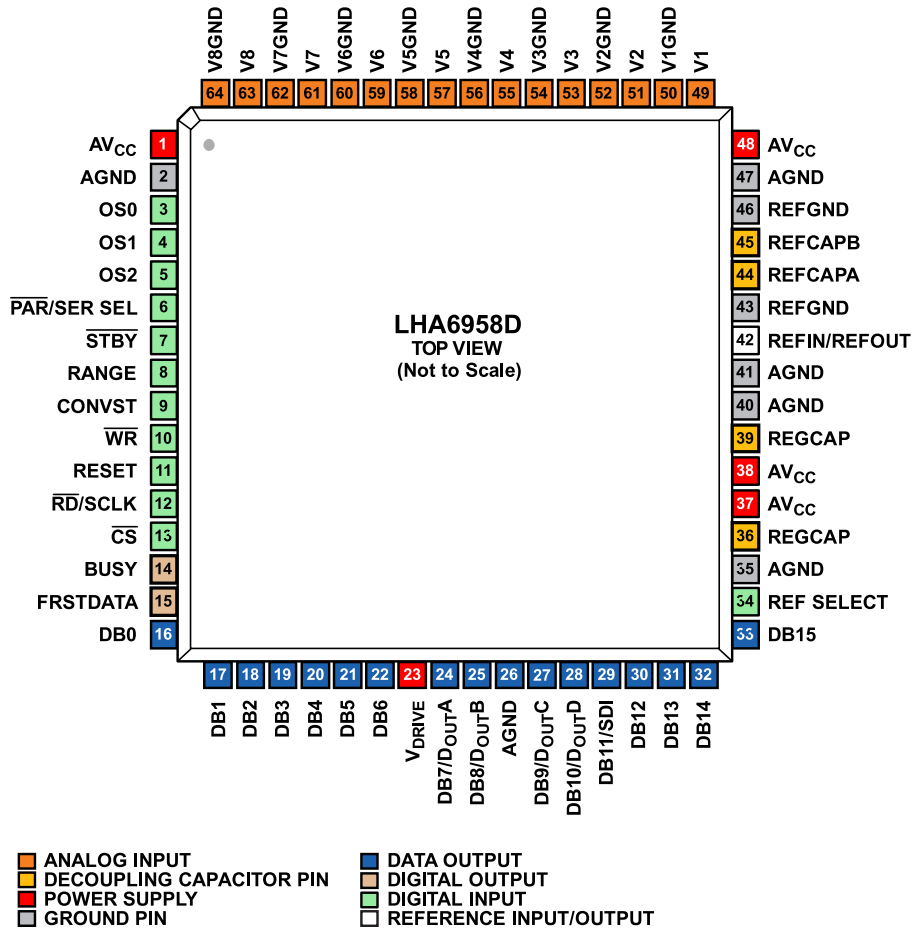


图5. 引脚配置

表7. 引脚功能描述

引脚编号	类型 ¹	引脚名称	描述
1, 37, 38, 48	P	AV _{CC}	模拟电源电压, 4.75 V 至 5.25 V。这是内部前端放大器和 ADC 内核的电源电压。将这些电源引脚去耦至 AGND。
2, 26, 35, 40, 41, 47	P	AGND	模拟地。这些引脚是 LHA6958D 上所有模拟电路的接地基准点。所有模拟输入信号和外部基准信号都必须参考这些引脚。所有六个 AGND 引脚必须连接到系统的 AGND 层。
3 至 5	DI	OS0 至 OS2	过采样模式引脚。这些输入选择过采样率 (过采样引脚解码参见表 11)。关于过采样工作模式的更多信息, 参见“数字滤波器”部分。
6	DI	PAR/SER SEL	并行/串行接口选择输入。如果此引脚与逻辑低电平相连, 则选择并行接口。如果此引脚与逻辑高电平相连, 则选择串行接口。关于每个可用接口的更多信息, 参见“数字接口”部分。
7	DI	STBY	待机模式输入。此引脚与 RANGE 引脚一起将 LHA6958D 置于两种省电模式之一: 待机模式或关断模式。因此, 建议将此引脚连接到逻辑高电平。有关待机模式的更多信息, 参见“省电模式”部分。
8	DI	RANGE	模拟输入范围选择输入。此引脚决定模拟输入通道的输入范围 (见表 8)。如果 STBY 引脚处于逻辑低电平, 则此引脚决定省电模式 (见表 12)。
9	DI	CONVST	转换开始输入。当 CONVST 引脚从低电平变为高电平时, 在所有 8 个 SAR ADC 上对模拟输入进行采样。在软件模式下, 此引脚可配置为外部过采样时钟。提供低抖动外部时钟可提高大过采样率下的 SNR 性能。有关详细信息, 参见“外部过采样时钟”部分。
10	DI	WR	此引脚无作用。

引脚编号	类型 ¹	引脚名称	描述
11	DI	RESET	复位输入, 高电平有效。LHA6958D 提供完全复位和部分复位选项。复位类型由复位脉冲的长度决定。建议器件上电后接收复位脉冲。详情参见“复位功能”部分。
12	DI	$\overline{RD}/SCLK$	选择并行接口时为并行数据读取控制输入(RD)。选择串行接口时为串行时钟输入(SCLK)。更多信息请参见“数字接口”部分。
13	DI	$\overline{CS}$	片选。对于串行和并行接口, 此引脚均为低电平有效片选输入, 用于 ADC 数据读取或寄存器数据读写。更多信息请参见“数字接口”部分。
14	DO	BUSY	输出繁忙。此引脚随同 CONVST 上升沿变为逻辑高电平。BUSY 输出保持高电平, 直到所有通道的转换过程完成为止。
15	DO	FRSTDATA	第一个数据输出。FRSTDATA 输出信号指示何时在并行接口 (见图 2) 或串行接口 (见图 4) 上回读第一通道 V1。更多信息请参见“数字接口”部分。
16 至 22	DO/DI	DB0 至 DB6	并行输出/输入数据位。使用并行接口时, 这些引脚用作三态并行数字输入和输出引脚 (参见“并行接口”部分)。使用串行接口时, 应将这些引脚连接到 AGND。
23	P	V_{DRIVE}	逻辑电源输入。此引脚的电源电压 (1.71 V 至 5 V) 决定逻辑接口的工作电压。此引脚的标称电源与主机接口 (即数据信号处理(DSP)和现场可编程门阵列(FPGA)) 的电源相同。
24	DO/DI	DB7/D _{OUT} A	并行输出/输入数据位 7 (DB7)/串行接口数据输出引脚(D _{OUT} A)。使用并行接口时, 此引脚用作三态并行数字输入/输出引脚。使用串行接口时, 此引脚用作 D _{OUT} A。
25	DO/DI	DB8/D _{OUT} B	并行输出/输入数据位 8 (DB8)/串行接口数据输出引脚(D _{OUT} B)。使用并行接口时, 此引脚用作三态并行数字输入/输出引脚。使用串行接口时, 此引脚用作 D _{OUT} B。
27 至 33	DO/DI	DB9 至 DB15	并行输出/输入数据位 DB9 至 DB15。使用并行接口时, 这些引脚用作三态并行数字输入和输出引脚 (参见“并行接口”部分)。使用串行接口时, 应将这些引脚连接到 AGND。
34	DI	REF SELECT	内部/外部基准电压选择逻辑输入。如果此引脚设为逻辑高电平, 则选择并使能内部基准电压模式。如果此引脚设为逻辑低电平, 则内部基准电压禁用, 必须将外部基准电压施加到 REFIN/REFOUT 引脚。
36, 39	P	REGCAP	去耦电容引脚, 用于 1.9 V 内部稳压器、模拟低压差(ALDO)和数字低压差(DLDO)稳压器的电压输出。这些输出引脚必须使用 1μF 电容分别去耦至 AGND。
42	REF	REFIN/REFOUT	基准电压输入(REFIN)/基准电压输出(REFOUT)。内部 2.5 V 基准电压源可通过 REFOUT 引脚提供给外部使用, 同时将 REF SELECT 引脚设置为逻辑高电平。或者将 REF SELECT 引脚设置为逻辑低电平以禁用内部基准电压源, 此时必须将 2.5 V 的外部基准电压施加到此输入(REFIN)。对于内部和外部基准电压源选项, 从 REFIN 引脚到地均须应用 100 nF 电容 (靠近 REFGND 引脚)。详情参见“基准电压源”部分。
43, 46	REF	REFGND	基准电压接地引脚。这些引脚必须连接到 AGND。
44, 45	REF	REFCAPA, REFCAPB	基准电压缓冲输出强制/检测引脚。必须将这些引脚连在一起, 并通过低 ESR (有效串联电阻) 10 μF 陶瓷电容去耦至 AGND。这些引脚上的电压通常为 4.096 V。
49	AI	V1	通道 1 正模拟输入引脚。
50	AI GND	V1GND	通道 1 负模拟输入引脚。
51	AI	V2	通道 2 正模拟输入引脚。
52	AI GND	V2GND	通道 2 负模拟输入引脚。
53	AI	V3	通道 3 正模拟输入引脚。
54	AI GND	V3GND	通道 3 负模拟输入引脚。
55	AI	V4	通道 4 正模拟输入引脚。
56	AI GND	V4GND	通道 4 负模拟输入引脚。
57	AI	V5	通道 5 正模拟输入引脚。
58	AI GND	V5GND	通道 5 负模拟输入引脚。
59	AI	V6	通道 6 正模拟输入引脚。
60	AI GND	V6GND	通道 6 负模拟输入引脚。
61	AI	V7	通道 7 正模拟输入引脚。
62	AI GND	V7GND	通道 7 负模拟输入引脚。
63	AI	V8	通道 8 正模拟输入引脚。
64	AI GND	V8GND	通道 8 负模拟输入引脚。

1. P 表示电源, DI 表示数字输入, DO 表示数字输出, REF 表示基准电压输入/输出, AI 表示模拟输入, GND 表示地。

9. 典型性能参数

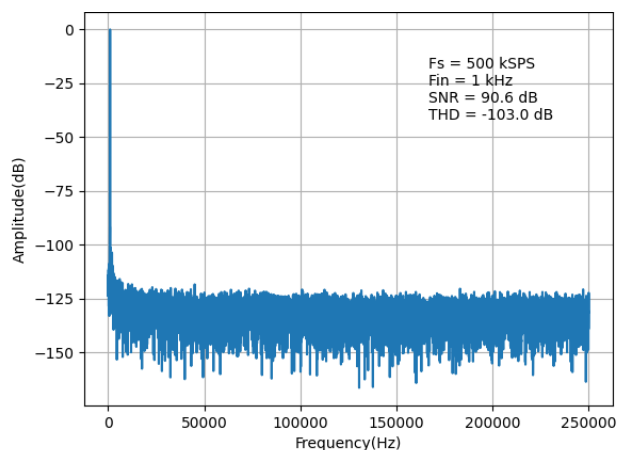


图6. 快速傅立叶变换(FFT), ± 10 V 范围

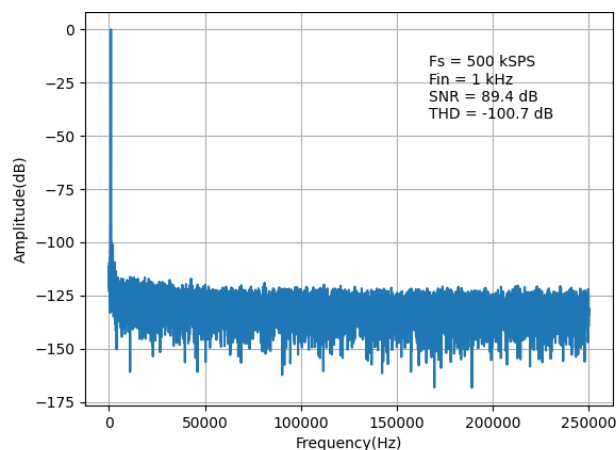


图7. 快速傅立叶变换(FFT), ± 5 V 范围

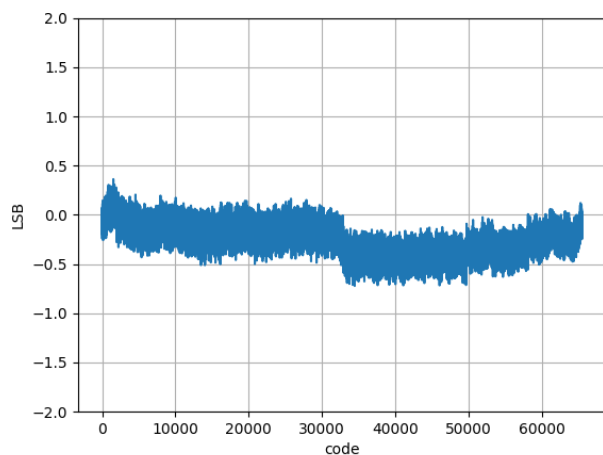


图8. 典型 INL, ± 10 V 范围

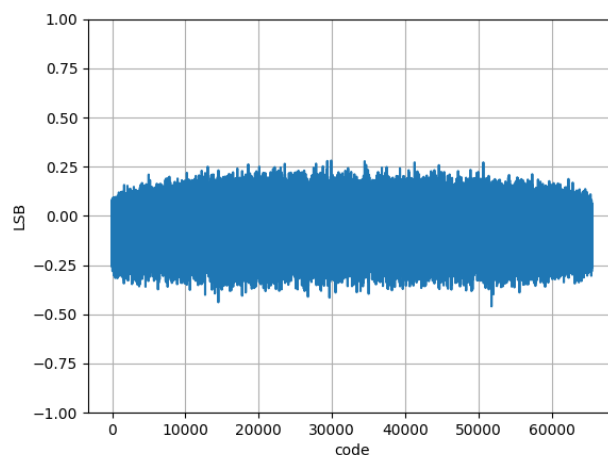


图9. 典型 DNL, ± 10 V 范围

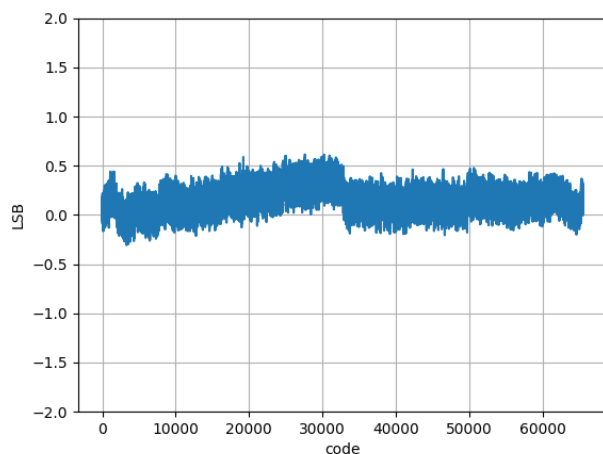


图10. 典型 INL, ± 5 V 范围

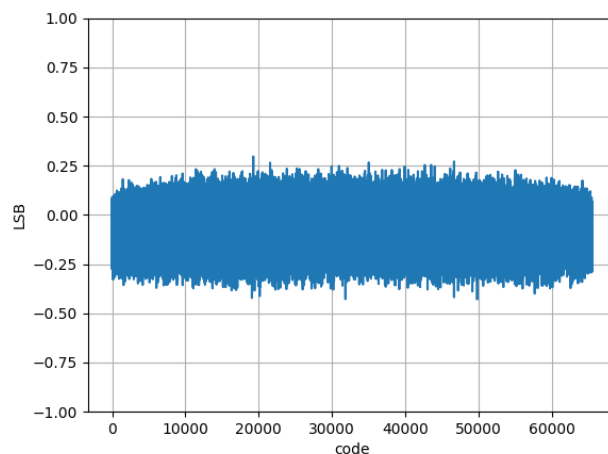


图11. 典型 DNL, ± 5 V 范围

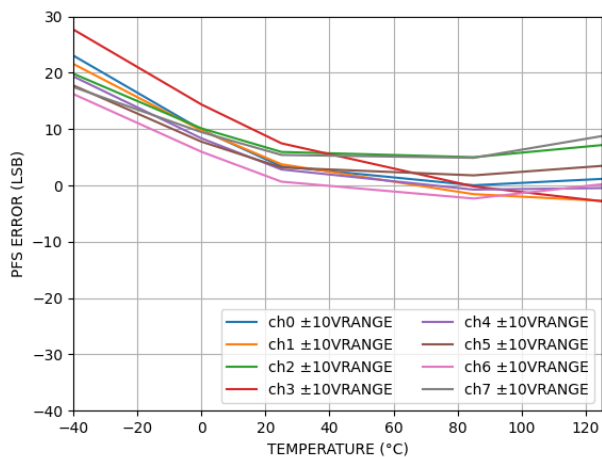


图12. 正满量程误差 VS 温度, ± 10 V 范围

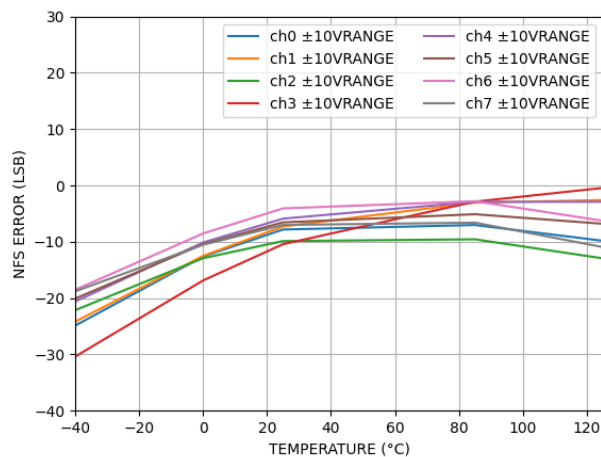


图13. 负满量程误差 VS 温度, ± 10 V 范围

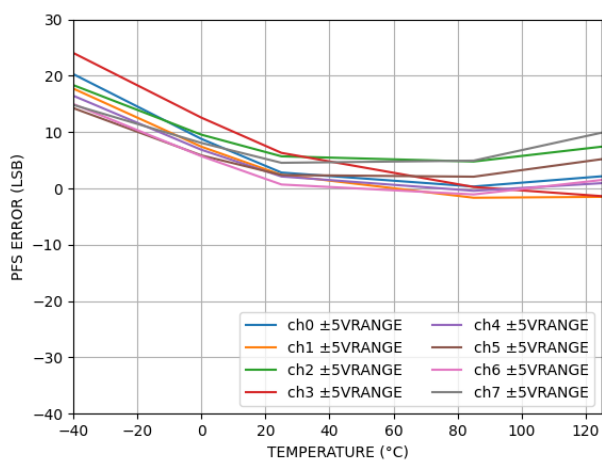


图14. 正满量程误差 VS 温度, ± 5 V 范围

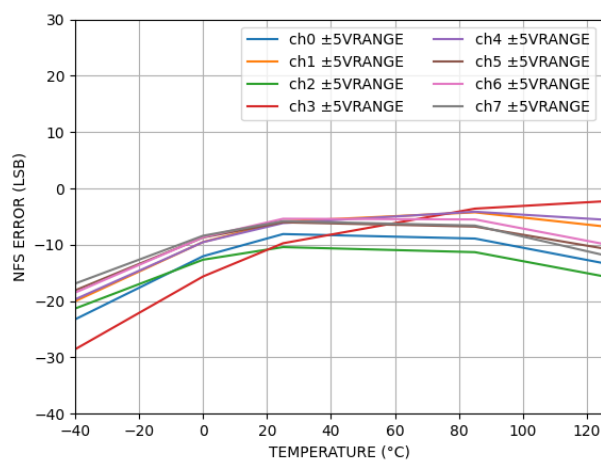


图15. 负满量程误差 VS 温度, ± 5 V 范围

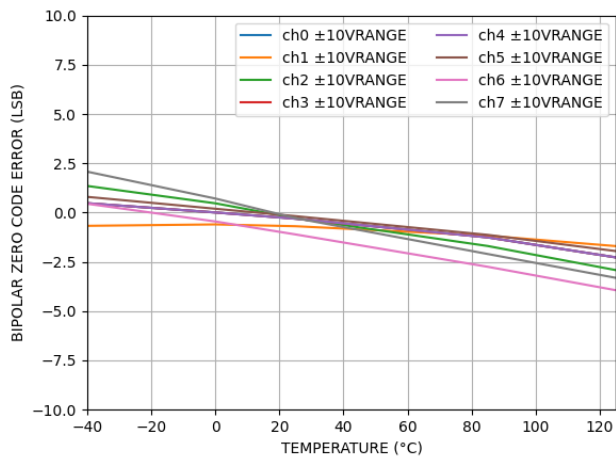


图16. 双极性零代码误差 VS 温度, ± 10 V 范围

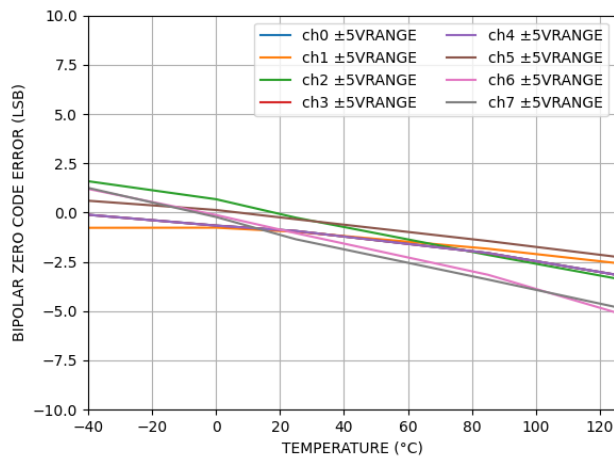


图17. 双极性零代码误差 VS 温度, ± 5 V 范围

10. 工作原理

10.1. 模拟前端

LHA6958D 是一款 16 位同步采样模数转换 DAS, 具有 8 个通道。每个通道都内置模拟输入箝位保护、PGA、低通滤波器和 16 位 SAR ADC。

模拟输入范围

LHA6958D 可以处理真双极性单端输入电压。RANGE 引脚上的逻辑电平决定所有模拟输入通道的模拟输入范围是 $\pm 10\text{ V}$ 还是 $\pm 5\text{ V}$, 如下表所示。

RANGE 引脚的逻辑状态改变会立即影响模拟输入范围。然而, 除了正常采集时间要求外, 通常还需要大约 $80\mu\text{s}$ 的建立时间。对于快速吞吐速率应用, 转换期间建议不要更改 RANGE 引脚的逻辑状态。

表8. 模拟输入范围选择

范围(V)	配置 ¹
± 10	RANGE 引脚高电平
± 5	RANGE 引脚低电平

1. 相同模拟输入范围 ($\pm 10\text{ V}$ 或 $\pm 5\text{ V}$) 适用于所有八个通道。

模拟输入阻抗

LHA6958D 的模拟输入阻抗典型值为 $1\text{ M}\Omega$ 。这是固定输入阻抗, 不随 LHA6958D 采样频率而变化。高模拟输入阻抗可免除 LHA6958D 前端的驱动放大器, 允许其与信号源或传感器直接相连。因此, 可以从信号链中移除双极性电源。

模拟输入箝位保护

下图显示了 LHA6958D 的模拟输入电路。LHA6958D 的每个模拟输入均包含箝位保护电路。尽管采用 5 V 单电源供电, 但此模拟输入箝位保护允许输入过压达到 $\pm 25\text{ V}$ 。

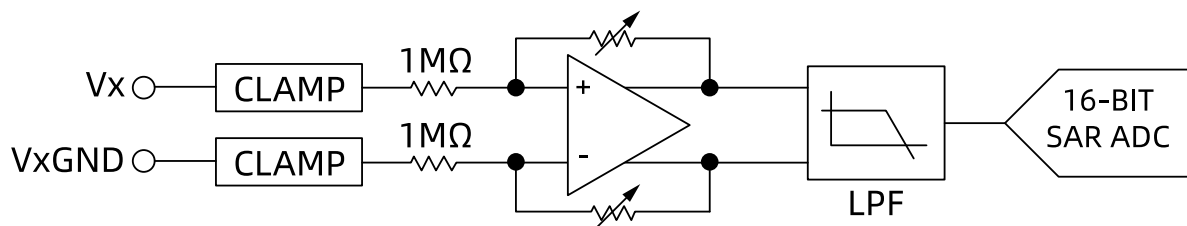


图18. 每个通道的模拟输入电路

下图显示了箝位电路的输入箝位电流与源电压特性的关系。当输入电压不超过 ± 25 V 时, 箝位电路中无电流。当输入电压超过 ± 25 V 时, LHA6958D 箝位电路开启。

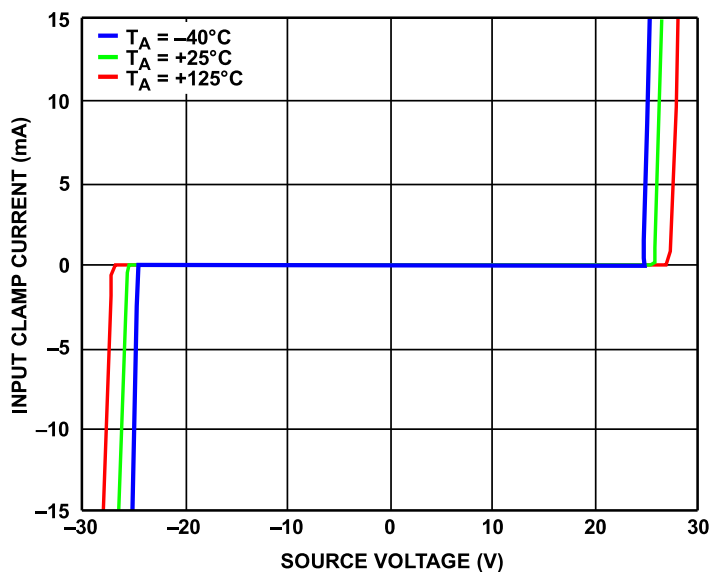


图19. 输入箝位保护特性

建议在模拟输入通道上放置一个串联电阻, 以在输入电压大于 ± 25 V 时将电流限制在 ± 10 mA。在模拟输入通道 V_x 上有串联电阻(R)的应用中, 建议电阻(R)与 V_x GND 上的电阻相匹配, 以消除任何引入系统的失调, 如下图所示。

在正常操作期间, 建议不要将 LHA6958D 置于模拟输入长时间大于输入范围的情况下, 因为这会降低双极性零代码误差性能。在关断或待机模式下, 没有这种担忧。

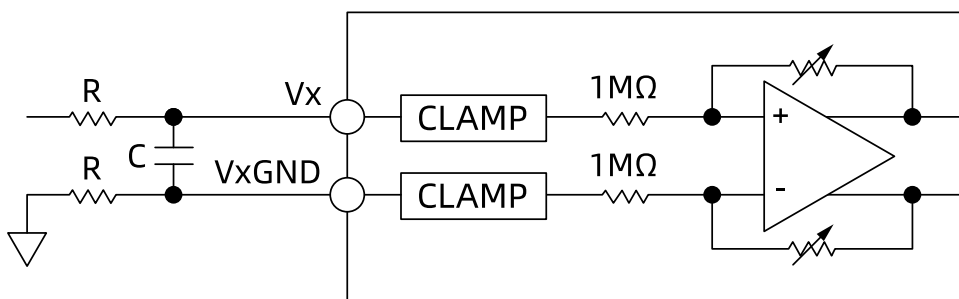


图20. LHA6958D 模拟输入的输入电阻匹配

PGA

每个输入通道都提供 PGA。增益根据所选的模拟输入范围来配置, 以将单端模拟输入信号调整到 ADC 全差分输入范围。

PGA 每个输入端的输入阻抗经过精确调整, 以保持整体增益误差较小。

模拟输入抗混叠滤波器

LHA6958D 提供了模拟抗混叠滤波器。图 21 和图 22 分别显示了模拟抗混叠滤波器的频率响应和相位响应, -3 dB 带宽典型值为 25 kHz。

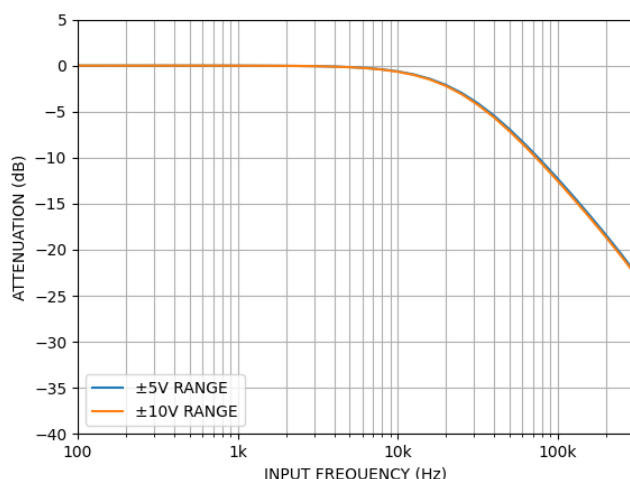


图21. 模拟抗混叠滤波器频率响应

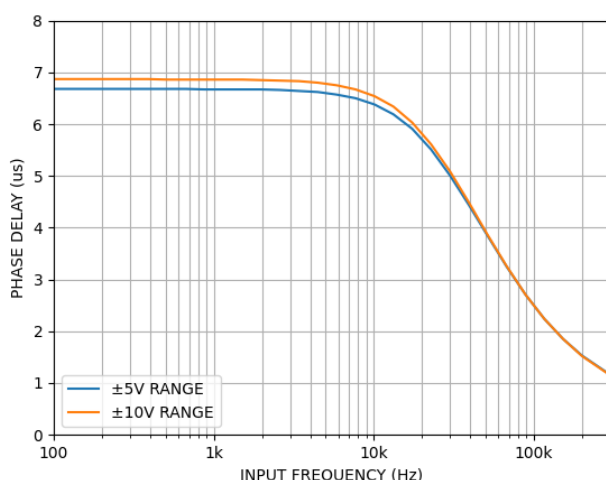


图22. 模拟抗混叠滤波器相位响应

10.2. SAR ADC

LHA6958D 允许 ADC 以 16 位分辨率精确采集满量程幅度的输入信号。在 CONVST 信号的上升沿, 所有 8 个 SAR ADC 同时对相应的输入进行采样。

BUSY 信号表示转换正在进行。因此, 当施加 CONVST 信号上升沿时, BUSY 引脚变为逻辑高电平, 在整个转换过程结束时变为低电平。BUSY 信号的下降沿指示所有 8 个通道的转换过程结束。当 BUSY 信号沿下降时, 下一组转换的采集时间开始。当 BUSY 信号为高电平时, CONVST 信号的上升沿无作用。

在 BUSY 输出变为低电平后, 新数据可通过并行或串行接口从输出寄存器读取。或者, 先前转换的数据可在 BUSY 引脚为高电平时读取, 如“转换期间读取”部分所述。

LHA6958D 内置一个片内振荡器用于执行转换。所有 ADC 通道的转换时间均为 t_{CONV} 。

将所有不使用的模拟输入通道接 AGND。不使用通道的结果仍会包括在所读取的数据中, 因为始终会转换所有通道。

ADC 转换函数

LHA6958D 的输出编码为二进制补码。所设计的码转换在连续 LSB 整数值的中间 (即 $1/2$ LSB 和 $3/2$ LSB) 进行。LHA6958D 的 LSB 大小为 $\text{FSR}/65,536$ 。LHA6958D 的理想传递特性如下图所示。LSB 大小取决于所选的模拟输入范围, 如下表所示

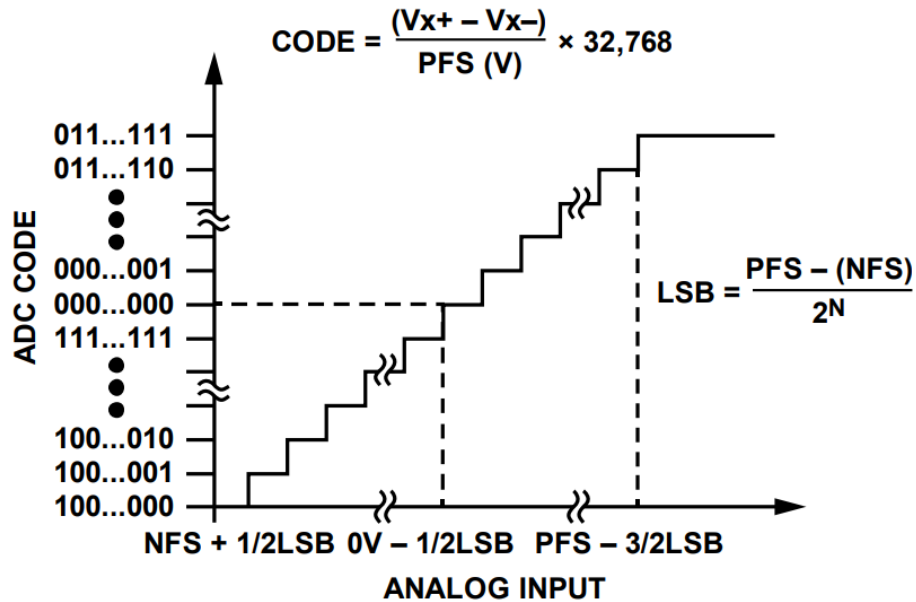


图23. 理想传递特性

表9. 输入电压范围

范围(V)	PFS (V)	中间电平(V)	NFS (V)	LSB (μ V)
± 10	+10	0	-10	305
± 5	+5	0	-5	152

基准电压源

LHA6958D 内置一个 2.5 V 片内带隙基准电压源。REFIN/ REFOUT 引脚支持如下操作:

- 如果 REF SELECT 引脚连接到逻辑高电平, 可使用内部 2.5 V 基准电压源。
- 如果 REF SELECT 引脚连接到逻辑低电平, 可施加 2.5 V 外部基准电压。

表10. 基准电压配置

REF SELECT 引脚	基准电压源选择
逻辑高电平	使能内部基准电压源
逻辑低电平	禁用内部基准电压源; 必须将外部 2.5 V 基准电压施加到 REFIN/REFOUT 引脚

LHA6958D 内置一个基准电压缓冲器, 其配置为将基准电压放大至约 4.096 V, 如下图所示。该 4.096 V 缓冲基准电压就是 SAR ADC 所用的基准电压, 如下图所示。复位之后, LHA6958D 工作在 REF SELECT 引脚所选择的基准电压模式。REFCAPA 和 REFCAPB 引脚必须在外部分短路连在一起, 并通过一个 10 μ F 陶瓷电容连接至 REFGND 引脚, 以确保基准电压缓冲器工作在闭环中。REFIN/REFOUT 引脚需要 10 μ F 陶瓷电容。

当 LHA6958D 配置为外部基准电压模式时, REFIN/REFOUT 引脚为高输入阻抗引脚。

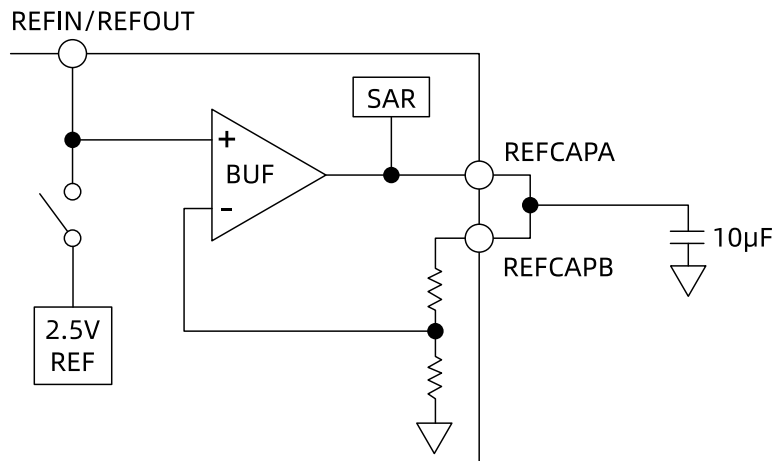


图24. 基准电压电路

使用多个 LHA6958D 器件

对于使用多个 LHA6958D 器件的应用，建议根据应用要求采取下列配置。

外部基准电压模式

一个外部基准电压源可以驱动所有 LHA6958D 器件的 REFIN/REFOUT 引脚。此配置中，LHA6958D 的每一个 REFIN/REFOUT 引脚都应该用至少 100 nF 的去耦电容去耦。

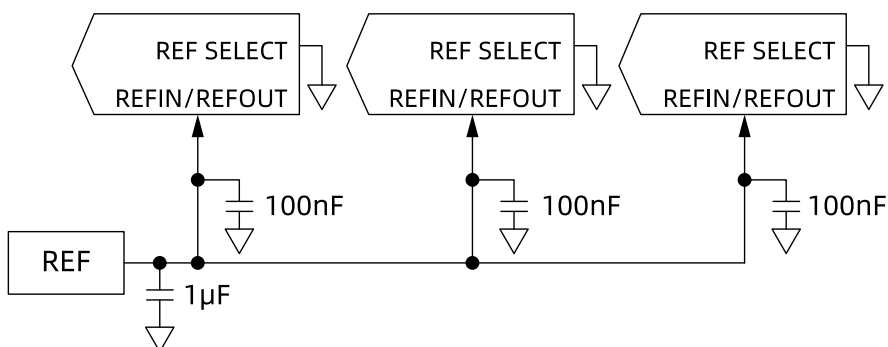


图25. 单个外部基准电压源驱动多个 LHA6958D REFIN/REFOUT 引脚

内部基准电压模式

配置为内部基准电压工作模式的一个 LHA6958D 器件，可以驱动配置为外部基准电压工作模式的其余 LHA6958D 器件。配置为内部基准电压模式的 LHA6958D 应利用 10 μF 陶瓷去耦电容对其 REFIN/REFOUT 引脚去耦。配置为外部基准电压模式的其他 LHA6958D 器件须各利用至少 10 μF 的去耦电容对其 REFIN/REFOUT 引脚去耦。

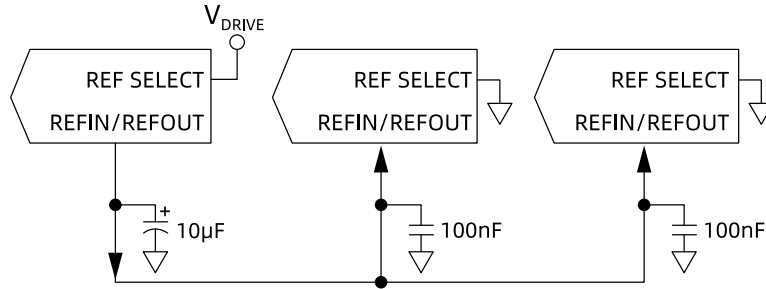


图26. 内部基准电压源驱动多个 LHA6958D REFIN/REFOUT 引脚

工作模式

LHA6958D 的工作模式取决于 RANGE、OSx 或 $\overline{\text{STBY}}$ 引脚的逻辑电平。

基准电压源和数据接口均通过 REF SELECT 和 PAR/SER SEL 引脚选择。

表11. 过采样引脚解码

OSx 引脚	LHA6958D
000	无过采样
001	2
010	4
011	8
100	16
101	32
110	64
111	无效

1. 模拟输入范围选择参见表 8。
2. 所有输入通道配置相同的输入范围。
3. 基于每个通道。

复位功能

LHA6958D 复位要求 $\overline{\text{RESET}}$ 引脚保持高电平至少 $3\mu\text{s}$ 。 $\overline{\text{RESET}}$ 引脚释放 $600\mu\text{s}$ ($t_{\text{DEVICE_SETUP}}$, 完全复位) 后, 器件即完成重新配置, 可以启动转换。

复位会将器件恢复为默认上电状态, 当前转换结果被丢弃。当 LHA6958D 退出复位时, 用户配置被重新锁存。

省电模式

LHA6958D 提供两种省电模式: 待机模式和关断模式。表 12 $\overline{\text{STBY}}$ 引脚控制 LHA6958D 是处于正常模式还是处于两种省电模式之一, 如下所示。如果 $\overline{\text{STBY}}$ 引脚为低电平, 则通过 RANGE 引脚的状态选择省电模式。

表12. 省电模式选择

功耗模式	$\overline{\text{STBY}}$ 引脚	RANGE 引脚
正常模式	1	X ¹
待机	0	1
关断	0	0

1. X= 无关位。

当 LHA6958D 处于关断模式时, 所有电路都关断, 电流消耗降至 $0.7\mu\text{A}$ (典型值)。上电时间约为 10 ms 。当 LHA6958D 从关断模式上电时, 经过所需的上电时间后, 必须对 LHA6958D 执行复位。

当 LHA6958D 进入待机模式时, 所有 PGA 和所有 SAR ADC 都进入低功耗模式, 总电流消耗降至 7.5 mA (典型值)。退出待机模式后无需复位。

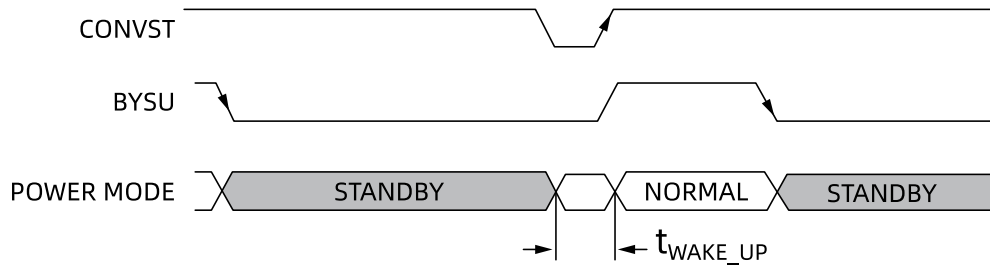


图27. 自动待机工作操作

11. 数字滤波器

LHA6958D 包含一个可选数字均值滤波器，在需要更高 SNR 或动态范围的低吞吐速率应用中可以将其使能。

数字滤波器的过采样率由过采样引脚 OSx 控制，如表 11 所示。OSx 引脚在 BUSY 信号的下降沿锁存。

在过采样模式下，ADC 在 CONVST 信号上升沿采集每个通道的第一个样本。转换第一个样本后，后续样本由内部生成的采样信号获取，如下图所示。

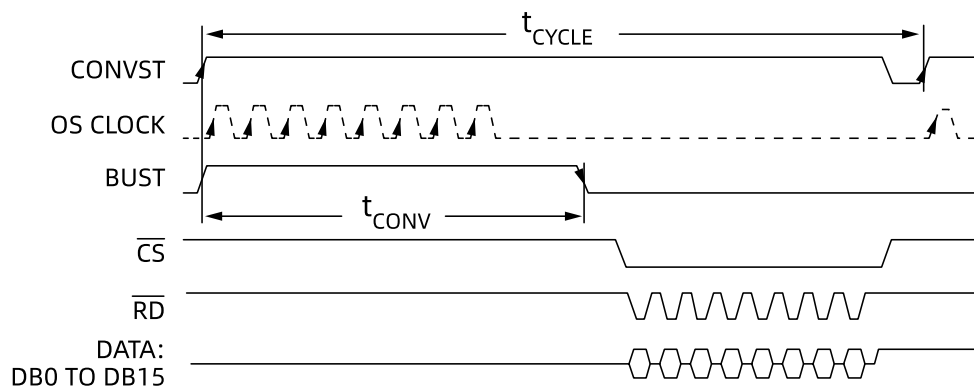


图28. 8 倍过采样示例，转换后读取，并行接口

上图显示当开启过采样时，转换时间(t_{CONV})会延长。必须降低吞吐速率($1/t_{CYCLE}$)以适应更长的转换时间，并允许执行读操作。当开启过采样时，为实现最快吞吐速率，读操作可以在 BUSY 信号高电平期间执行，如“转换期间读取”部分所述。

表13. 过采样性能

过采样率	±10 V 范围		±5 V 范围		吞吐速率(kSPS)
	SNR (dB)	3 dB 带宽(kHz)	SNR (dB)	3 dB 带宽(kHz)	
无过采样	90	25	89	25	500
2	91	25	89.5	25	250
4	91.5	25	90.5	25	125
8	93	25	92	25	62.5
16	93.5	15.6	92.5	15.6	31.2
32	94	7.8	93.5	7.8	15.6
64	94.5	3.9	94	3.9	7.8

12. 数字接口

LHA6958D 提供两种接口选项：并行接口和高速串行接口。所需接口模式可通过 PAR/SER SEL 引脚来选择。

表14. 接口模式选择

PAR/SER SEL	接口模式
0	并行接口模式
1	串行接口模式

下面几节讨论这些接口模式的工作原理。

12.1. 并行接口

要通过并行接口读取 ADC 数据, 须将 PAR/SER SEL 引脚连接低电平。

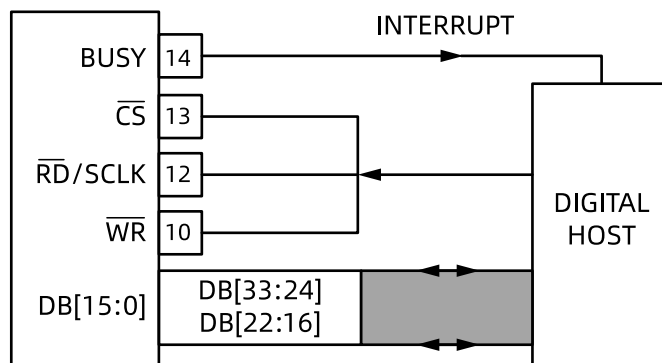


图29. LHA6958D 接口图——一个 LHA6958D 使用并行总线, $\overline{CS}$ 和 $\overline{RD}$ 短接在一起

$\overline{CS}$ 输入信号的上升沿使总线进入三态, $\overline{CS}$ 输入信号的下降沿使总线脱离高阻态。 $\overline{CS}$ 是使能数据线的控制信号, 利用该功能可以让多个 LHA6958D 共享同一并行数据总线。

读取转换结果

$\overline{RD}$ 引脚的下降沿用来从输出转换结果寄存器读取数据。将一系列 $\overline{RD}$ 脉冲施加到 $\overline{RD}$ 引脚, 以将转换结果从各通道输出到并行总线[DB15:DB0], 按升序从 V1 到 V8, 如图 30 所示。

$\overline{CS}$ 信号可以永久性地连接到低电平, $\overline{RD}$ 信号可以访问转换结果, 如图 2 所示。BUSY 信号变为低电平后即可开始读取新数据操作 (参见图 1)。或者在 BUSY 引脚为高电平的时候, 可以读取先前转换过程产生的数据。

当系统中只有一个 LHA6958D 且它不共享并行总线时, 可以使用数字主机的一个控制信号来读取数据。 $\overline{CS}$ 和 $\overline{RD}$ 信号可以连在一起, 如图 3 所示。在这种情况下, $\overline{CS}$ 和 $\overline{RD}$ 信号的下降沿使数据总线脱离三态并输出数据。

FRSTDATA 输出信号指示何时回读第一通道 V1, 如图 3 所示。当 $\overline{CS}$ 输入为高电平时, FRSTDATA 输出引脚处于三态。 $\overline{CS}$ 下降沿使 FRSTDATA 引脚脱离三态。对应于 V1 结果的 $\overline{RD}$ 信号下降沿将 FRSTDATA 引脚设置为高电平, 表示 V1 的结果可通过输出数据总线获得。在 $\overline{RD}$ 的下一个下降沿之后, FRSTDATA 引脚返回逻辑低电平状态。

转换期间读取

当 BUSY 引脚为高电平且转换正在进行时, 也可以从 LHA6958D 读取数据。该操作几乎不会影响转换器的性能, 而且可以实现更快的吞吐速率。在 BUSY 信号的下降沿时, 输出数据寄存器会被新转换数据更新, 除此之外的任何时候都可以从 LHA6958D 读取数据。在 BUSY 信号为高电平时执行的数据读取操作必须在 BUSY 信号下降沿之前完成。

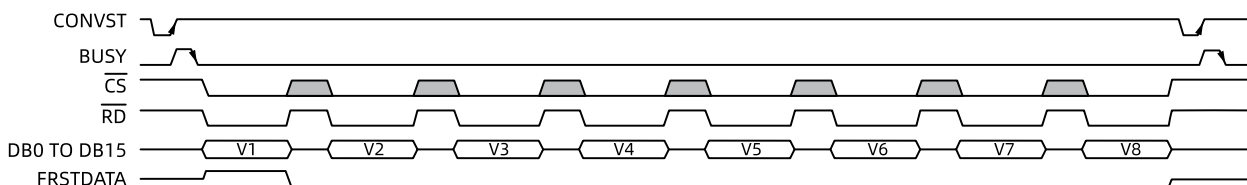


图30. 并行接口

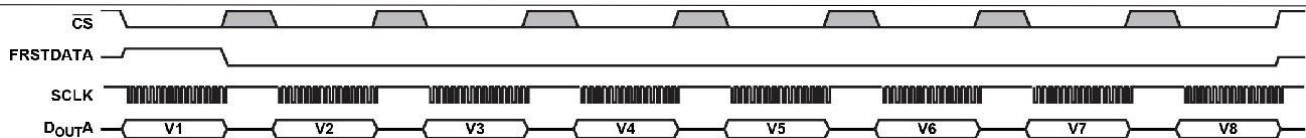


图31. 串行接口 ADC 读取, 一条 D_{OUTX} 线

12.2. 串行接口

要通过串行接口读取 ADC 数据, 须将 $\overline{\text{PAR}}/\text{SER SEL}$ 引脚连接高电平。

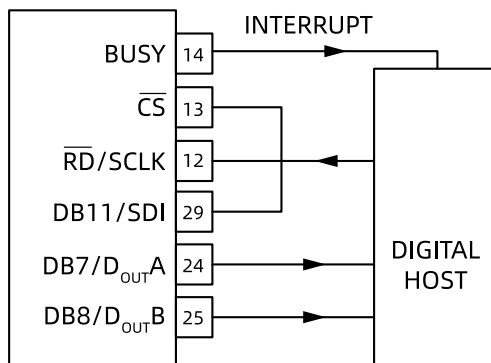


图32. LHA6958D 接口图——一个 LHA6958D 使用 串行接口和两条 D_{OUTX} 线

读取转换结果

LHA6958D 具有两个串行数据输出引脚: DOUTA 和 DOUTB。

默认情况下, 数据会从 2 条 D_{OUTX} 线输出。但是, 通过在两个 CONVST 脉冲之间提供 8 个 16 位 SPI 帧, 可从 D_{OUTA} 读取所有通道。

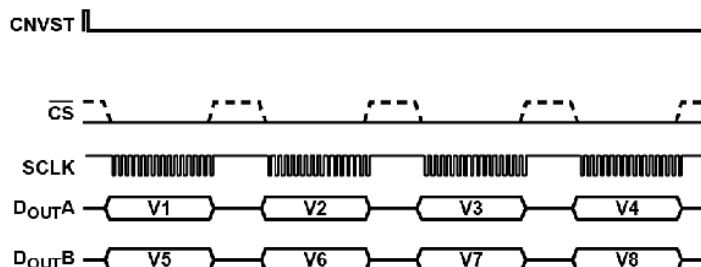


图33. 串行接口 ADC 读取, 两条 D_{OUTX} 线

$\overline{\text{CS}}$ 下降沿使数据输出线 D_{OUTA} 到 D_{OUTB} 脱离三态, 并输出转换结果的 MSB。

在 3 线模式下 ($\overline{\text{CS}}$ 连接低电平), 不是 $\overline{\text{CS}}$ 输出 MSB, 而是 BUSY 信号的下降沿输出 MSB。SCLK 信号的上升沿将随后的所有数据位通过串行数据输出 D_{OUTA} 至 D_{OUTB} 输出, 如下所示 $\overline{\text{CS}}$ 输入可以在整个串行读取操作期间保持低电平, 或者向其发送脉冲, 为每个通道读取帧提供 16 个 SCLK 周期 (参见图 33)。但是, 如果在通道转换结果传输期间向 $\overline{\text{CS}}$ 发生脉冲, 则中断的通道会在下一帧重新传输, 从 MSB 重新开始。

也可以仅使用 D_{OUTA} 引脚输出数据, 如图 31 所示。为使 LHA6958D 通过一条 D_{OUTX} 线访问所有八个转换结果, 总共需要 128 个 SCLK 周期。这 128 个 SCLK 周期必须通过 $\overline{\text{CS}}$ 信号以 16 个 SCLK 周期为一组形成帧。只用一条 D_{OUTX} 线的缺点是: 如果在转换之后进行读取, 则吞吐速率会下降。在串行模式下, 未使用的 D_{OUTX} 线保持不连接状态。

FRSTDATA 输出信号指示何时回读第一通道 V1。当 $\overline{\text{CS}}$ 输入为高电平时, FRSTDATA 输出引脚处于三态。在串行模式下, $\overline{\text{CS}}$ 信号的下降沿使 FRSTDATA 引脚脱离三态, 并且若 BUSY 线已经解除置位, 则将 FRSTDATA 引脚设置为高电平。

表示 V1 的结果可通过 D_{OUTA} 输出数据线获得。在第 16 个 SCLK 下降沿之后, FRSTDATA 输出返回逻辑低电平状态。如果 $\overline{CS}$ 引脚永久性地连接到低电平 (3 线模式), 则当 V1 的结果可通过 D_{OUTA} 获得时, BUSY 线的下降沿将 FRSTDATA 引脚设置为高电平。在 3 线模式下使用 LHA6958D 时, SDI 应保持高电平。

转换期间读取

当 BUSY 信号为高电平且转换正在进行时, 也可以从 LHA6958D 读取数据。该操作几乎不会影响转换器的性能, 而且可以实现更快的吞吐速率。在 BUSY 信号的下降沿时, 输出数据寄存器会被新转换数据更新, 除外的任何时候都可以从 LHA6958D 读取数据。在 BUSY 信号为高电平时执行的数据读取操作必须在 BUSY 信号下降沿之前完成。

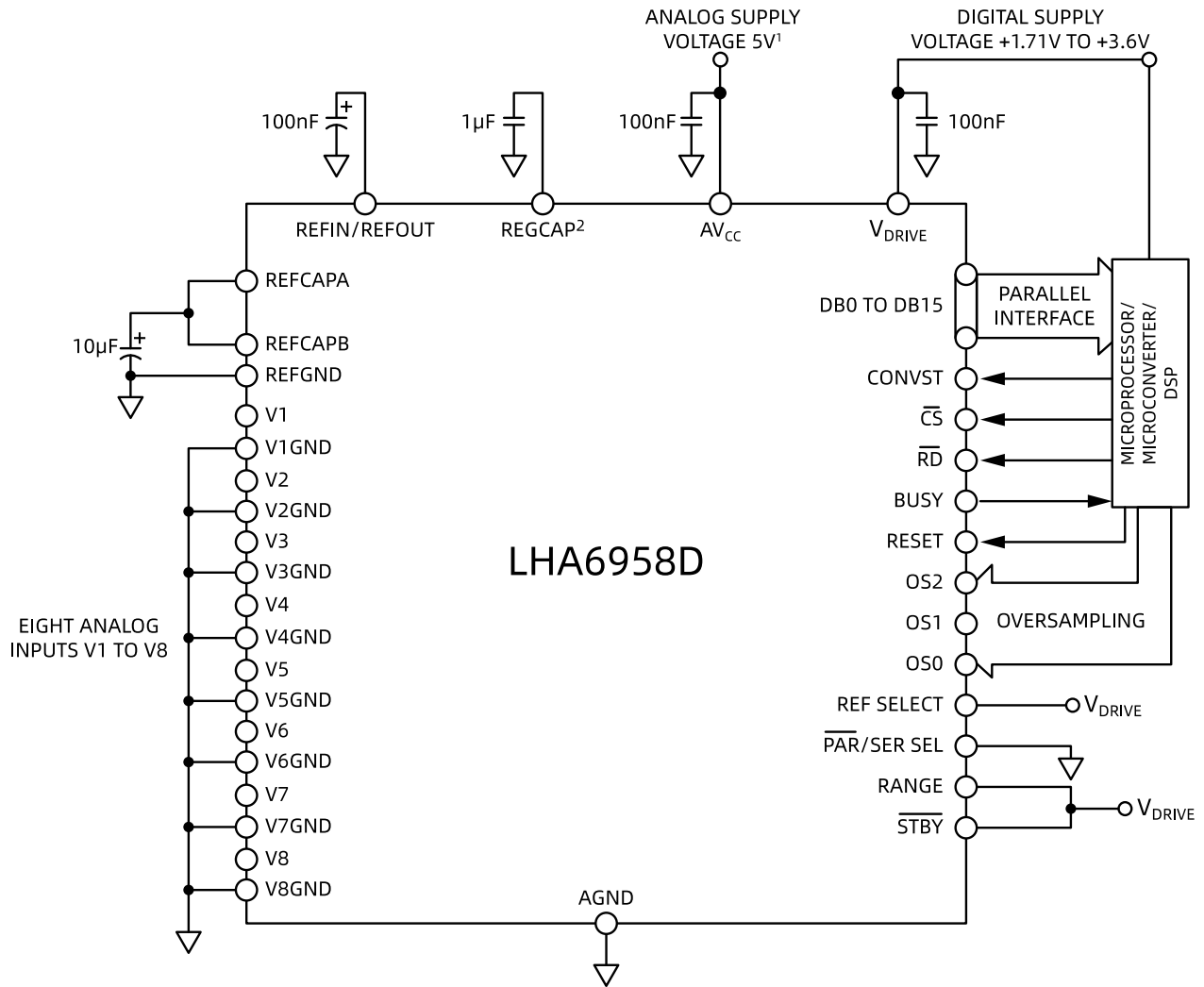
13. 典型连接图

器件上有四个 AV_{CC} 电源引脚。建议这四个电源引脚各使用一个 100 nF 去耦电容, 并在电源侧使用一个 10 μ F 电容去耦。LHA6958D 既可在内部基准电压下工作, 也可在外部施加的基准电压下工作。当电路板上只有一个 LHA6958D 器件时, 应利用一个 100 nF 电容对 REFIN/REFOUT 引脚去耦。当应用中使用多个 LHA6958D 器件时, 请参阅“基准电压”部分。REFCAPA 和 REFCAPB 引脚短路连在一起, 并通过一个 10 μ F 陶瓷电容来去耦。

V_{DRIVE} 电源连接到与处理器相同的电源。V_{DRIVE} 电压控制输出逻辑信号的电压值。有关布局、去耦和接地的更多信息, 请参阅“布局指南”部分。

将电源施加到 LHA6958D 后, 应对 LHA6958D 进行复位, 以确保将其配置为正确工作模式。

在图 34 中, LHA6958D 配置为使用内部基准电压工作, 因为 REF SELECT 引脚设置为逻辑高电平。在这个例子中, 器件还使用并行接口, 因为 PAR/SER 引脚与 AGND 相连。所有 8 个通道的模拟输入范围均为 ± 10 V, 只要 RANGE 引脚连接到高电平, 并且过采样率由控制器通过 OS 引脚控制。



¹ 每个 AV_{CC} 引脚需要单独的去耦电容(PIN 1, PIN 37, PIN 3B, PIN 48)。

² 每个 REGCAP 引脚需要单独的去耦电容(PIN 36, PIN 39)。

图34. LHA6958D 典型连接图

14. 应用信息

14.1. 布局布线指南

当设计安装 LHA6958D 的 PCB 时, 建议遵循以下布局指南:

- 模拟和数字部分分开, 并局限在电路板的不同区域。
- 至少使用一个接地平面层。
- 如果 LHA6958D 所在系统内有多个器件要求模数接地, 仍应坚持单点接地, 把接地点放置在尽可能靠近 LHA6958D 的一个星型接地点。
- 与地层建立稳定的连接。避免多个接地引脚共用一个到地层过孔或走线的连接情况。每个接地引脚应使用单个过孔或多个过孔连接到电源层。
- 应避免在器件下方直接布设数字线路, 否则会将噪声耦合至芯片。应允许模拟接地层布设在 LHA6958D 下方, 以避免噪声耦合。
- CONVST 或时钟等快速切换信号要使用数字地加以屏蔽, 以免将噪声辐射到电路板的其他部分, 而且快速切换信号绝不能靠近模拟信号路径。
- 避免数字信号与模拟信号走线交叠。
- 电路板上邻近层的走线应彼此垂直, 以减小电路板的馈通效应。
- LHA6958D 上 AV_{CC} 和 V_{DRIVE} 引脚的电源线应采用尽可能宽的走线, 以提供低阻抗路径, 并减小电源线路上的毛刺噪声影响。可能的话, 应使用电源层, 并在 LHA6958D 电源引脚与电路板的电源走线之间建立稳定连接。各电源引脚应使用单个过孔或多个过孔。
- 去耦电容应靠近(理想情况是紧靠)电源引脚及其对应的接地引脚放置。REFIN/REFOUT 引脚、REFCAPA 引脚和 REFCAPB 引脚的去耦电容尽可能靠近各自的 LHA6958D 引脚放置。可能的话, 这些引脚应放在电路板上与 LHA6958D 器件相同的一侧。
- 当 LHA6958D 的 V_{DRIVE} 引脚提供大于 3.6V 逻辑电平时, 应在芯片数字引脚与主机接口之间串接电阻 (33~200 Ω) 以减小振铃对通信的影响。

图 35 显示 LHA6958D 电路板顶层的建议去耦配置。图 36 显示了底层去耦配置, 它用于四个 AV_{CC} 引脚和 V_{DRIVE} 引脚去耦。 AV_{CC} 引脚的 100 nF 陶瓷电容靠近器件的相应引脚, 一个 100 nF 电容可以在引脚 37 和引脚 38 之间共享。

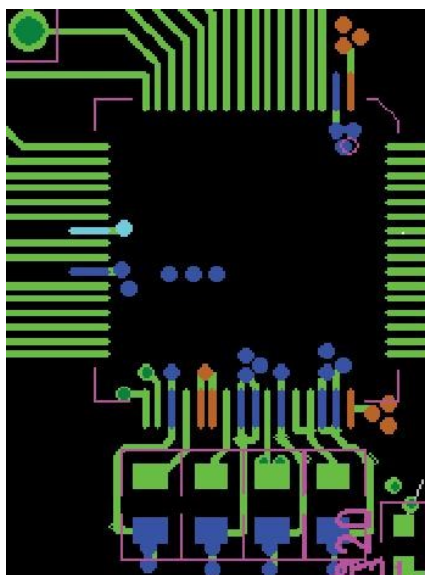


图35. REFIN/REFOUT、REFCAPA、REFCAPB 和 REGCAP 引脚的顶层去耦

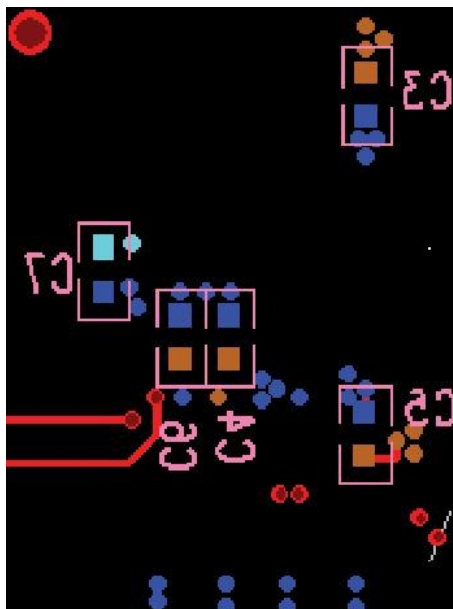


图36. 底层去耦

在内置多个 LHA6958D 器件的系统中，为确保 LHA6958D 器件之间的性能稳定匹配，这些器件必须采用对称布局。图 37 显示了采用两个 LHA6958D 器件的布局。AV_{CC} 电源层沿两个器件的右侧布设，V_{DRIVE} 电源走线沿两个器件的左侧布设。基准电压芯片位于两个器件之间，基准电压走线向北布设到 U1 的引脚 42，向南布设到 U2 的引脚 42。使用实心接地层。

这些对称布局原则同样适用于含有两个以上 LHA6958D 器件的系统。LHA6958D 器件可以沿南北方向放置，基准电压位于器件的中间，基准电压走线则沿南北方向布设，类似于图 37。

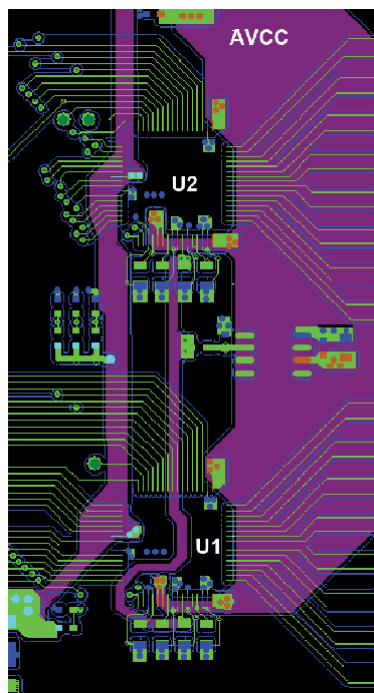
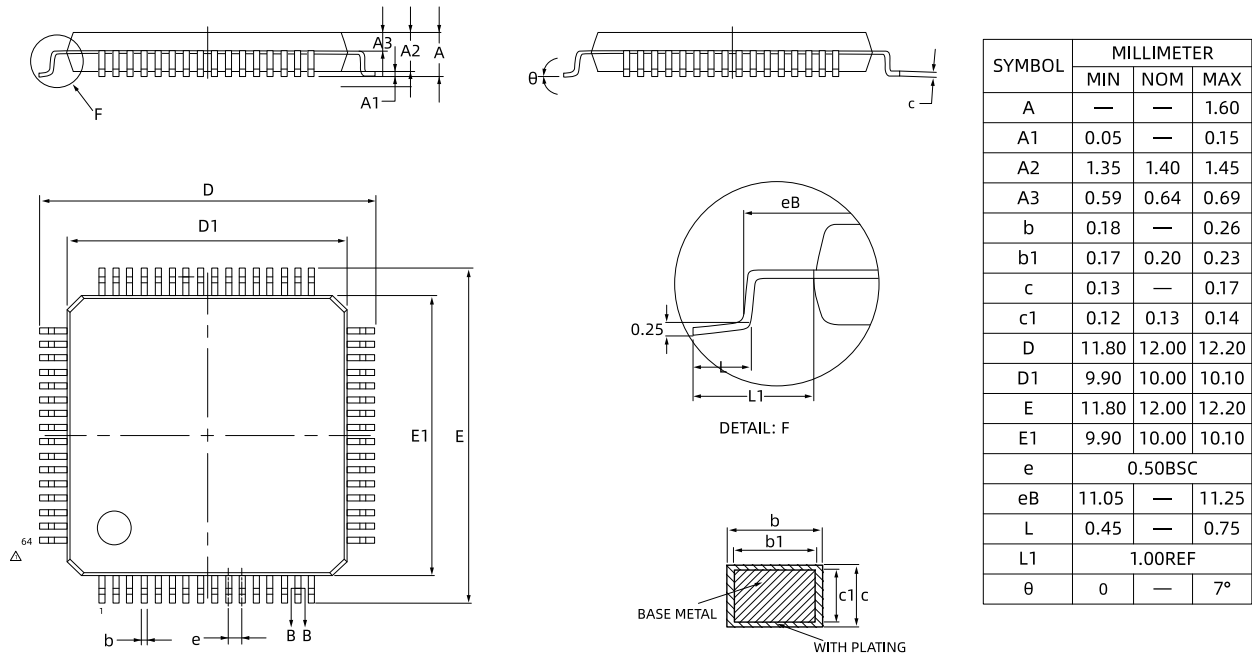


图37. 多个 LHA6958D 器件的布局—顶层和电源层

15. 外形尺寸



图示尺寸单位：毫米

图38. LHA6958D LQFP64 封装尺寸图

15.1. 订购指南

表15. 订购指南

芯片编号	精度	通道数	速率	温度范围	封装类型	引脚数
LHA6958DFLB	16Bits	8	500K SPS	-40°C ~ 125°C	LQFP	64
LHA6956DFLB	16Bits	6	500K SPS	-40°C ~ 125°C	LQFP	64
LHA6954DFLB	16Bits	4	500K SPS	-40°C ~ 125°C	LQFP	64

表16. 包装规格

订购型号	封装类型	引脚数	包装类型	大包装量	备注
LHA6958DFLB-TR	LQFP	64	TRAY	800 颗/包	
LHA6956DFLB-TR	LQFP	64	TRAY	800 颗/包	
LHA6954DFLB-TR	LQFP	64	TRAY	800 颗/包	

注释：REEL：卷带包装；
TRAY：托盘包装；
TUBE：管式包装；