

具有集成电流检测的 DRV8955 四路半桥驱动器

1 特性

- 四路半桥直流电机驱动器
 - 能够驱动最多四个螺线管负载、两个直流电机、一个步进电机或其它负载
 - 完全独立的半桥控制
- 集成电流检测和调节
- 4.5V 至 48V 工作电源电压范围
- 与以下器件引脚对引脚兼容：
 - DRV8932：33V，900mΩ HS + LS
 - DRV8935：33V，330mΩ HS + LS
- 业界通用 IN/IN 数字控制接口
- 可以并行连接半桥以提高输出电流
- 可配置关断时间 PWM 斩波
 - 7、16、24 或 32 μs
- 支持 1.8V、3.3V、5.0V 逻辑输入
- 低电流睡眠模式 (2μA)
- 展频时钟，以降低 EMI
- 保护特性
 - VM 欠压锁定 (UVLO)
 - 电荷泵欠压 (CPUV)
 - 过流保护 (OCP)
 - 热关断 (OTSD)
 - 故障调节输出 (nFAULT)

2 应用

- 冰箱风门和制冰机
- 纺织机
- 工厂自动化和机器人
- 办公和家庭自动化
- 洗衣机、烘干机和洗碗机
- 游戏机
- 通用螺线管负载

3 说明

DRV8955 将为工业应用提供四路可单独控制的半桥驱动器。该器件可用于驱动最多四个螺线管负载、两个直流电机、一个步进电机或其他负载。

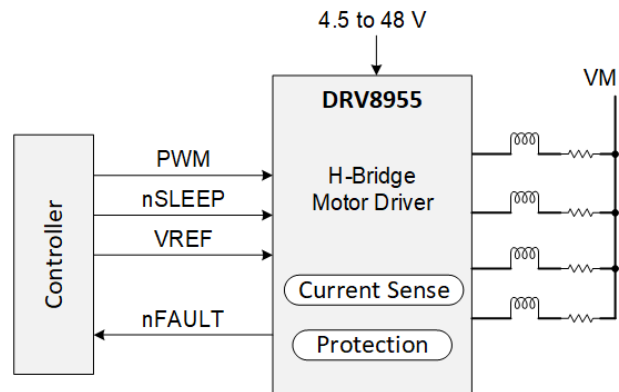
每个通道的输出驱动器由配置为半桥结构的 N 通道功率 MOSFET 组成。借助简单的 PWM (IN/IN) 接口，可轻松与控制器连接。提供单独控制每个半桥的独立输入。此外，可以将输出并联在一起以便为输出负载提供更大的电流。

DRV8955 由单一电源供电，支持 4.5V 至 48V 的宽输入电源电压范围。提供的低功耗睡眠模式可通过关断大量内部电路实现较低的静态电流消耗。提供的内部保护特性包括：欠压锁定、每个 FET 的过流保护、短路保护和过热保护。故障状态通过 nFAULT 引脚指示。

器件信息

器件型号 (1)	封装	封装尺寸 (标称值)
DRV8955PPWPR	HTSSOP (28)	9.7mm x 4.4mm
DRV8955PRGER	VQFN (24)	4.0mm x 4.0mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。



DRV8955 简化原理图



内容

1 特性	1	8 应用和实施	23
2 应用	1	8.1 应用信息.....	23
3 说明	1	8.2 典型应用.....	23
4 修订历史记录	2	9 电源相关建议	26
5 引脚配置和功能	3	9.1 确定大容量电容的大小.....	26
引脚功能.....	3	10 布局	27
6 规格	5	10.1 布局指南.....	27
6.1 绝对最大额定值.....	5	10.2 布局示例.....	27
6.2 ESD 等级.....	5	11 器件和文档支持	29
6.3 建议运行条件.....	6	11.1 文档支持.....	29
6.4 热性能信息.....	6	11.2 接收文档更新通知.....	29
6.5 电气特性.....	7	11.3 支持资源.....	29
7 详细说明	11	11.4 商标.....	29
7.1 概述.....	11	11.5 静电放电警告.....	29
7.2 功能方框图.....	12	11.6 术语表.....	29
7.3 特性说明.....	13	12 机械、封装和可订购信息	30
7.4 器件功能模式.....	21		

4 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

日期	修订版本	说明
2020 年 12 月	*	第一版。

5 引脚配置和功能

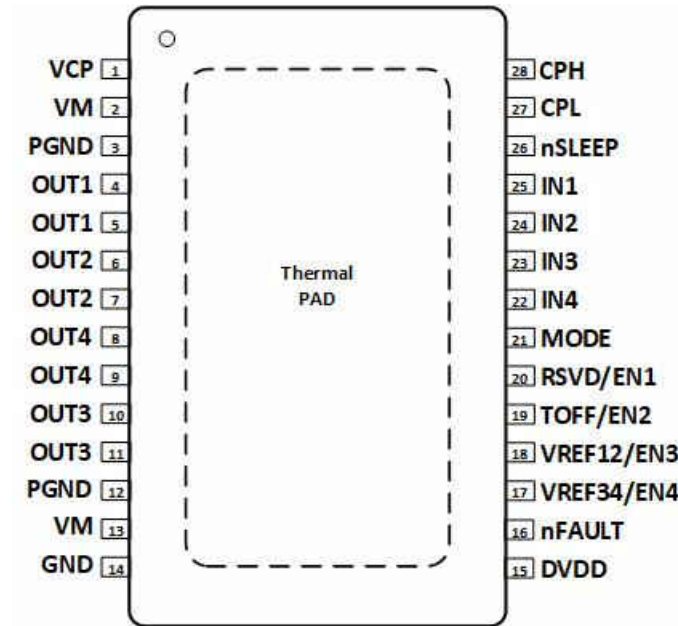


图 5-1. PWP PowerPAD™ 封装 28 引脚 HTSSOP DRV8955 俯视图

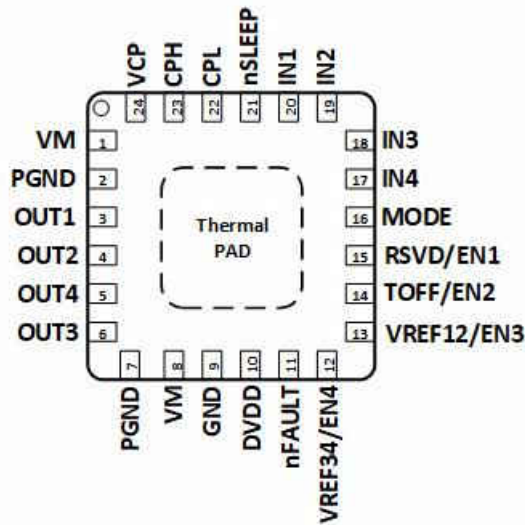


图 5-2. RGE 封装 24 引脚 VQFN (带有外露散热焊盘) DRV8955 俯视图

引脚功能

名称	引脚		类型	说明
	PWP	RGE		
IN1	25	20	I	PWM 输入。逻辑控制半桥 1 的状态；内部下拉。
IN2	24	19	I	PWM 输入。逻辑控制半桥 2 的状态；内部下拉。
IN3	23	18	I	PWM 输入。逻辑控制半桥 3 的状态；内部下拉。
IN4	22	17	I	PWM 输入。逻辑控制半桥 4 的状态；内部下拉。
OUT1	4、5	3	O	半桥 1 的输出。
OUT2	6、7	4	O	半桥 2 的输出。

引脚			类型	说明
名称	PWP	RGE		
OUT3	10、11	6	O	半桥 3 的输出。
OUT4	8、9	5	O	半桥 4 的输出。
VREF12/EN3	18	13	I	当 MODE 引脚为 0、1 或高阻态时，该引脚将充当基准电压输入引脚并控制半桥 1 和 2 的电流电平。当将 330k 电阻从 MODE 引脚接地时，该引脚上的逻辑高电平将会启用 OUT3。
VREF34/EN4	17	12	I	当 MODE 引脚为 0、1 或高阻态时，该引脚将充当基准电压输入引脚并控制半桥 3 和 4 的电流电平。当将 330k 电阻从 MODE 引脚接地时，该引脚上的逻辑高电平将会启用 OUT4。
RSVD/EN1	20	15	-	当 MODE 引脚为 0、1 或高阻态时，将此引脚保持未连接状态。当将 330k 电阻从 MODE 引脚接地时，该引脚上的逻辑高电平将会启用 OUT1。
MODE	21	16	I	MODE 引脚上的电压可选择并联各个半桥，或为电桥选择独立的高阻态运行。当 MODE 为 0 时，可以驱动四个独立的螺线管负载。当 MODE 为 1 时，将会并联成对的半桥，以便能够以更高的输出电流驱动两个螺线管负载。当 MODE 为开路时，将会并联所有半桥，并将驱动单个螺线管负载。当将 330k 电阻从 MODE 接地时，将会启用独立的高阻态运行 - 可以独立地启用或禁用各个半桥输出。
CPH	28	23	PWR	电荷泵开关节点。在 CPH 到 CPL 之间连接一个额定电压为 VM 的 X7R 0.022 μ F 陶瓷电容器。
CPL	27	22		
GND	14	9	PWR	器件接地。连接到系统接地。
TOFF/EN2	19	14	I	当 MODE 引脚为 0、1 或高阻态时，该引脚将在电流斩波期间设置关断时间。当将 330k 电阻从 MODE 接地时，该引脚上的逻辑高电平将会启用 OUT2。
DVDD	15	10	PWR	逻辑电源电压。通过电容为 0.47 μ F 至 1 μ F、额定电压为 6.3V 或 10V 的 X7R 陶瓷电容器连接至 GND。
VCP	1	24	O	电荷泵输出。通过一个 X7R 0.22 μ F 16V 陶瓷电容器连接至 VM。
VM	2、13	1、8	PWR	电源。连接到电源电压，并通过两个 0.01 μ F 陶瓷电容器（每个引脚一个）和一个额定电压为 VM 的大容量电容器旁路到 PGND。
PGND	3、12	2、7	PWR	电源接地。连接到系统接地。
nFAULT	16	11	O	故障指示。故障状态下拉至逻辑低电平；开漏输出需要外部上拉电阻。
nSLEEP	26	21	I	睡眠模式输入。逻辑高电平用于启用器件；逻辑低电平用于进入低功耗睡眠模式；内部下拉电阻。
PAD	-	-	-	散热焊盘。连接到系统接地。

6 规格

6.1 绝对最大额定值

在自然通风条件下的工作温度范围内，且电压以 GND 为基准（除非另有说明）

	最小值	最大值	单位
电源电压 (VM)	- 0.3	50	V
电荷泵电压 (VCP、CPH)	- 0.3	$V_{VM} + 7$	V
电荷泵负开关引脚 (CPL)	- 0.3	V_{VM}	V
nSLEEP 引脚电压 (nSLEEP)	- 0.3	V_{VM}	V
内部稳压器电压 (DVDD)	-0.3	5.75	V
控制和基准引脚电压 (IN1、IN2、IN3、IN4、nFAULT、RSVD/EN1、TOFF/EN2、MODE、VREF12/EN3、VREF34/EN4)	-0.3	5.75	V
开漏输出电流 (nFAULT)	0	10	mA
连续相节点引脚电压 (OUT1、OUT2、OUT3、OUT4)	- 1	$V_{VM} + 1$	V
瞬态 100ns 相节点引脚电压 (OUT1、OUT2、OUT3、OUT4)	- 3	$V_{VM} + 3$	V
峰值驱动电流 (OUT1、OUT2、OUT3、OUT4)	受内部限制		A
工作环境温度, T_A	-40	125	°C
运行结温, T_J	-40	150	°C
贮存温度, T_{stg}	-65	150	°C

6.2 ESD 等级

			值	单位	
$V_{(ESD)}$	静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001	± 2000	V	
		充电器件模型 (CDM), 符合 JEDEC 规范 JESD22-C101	PWP 转角引脚 (1、14、15 和 28)		± 750
			其他引脚		± 500

6.3 建议运行条件

在自然通风条件下的工作温度范围内测得 (除非另有说明)

		最小值	最大值	单位
V_{VM}	可确保正常 (直流) 运行的电源电压范围	4.5	48	V
V_I	逻辑电平输入电压	0	5.5	V
V_{REF}	基准均方根电压范围 (VREF)	0.05	3.3	V
f_{PWM}	施加的 PWM 信号 (IN1、IN2、IN3、IN4)	0	100	kHz
I_{FS}	峰值输出电流 (MODE = 0 或 330k 至 GND)	0	2.5	A
	峰值输出电流 (MODE = 1)	0	5	A
	峰值输出电流 (MODE = 高阻态)	0	10	A
T_A	工作环境温度	-40	125	°C
T_J	工作结温	-40	150	°C

6.4 热性能信息

热指标		PWP (HTSSOP)	RGE (VQFN)	单位
		28 引脚	24 引脚	
$R_{\theta JA}$	结至环境热阻	29.7	39.0	°C/W
$R_{\theta JC(top)}$	结至外壳 (顶部) 热阻	23.0	28.9	°C/W
$R_{\theta JB}$	结至电路板热阻	9.3	16.0	°C/W
ψ_{JT}	结至顶部特征参数	0.3	0.4	°C/W
ψ_{JB}	结至电路板特征参数	9.2	15.9	°C/W
$R_{\theta JC(bot)}$	结至外壳 (底部) 热阻	2.4	3.4	°C/W

6.5 电气特性

典型值都是在 $T_A = 25^\circ\text{C}$ 且 $V_{VM} = 24\text{V}$ 条件下的值。除非另有说明，否则所有限值都是在推荐工作条件下的限值。

参数		测试条件	最小值	典型值	最大值	单位
电源电压 (VM、DVDD)						
I_{VM}	VM 工作电源电流	nSLEEP = 1, 无负载		5	6.5	mA
I_{VMQ}	VM 睡眠模式电源电流	nSLEEP = 0		2	4	μA
t_{SLEEP}	休眠时间	nSLEEP = 0 至睡眠模式	120			μs
t_{RESET}	nSLEEP 复位脉冲	nSLEEP 低电平至清除故障	20		40	μs
t_{WAKE}	唤醒时间	nSLEEP = 1 至输出转换		0.8	1.2	ms
t_{ON}	开通时间	VM > UVLO 至输出转换		0.8	1.2	ms
V_{DVDD}	内部稳压器电压	无外部负载, $6\text{V} < V_{VM} < 48\text{V}$	4.75	5	5.25	V
		无外部负载, $V_{VM} = 4.5\text{V}$	4.2	4.35		V
电荷泵 (VCP、CPH、CPL)						
V_{VCP}	VCP 工作电压	$6\text{V} < V_{VM} < 48\text{V}$		$V_{VM} + 5$		V
$f_{(VCP)}$	电荷泵开关频率	$V_{VM} > UVLO$; nSLEEP = 1		360		kHz
逻辑电平输入 (IN1、IN2、IN3、IN4、EN1、EN2、EN3、EN4、nSLEEP)						
V_{IL}	输入逻辑低电平电压		0		0.6	V
V_{IH}	输入逻辑高电平电压		1.5		5.5	V
V_{HYS}	输入逻辑迟滞			150		mV
I_{IL}	输入逻辑低电平电流	$V_{IN} = 0\text{V}$	-1		1	μA
I_{IH}	输入逻辑高电平电流	$V_{IN} = 5\text{V}$			100	μA
t_1	ENx 高电平到 OUTx 高电平延迟	INx = 1			5	μs
t_2	ENx 低电平到 OUTx 低电平延迟	INx = 1			5	μs
t_3	ENx 高电平到 OUTx 低电平延迟	INx = 0			5	μs
t_4	ENx 低电平到 OUTx 高电平延迟	INx = 0			5	μs
t_5	INx 高电平到 OUTx 高电平延迟			800		ns
t_6	INx 低电平到 OUTx 低电平延迟			800		ns
四电平输入 (MODE、TOFF)						
V_{I1}	输入逻辑低电平电压	连接至 GND	0		0.6	V
V_{I2}		$330\text{k}\Omega \pm 5\%$ 至 GND	1	1.25	1.4	V
V_{I3}	输入高阻抗电压	高阻抗 ($>500\text{k}\Omega$ 至 GND)	1.8	2	2.2	V
V_{I4}	输入逻辑高电平电压	连接至 DVDD	2.7		5.5	V
I_O	输出上拉电流			10		μA
控制输出 (nFAULT)						
V_{OL}	输出逻辑低电平电压	$I_O = 5\text{mA}$			0.5	V
I_{OH}	输出逻辑高电平泄漏电流		-1		1	μA
电机驱动器输出 (OUT1、OUT2、OUT3、OUT4)						
$R_{DS(ONH)}$	高侧 FET 导通电阻 (MODE = 0 或 330k 至 GND)	$T_J = 25^\circ\text{C}$, $I_O = -1\text{A}$		165	200	$\text{m}\Omega$
		$T_J = 125^\circ\text{C}$, $I_O = -1\text{A}$		250	300	$\text{m}\Omega$
		$T_J = 150^\circ\text{C}$, $I_O = -1\text{A}$		280	350	$\text{m}\Omega$
$R_{DS(ONL)}$	低侧 FET 导通电阻 (MODE = 0 或 330k 至 GND)	$T_J = 25^\circ\text{C}$, $I_O = 1\text{A}$		165	200	$\text{m}\Omega$
		$T_J = 125^\circ\text{C}$, $I_O = 1\text{A}$		250	300	$\text{m}\Omega$
		$T_J = 150^\circ\text{C}$, $I_O = 1\text{A}$		280	350	$\text{m}\Omega$

典型值都是在 $T_A = 25^\circ\text{C}$ 且 $V_{VM} = 24\text{V}$ 条件下的值。除非另有说明，否则所有限值都是在推荐工作条件下的限值。

参数		测试条件	最小值	典型值	最大值	单位
R _{DS(OH)}	高侧 FET 导通电阻 (MODE = 1)	T _J = 25°C, I _O = -1A		80	100	mΩ
		T _J = 125°C, I _O = -1A		125	150	mΩ
		T _J = 150°C, I _O = -1A		140	175	mΩ
R _{DS(ONL)}	低侧 FET 导通电阻 (MODE = 1)	T _J = 25°C, I _O = 1A		80	100	mΩ
		T _J = 125°C, I _O = 1A		125	150	mΩ
		T _J = 150°C, I _O = 1A		140	175	mΩ
R _{DS(OH)}	高侧 FET 导通电阻 (MODE = 高阻态)	T _J = 25°C, I _O = -1A		40	50	mΩ
		T _J = 125°C, I _O = -1A		60	75	mΩ
		T _J = 150°C, I _O = -1A		70	90	mΩ
R _{DS(ONL)}	低侧 FET 导通电阻 (MODE = 高阻态)	T _J = 25°C, I _O = 1A		40	50	mΩ
		T _J = 125°C, I _O = 1A		60	75	mΩ
		T _J = 150°C, I _O = 1A		70	90	mΩ
t _{RF}	输出上升/下降时间	VM = 24V		100		ns
电流调节 (VREF)						
K _V	跨阻增益	VREF = 3.3V, MODE = 0 或 330k 至 GND	1.254	1.32	1.386	V/A
		VREF = 3.3V, MODE = 1	0.627	0.66	0.693	V/A
		VREF = 3.3V, MODE = 高阻态	0.313	0.33	0.347	V/A
I _{VREF}	VREF 泄漏电流	VREF = 3.3V			8.25	μA
t _{OFF}	PWM 关断时间	TOFF = 0		7		μs
		TOFF = 1		16		
		TOFF = 高阻态		24		
		TOFF = 330kΩ 至 GND		32		
Δ I _{TRIP}	电流跳变精度	ITRIP 设置的 10% 至 20%	-12		12	%
		ITRIP 设置的 20% 至 40%	-6		6	
		ITRIP 设置的 40% 至 100%	-4		4	
保护电路						
V _{UVLO}	VM UVLO 锁定	VM 下降, UVLO 下降	4.1	4.25	4.35	V
		VM 上升, UVLO 上升	4.2	4.35	4.45	
V _{UVLO,HYS}	欠压迟滞	上升至下降阈值		100		mV
V _{CPUV}	电荷泵欠压	VCP 下降		V _{VM} + 2		V
I _{OCP}	过流保护	流经任何 FET 的电流 (MODE = 0 或 330k 至 GND)	4			A
		流经任何 FET 的电流 (MODE = 1)	8			A
		流经任何 FET 的电流 (MODE = 高阻态)	16			A
t _{OCP}	过流抗尖峰时间			2		μs
T _{OTSD}	热关断	内核温度 T _J	150	165	180	°C
T _{HYS_OTSD}	热关断迟滞	内核温度 T _J		20		°C

6.5.1 典型特性

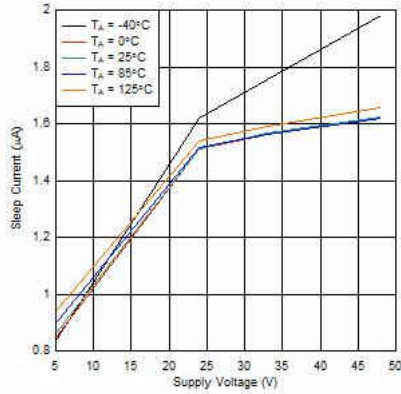


图 6-1. 睡眠电流与电源电压间的关系

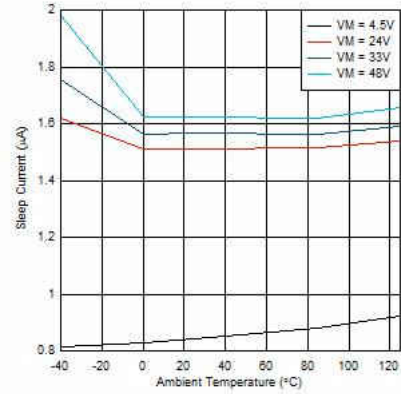


图 6-2. 睡眠电流与温度间的关系

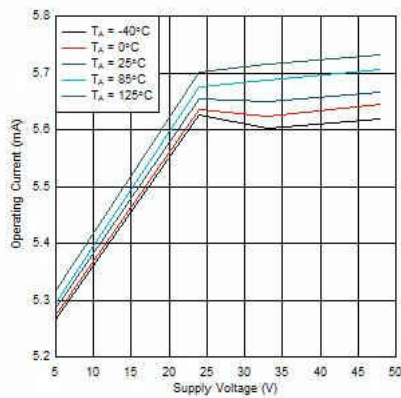


图 6-3. 工作电流与电源电压间的关系

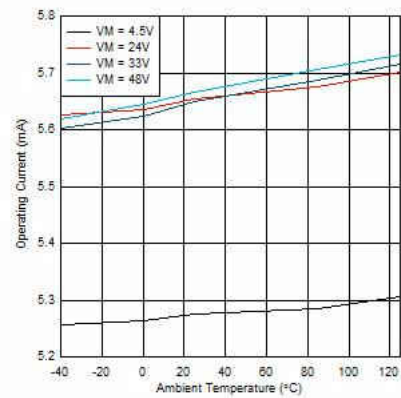


图 6-4. 工作电流与温度间的关系

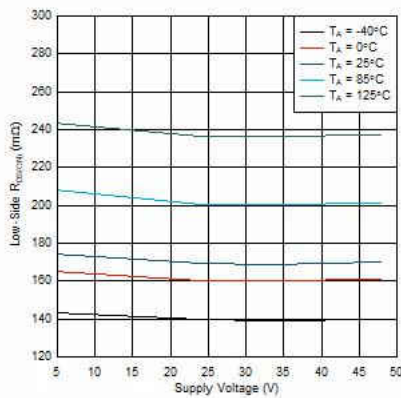


图 6-5. 低侧 $R_{DS(ON)}$ 与电源电压间的关系 (MODE = 0 或 330k 至 GND)

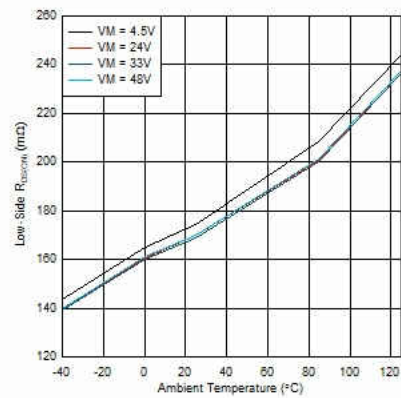


图 6-6. 低侧 $R_{DS(ON)}$ 与温度间的关系 (MODE = 0 或 330k 至 GND)

6.5.1 典型特性 (continued)

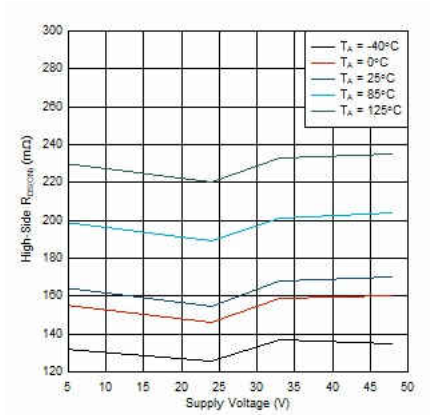


图 6-7. 高侧 $R_{DS(ON)}$ 与电源电压间的关系 (MODE = 0 或 330k 至 GND)

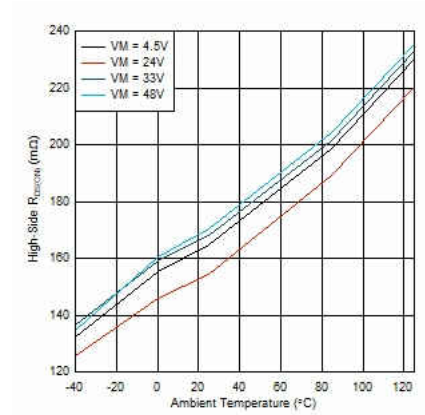


图 6-8. 高侧 $R_{DS(ON)}$ 与温度间的关系 (MODE = 0 或 330k 至 GND)

7 详细说明

7.1 概述

DRV8955 支持 4.5V 至 48V 的电源电压，且可驱动最多四个螺线管负载。

借助简单的 PWM 接口选项，可轻松连接至输出。使用 MODE 引脚，可以将半桥配置为驱动一个、两个或四个螺线管负载，或对每个半桥进行独立的高阻态控制。当并联半桥以驱动一个或两个负载时，该器件可支持更高的输出电流。电流调节的触发点通过 VREF 引脚电压的值来控制。可以将 PWM 关断时间 t_{OFF} 调节为 7、16、24 或 32 μs 。系统包括一个低功耗睡眠模式，以便在不驱动负载时省电。

各种集成保护特性将在出现系统故障时保护该器件。这些保护功能包括欠压锁定 (UVLO)、电荷泵欠压 (CPUV)、过流保护 (OCP) 和过热关断 (TSD)。故障情况通过 nFAULT 引脚指示。

7.2 功能方框图

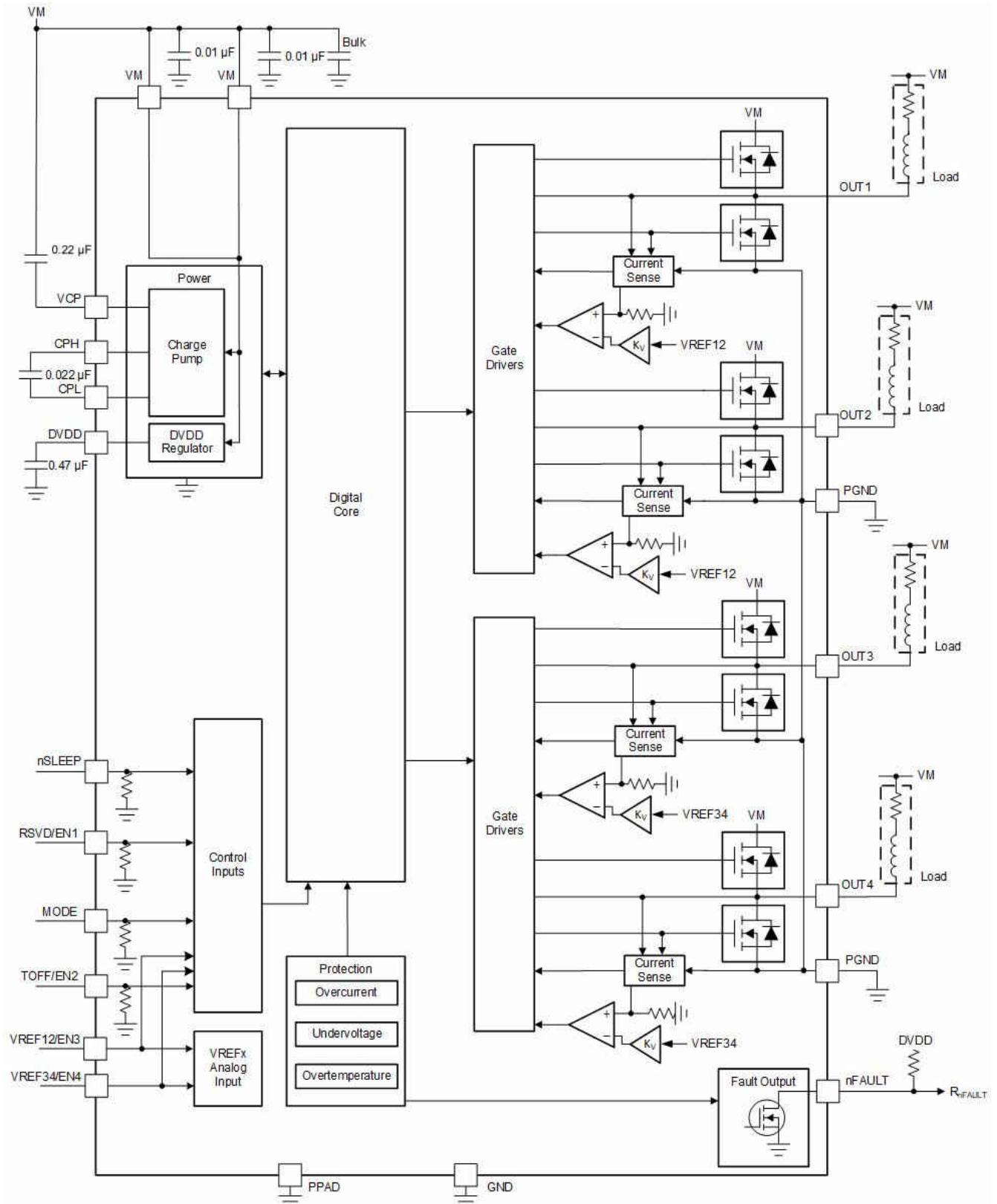


图 7-1. DRV8955 方框图

7.3 特性说明

下表显示了驱动器外部组件的建议值。

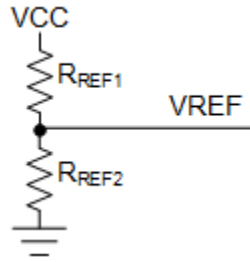


图 7-2. 连接到 VREF 引脚的电阻分压器

表 7-1. 外部组件

组件	引脚 1	引脚 2	推荐
C _{VM1}	VM	PGND	两个额定电压为 VM 的 X7R 0.01μF 陶瓷电容器
C _{VM2}	VM	PGND	额定电压为 VM 的大容量电容器
C _{VCP}	VCP	VM	X7R 0.22μF 16V 陶瓷电容器
C _{SW}	CPH	CPL	额定电压为 VM 的 X7R 0.022μF 陶瓷电容器
C _{DVDD}	DVDD	GND	额定电压为 6.3V 或 10V 的 X7R 0.47μF 至 1μF 陶瓷电容器
R _{nFAULT}	VCC	nFAULT	>4.7kΩ 电阻
R _{REF1}	VREF12	VCC	用于限制斩波电流的电阻。建议 R _{REF1} 和 R _{REF2} 的并联电阻值应低于 50kΩ。
R _{REF2} (可选)	VREF12	GND	
R _{REF3}	VREF34	VCC	用于限制斩波电流的电阻。建议 R _{REF3} 和 R _{REF4} 的并联电阻值应低于 50kΩ。
R _{REF4} (可选)	VREF34	GND	

VCC 不是该器件上的引脚，但开漏输出 nFAULT 需要 VCC 电源电压上拉；nFAULT 可能会被上拉到 DVDD。

7.3.1 配置选项和电桥控制

MODE 引脚配置可配置半桥，便于器件驱动一个、两个或四个螺线管负载。通过并联半桥，可以支持更高的负载电流。表 7-2 显示了四种可能的设置：

表 7-2. DRV8955 配置选项

MODE	半桥数量	独立高阻态控制	R _{dsON} (HS + LS)	最大 ITRIP	输入控制引脚	电流控制
0	四	否	330mΩ	2.5A	IN1、IN2、IN3、IN4	VREF12 控制 OUT1 和 OUT2 的 ITRIP，VREF34 控制 OUT3 和 OUT4 的 ITRIP。
1	二 (将 OUT1 和 OUT2 连接在一起，将 OUT3 和 OUT4 连接在一起)	否	160mΩ	5A	IN2 控制 OUT1 和 OUT2，IN4 控制 OUT3 和 OUT4	VREF12 控制 OUT1 和 OUT2 的 ITRIP，VREF34 控制 OUT3 和 OUT4 的 ITRIP。
高阻态	一 (将所有四个 OUT 引脚连接在一起)	否	80mΩ	10A	IN4 控制组合输出	VREF12 必须短接到 VREF34 才能控制输出负载的 ITRIP。
330kΩ 至 GND	四 (独立高阻态)	是	330mΩ	不能进行 ITRIP 控制。	IN1、IN2、IN3、IN4、EN1、EN2、EN3、EN4	必须通过输入 PWM 脉冲宽度控制每个输出的电流。VREF 和 TOFF 引脚在此模式下重新分配为使能 (ENx) 引脚。

INx 输入引脚直接控制 OUTx 输出的状态（高电平或低电平）。当 MODE 引脚连接到 330k 电阻至 GND 时，ENx 输入引脚将启用或禁用 OUTx 驱动器，如下面所示。

表 7-3. DRV8955 H 桥逻辑 (适用于 MODE = 0、1 或高阻态)

nSLEEP	INx	OUTx	说明
0	X	高阻态	睡眠模式；半桥禁用（高阻态）
1	0	L	OUTx 低侧导通
1	1	H	OUTx 高侧导通

表 7-4. DRV8955 H 桥逻辑 (适用于 MODE = 330k 至 GND)

nSLEEP	INx	ENx	OUTx	说明
0	X	X	高阻态	睡眠模式；半桥禁用（高阻态）
1	X	0	高阻态	禁用单独输出（高阻态）
1	0	1	L	OUTx 低侧导通
1	1	1	H	OUTx 高侧导通

当 MODE 引脚连接到 330k 电阻至 GND 时，还可以使用输入进行 PWM 控制，例如控制直流电机的转速。当使用 PWM 控制绕组时，如果驱动电流中断，电机的感应性质将要求电流必须继续流动。这称为再循环电流。为了处理此再循环电流，H 桥可在两种不同的状态下运行：快速衰减或慢速衰减。在快速衰减模式下，将会禁用 H 桥，再循环电流将会流过体二极管；在慢速衰减模式下，将会短接电机绕组。

使用快速衰减执行 PWM 操作时，会将 PWM 信号应用到 ENx 引脚；使用慢速衰减时，会将 PWM 信号应用到 INx 引脚。下表是使用 OUT1 和 OUT2 作为 H 桥来驱动直流电机的示例：

表 7-5. PWM 功能

IN1	EN1	IN2	EN2	功能
PWM	1	0	1	正向 PWM，慢速衰减
0	1	PWM	1	反向 PWM，慢速衰减
1	PWM	0	PWM	正向 PWM，快速衰减
0	PWM	1	PWM	反向 PWM，快速衰减

7.3.2 电流调节

在将输出负载连接至 VM 电源后，并且 MODE 引脚为 0、1 或高阻态时，可将负载电流调节至 ITRIP 电平。表 7-2 说明了 VREF 引脚在各种运行模式下如何控制输出电流。

MODE = 0 时，您可以使用以下公式计算 ITRIP 电流 (I_{TRIP})： $I_{TRIP} (A) = V_{REF} (V)/1.32 (V/A)$ 。

MODE = 1 时， $I_{TRIP} (A) = V_{REF} (V)/0.66 (V/A)$ 。

MODE = 高阻态时， $I_{TRIP} (A) = V_{REF} (V)/0.33 (V/A)$ 。

通过在 DVDD 引脚和接地之间连接电阻分压器，可以对 VREF 电压进行编程。两个 VREF 引脚可以连接在一起，从而为所有输出通道编程相同的 ITRIP 电流。

当 INx = 0 时，低侧 FET 将开启，直至电流增长并达到 ITRIP 电平。一旦负载电流等于 ITRIP，低侧 FET 将关闭，高侧 FET 则将在关断时间（由 TOFF 引脚决定）内保持开启状态。关断时间结束后，将重新开启低侧 FET 并重复该循环。

对于连接至 VM 的电阻负载，如果 ITRIP 高于 (VM/R_{LOAD}) ，则在 INx = 0 时会将负载电流调节至 VM/R_{LOAD} 电平。对于连接至 VM 的电感负载，应确保在每个周期对电流进行足够的衰减，以防止失控并触发过流保护。下面介绍了不同的使用情况：

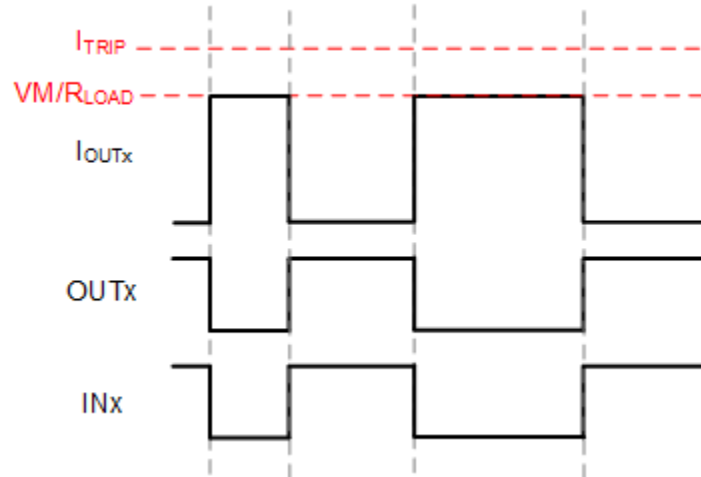


图 7-3. 电阻负载连接至 VM，逐周期控制， I_{TRIP} 高于 VM/R_{LOAD} 。

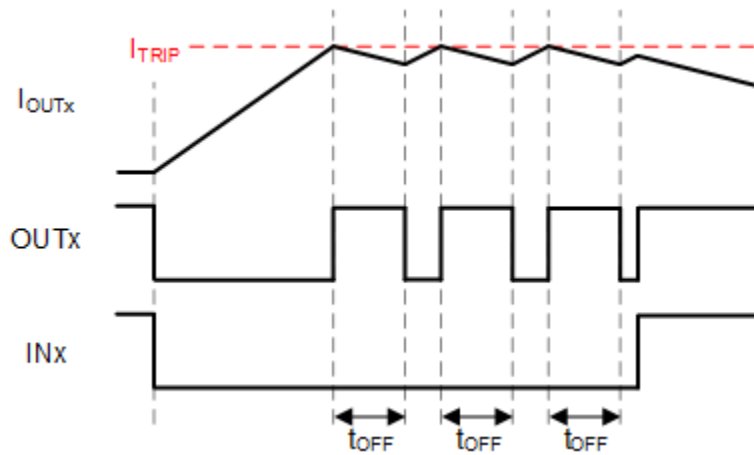


图 7-4. 电感负载连接至 VM，固定关断时间电流斩波

在这种情况下，当 $INx = 0$ 时，高侧 MOSFET 会在 I_{OUT} 超过 I_{TRIP} 后在 t_{OFF} 内保持开启状态。 t_{OFF} 后，低侧 MOSFET 将重新开启，直至 I_{OUT} 再次超过 I_{TRIP} 。固定关断时间模式允许在外部控制器不介入的情况下使用简单的电流斩波方案。固定关断时间模式将支持 100% 占空比的电流调节。

控制负载电流的另外一种方式是逐周期控制模式，该模式下会控制 INx 输入引脚的 PWM 脉冲宽度。这样即可通过外部控制器来额外控制电流斩波方案。对于连接至 VM 的负载，当 $INx = 0$ 时，流经该负载的电流将增加；当 $INx = 1$ 时，流经该负载的电流将衰减。通过适当选择 INx 脉冲的占空比，可以将电流调节到目标值。下面介绍了各种此类使用情况：

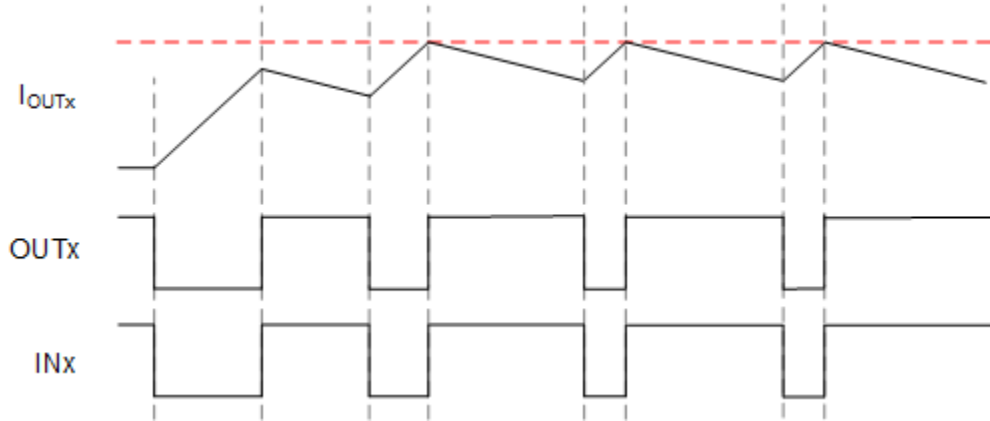


图 7-5. 电感负载连接至 VM，逐周期控制

在这种情况下，需要对 INx 引脚的占空比进行调节，以确保电流不会失控。

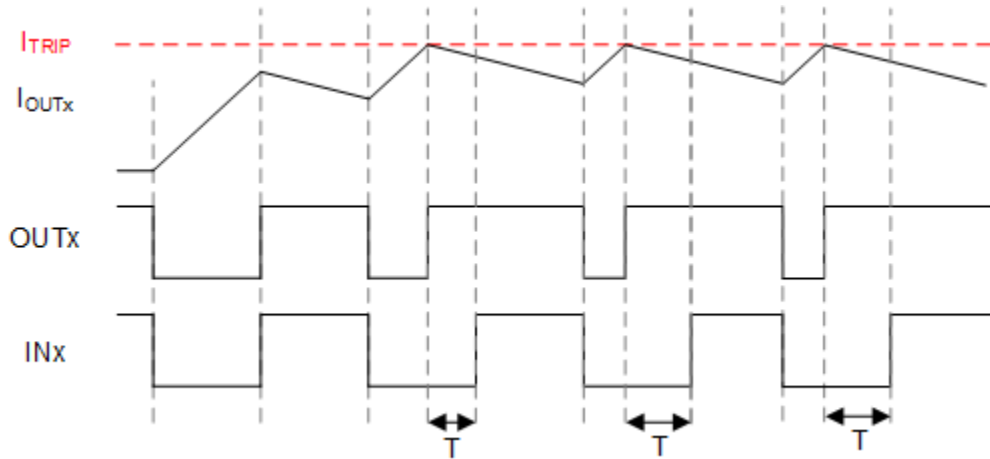


图 7-6. 电感负载连接至 VM，逐周期控制，T 必须短于 DRV8955 的 T_{OFF}。

同样，也可以通过控制 INx 引脚的脉冲宽度来控制流经接地负载的电流：INx = 1 时电流增加，INx = 0 时电流衰减。下面介绍了这两种使用情况：

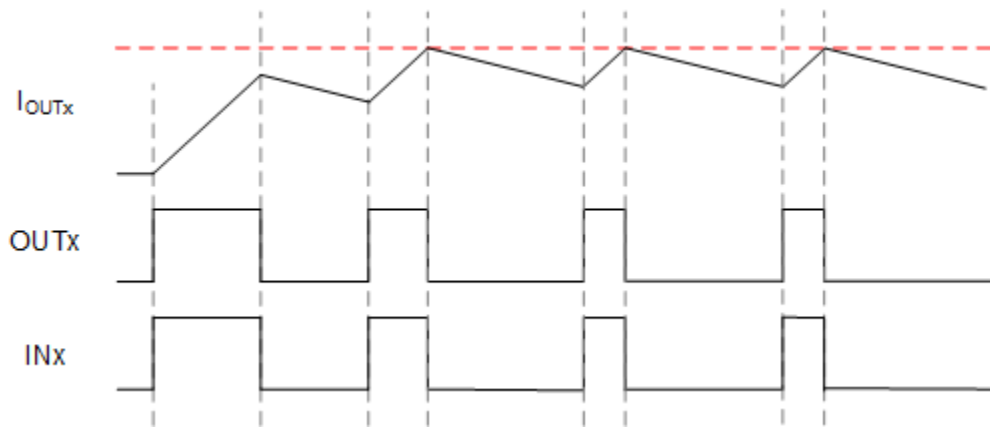


图 7-7. 电感负载接地，逐周期控制

在这种情况下，需要对 INx 引脚的占空比进行调节，以确保电流不会失控。

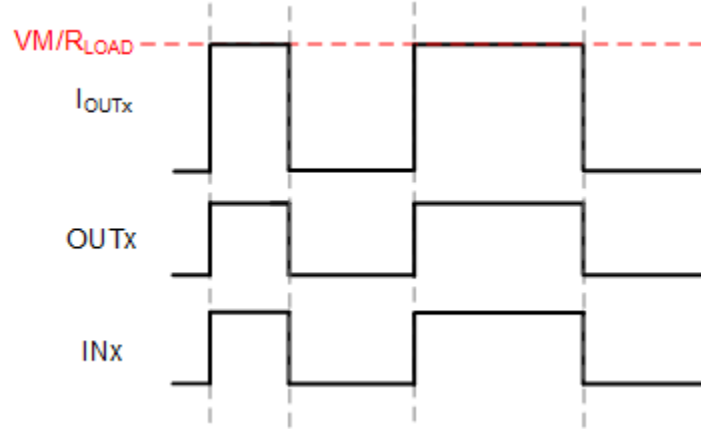


图 7-8. 电阻负载接地，逐周期控制

表 7-6. 关断时间设置

TOFF	关断时间 t_{OFF}
0	7 μ s
1	16 μ s
高阻态	24 μ s
330k Ω 至 GND	32 μ s

7.3.3 电荷泵

集成了一个电荷泵以提供高侧 N 沟道 MOSFET 栅极驱动电压。需要在 VM 和 VCP 引脚之间为电荷泵放置一个电容作为储能电容。此外，还需要在 CPH 和 CPL 引脚之间放置一个陶瓷电容作为飞跨电容。

7.3.4 线性稳压器

该器件中集成了一个线性稳压器。DVDD 稳压器可用于提供基准电压。DVDD 最大可提供 2mA 的负载。为确保正常运行，请使用陶瓷电容器将 DVDD 引脚旁路至 GND。

DVDD 输出的标称值为 5V。当 DVDD LDO 电流负载超过 2mA 时，输出电压会显著下降。

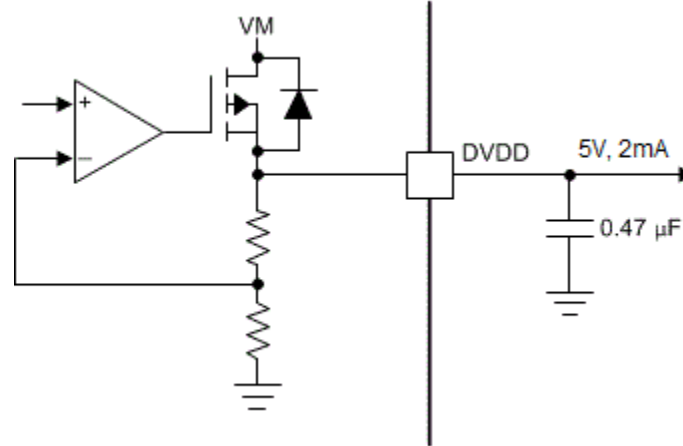


图 7-10. 线性稳压器方框图

如果数字输入须一直连接高电平（即 MODE 或 TOFF），则宜将输入连接到 DVDD 引脚而不是外部稳压器。此方法可在未应用 VM 引脚或处于休眠模式时省电：DVDD 稳压器被禁用，电流不会流经输入下拉电阻。作为参考，逻辑电平输入的典型下拉电阻为 200kΩ。

请勿将 nSLEEP 引脚连接至 DVDD，否则器件将无法退出睡眠模式。

7.3.5 逻辑和四电平引脚图

图 7-11 提供了逻辑电平引脚 IN1、IN2、IN3、IN4 和 nSLEEP 的输入结构：

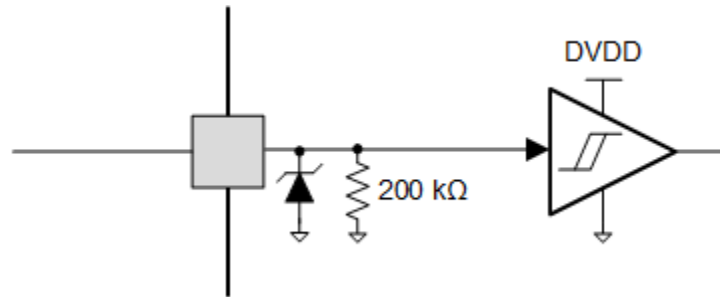


图 7-11. 逻辑电平输入引脚图

四电平逻辑引脚 MODE 和 TOFF 具有图 7-12 所示的以下结构。

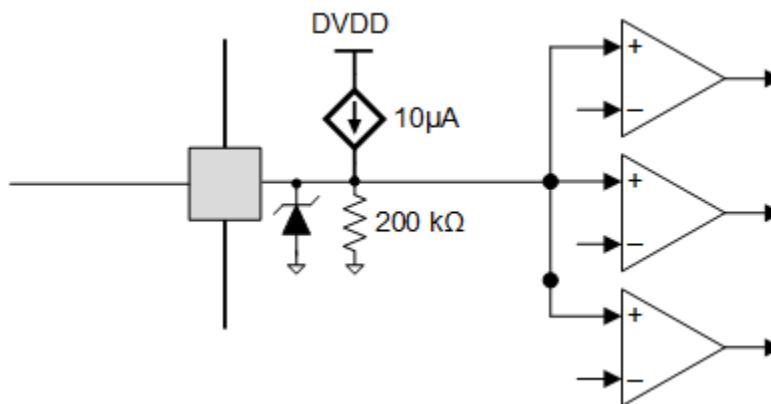


图 7-12. 四电平输入引脚图

7.3.5.1 nFAULT 引脚

nFAULT 引脚具有开漏输出且应上拉至 5V、3.3V 或 1.8V 电源电压。当检测到故障时，nFAULT 引脚将变成逻辑低电平；上电后，则变成高电平。对于 5V 上拉，nFAULT 引脚可通过一个电阻连接至 DVDD 引脚。对于 3.3V 或 1.8V 上拉，必须使用一个外部电源。

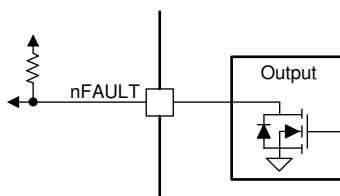


图 7-13. nFAULT 引脚

7.3.6 保护电路

这些器件可完全防止电源欠压、电荷泵欠压、输出过流和器件过热事件。

7.3.6.1 VM 欠压锁定 (UVLO)

无论 VM 引脚电压何时降至电源电压的 UVLO 阈值电压以下，都会禁用所有输出并将 nFAULT 引脚驱动为低电平。在这种情况下，电荷泵会禁用。VM 欠压条件消失后，器件将恢复正常运行（电机驱动器运行并释放 nFAULT 引脚）。

7.3.6.2 VCP 欠压锁定 (CPUV)

无论 VCP 引脚电压何时降至 CPUV 电压以下，都会禁用所有输出并将 nFAULT 引脚驱动为低电平。在这种情况下，电荷泵将保持有效状态。VCP 欠压条件消失后，器件将恢复正常运行（电机驱动器运行且释放 nFAULT 引脚）。

7.3.6.3 过流保护 (OCP)

每个 FET 上的模拟电流限制电路都将通过移除栅极驱动来限制流经 FET 的电流。如果此电流限制的持续时间超过 t_{OCP} ，则将会禁用检测到 OCP 的半桥并将 nFAULT 引脚驱动为低电平。在这种情况下，电荷泵将保持有效状态。一旦 OCP 条件消除，器件会在应用 nSLEEP 复位脉冲或重新上电后恢复正常运行。

7.3.6.4 热关断 (OTSD)

如果内核温度超过热关断限值 (T_{OTSD})，则会禁用 H 桥中的所有 MOSFET 并将 nFAULT 引脚驱动为低电平。结温降至过热阈值限值减去迟滞 ($T_{OTSD} - T_{HYS_OTSD}$) 所得的值以下后，器件会在应用 nSLEEP 复位脉冲或功率循环后恢复正常运行。

故障条件汇总

表 7-7. 故障条件汇总

故障	条件	错误报告	半桥	电荷泵	逻辑	恢复
VM 欠压 (UVLO)	$VM < V_{UVLO}$	nFAULT	全部禁用	禁用	复位 ($V_{DVDD} < 3.9V$)	自动： $VM > V_{UVLO}$
CP 欠压 (CPUV)	$VCP < V_{CPUV}$	nFAULT	全部禁用	工作	工作	$VCP > V_{CPUV}$
过流 (OCP)	$I_{OUT} > I_{OCP}$	nFAULT	禁用具有 OCP 的半桥	工作	工作	锁存
热关断 (OTSD)	$T_J > T_{TSD}$	nFAULT	全部禁用	禁用	工作	锁存

7.4 器件功能模式

7.4.1 睡眠模式 (nSLEEP = 0)

该器件的状态通过 nSLEEP 引脚进行管理。当 nSLEEP 引脚为低电平时，该器件将进入低功耗睡眠模式。在睡眠模式下，将会禁用所有内部 MOSFET 和电荷泵。必须在 nSLEEP 引脚上的下降沿之后再过去 t_{SLEEP} 时间后，器件才能进入睡眠模式。如果 nSLEEP 引脚变为高电平，该器件会自动退出睡眠模式。必须在经过 t_{WAKE} 时间之后，器件才能针对输入做好准备。

7.4.2 工作模式 (nSLEEP = 1)

当 nSLEEP 引脚为高电平且 $VM > UVLO$ 时，器件将进入运行模式。必须在经过 t_{WAKE} 时间之后，器件才能针对输入做好准备。

7.4.3 nSLEEP 复位脉冲

锁存故障可通过快速 nSLEEP 脉冲清除。该脉冲的宽度必须在 $20\mu s$ 至 $40\mu s$ 之间。如果 nSLEEP 在 $40\mu s$ 至 $120\mu s$ 的时间内保持低电平，则会清除故障，但器件有可能会关断，也有可能不关断，如时序图中所示（请参阅图 7-14）。该复位脉冲不影响电荷泵或其他功能块的状态。

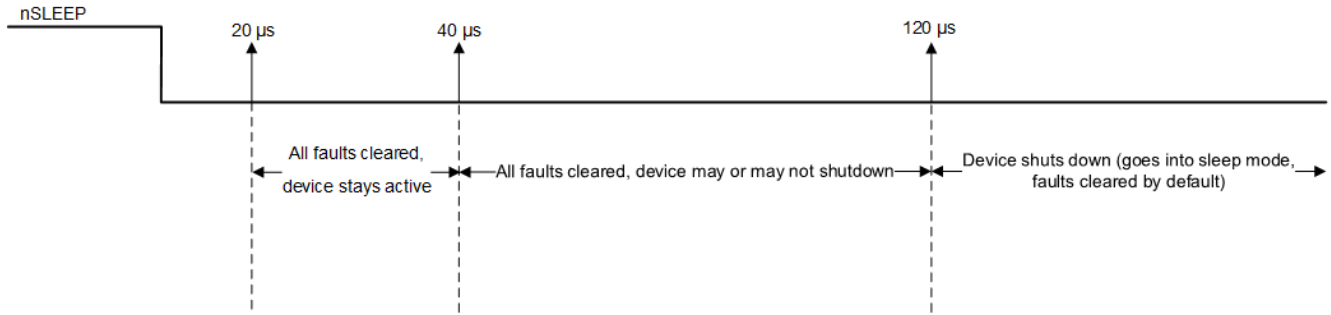


图 7-14. nSLEEP 复位脉冲

功能模式汇总

表 7-8 汇总了所有功能模式。

表 7-8. 功能模式汇总

条件	配置	半桥	DVDD 稳压器	电荷泵	逻辑
睡眠模式	4.5V < VM < 48V nSLEEP 引脚 = 0	禁用	禁用	禁用	禁用
工作	4.5V < VM < 48V nSLEEP 引脚 = 1	工作	工作	工作	工作

8 应用和实施

NOTE

以下应用部分的信息不属于 TI 组件规范，TI 不担保其准确性和完整性。客户应负责确定 TI 组件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

8.1 应用信息

DRV8955 是一款具有保护特性的四通道半桥驱动器。该器件可用于驱动一个步进电机、多个有刷直流电机或最多四个螺线管负载。

8.2 典型应用

以下设计过程可用于配置 DRV8955。在该应用中，此器件将用于驱动四个螺线管负载。

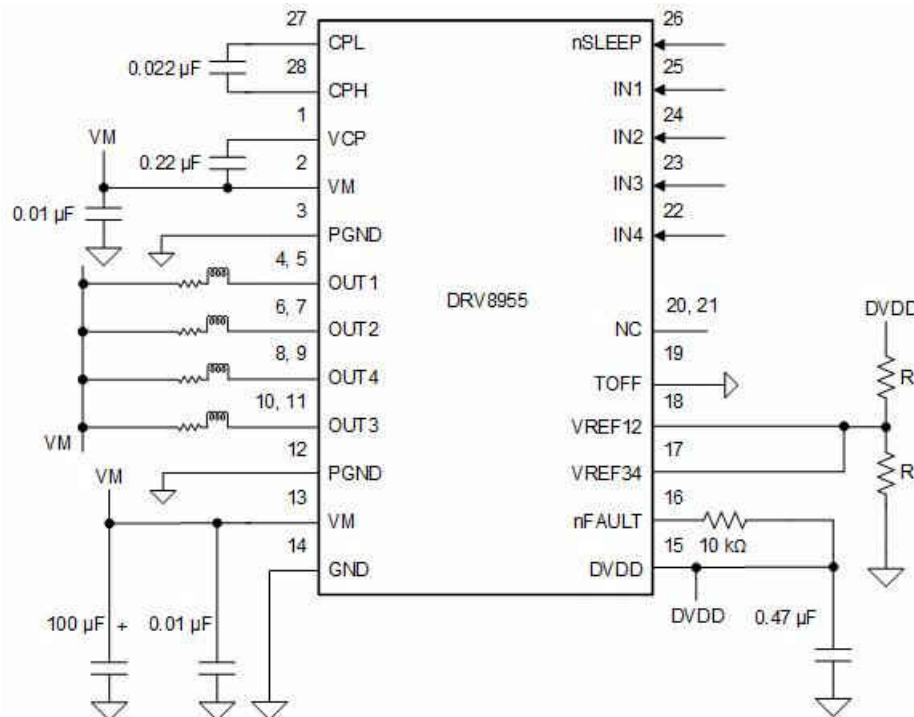


图 8-1. 典型应用原理图

8.2.1 设计要求

表 8-1 列出了典型应用的设计输入参数。

表 8-1. 设计参数

设计参数	基准	示例值
电源电压范围	VM	19-29V
每通道电流	I_{OUT}	1.5A
PWM 频率	f_{PWM}	40kHz

8.2.2 详细设计过程

8.2.2.1 电流调节

在将输出负载连接至 VM 电源后，可将负载电流调节至 ITRIP 电平。OUT1 和 OUT2 输出的 ITRIP 电流电平由 VREF12 引脚进行控制，而 OUT3 和 OUT4 输出的 ITRIP 电平则由 VREF34 引脚进行控制。您可以使用以下公式计算 ITRIP 电流 (ITRIP)：ITRIP (A) = VREF (V)/1.32 (V/A)。通过在 DVDD 引脚和接地之间连接电阻分压器，可以对 VREF 电压进行编程。

8.2.2.2 功率损耗和热量计算

此器件的输出电流和功率损耗能力在很大程度上取决于 PCB 设计和外部系统状况。本节提供了一些用于计算这些值的指导。

此器件的总功率耗散由三个主要部分组成。这三个组成部分是功率 MOSFET $R_{DS(ON)}$ (导通) 损耗、功率 MOSFET 开关损耗和静态电源电流损耗。尽管其他的一些因素可能会造成额外的功率损耗，但与这三个主要因素相比，其他因素通常并不重要。

$$P_{TOT} = P_{COND} + P_{SW} + P_Q$$

对于与 VM 连接的负载，假定所有输出均加载相同的电流，总导通损耗可以表示为：

$$P_{COND} = 4 \times (I_{OUT})^2 \times R_{DS(ONL)}$$

由于 DRV8955 的高侧和低侧 MOSFET 具有相同的导通电阻，因此导通损耗将与输入 PWM 的占空比或 PWM 关断时间无关。需要注意的是， $R_{DS(ON)}$ 与器件的温度密切相关。可以在“典型特性”曲线中找到一条显示了标称 $R_{DS(ON)}$ 和温度的曲线。

$$P_{COND} = 4 \times (1.5A)^2 \times 0.165 \Omega = 1.485W$$

可以根据标称电源电压 (VM)、稳定输出电流 (I_{OUT})、开关频率 (f_{PWM}) 以及器件输出上升 (t_{RISE}) 和下降 (t_{FALL}) 时间规格来计算 P_{SW} 。

假定所有四个输出均同时开关：

$$P_{SW} = 4 \times (P_{SW_RISE} + P_{SW_FALL})$$

$$P_{SW_RISE} = 0.5 \times VM \times I_{OUT} \times t_{RISE} \times f_{PWM}$$

$$P_{SW_FALL} = 0.5 \times VM \times I_{OUT} \times t_{FALL} \times f_{PWM}$$

$$P_{SW_RISE} = 0.5 \times 24V \times 1.5A \times 100ns \times 40kHz = 0.072W$$

$$P_{SW_FALL} = 0.5 \times 24V \times 1.5A \times 100ns \times 40kHz = 0.072W$$

$$P_{SW} = 4 \times (0.072W + 0.072W) = 0.576W$$

可以根据标称电源电压 (VM) 和 I_{VM} 电流规格来计算 P_Q 。

$$P_Q = VM \times I_{VM} = 24V \times 5mA = 0.12W$$

总功率损耗 (P_{TOT}) 是导通损耗、开关损耗和静态功率损耗之和。

$$P_{TOT} = P_{COND} + P_{SW} + P_Q = 1.485W + 0.576W + 0.12W = 2.181W$$

如果已知环境温度 T_A 和总功率损耗 (P_{TOT})，则结温 (T_J) 的计算公式为：

$$T_J = T_A + (P_{TOT} \times R_{\theta JA})$$

在一个符合 JEDEC 标准的 4 层 PCB 中，采用 HTSSOP 封装时的结至环境热阻 ($R_{\theta JA}$) 为 29.7°C/W，而采用 VQFN 封装时则为 39°C/W。

假设环境温度为 25°C，则 HTSSOP 封装的结温为：

$$T_J = 25^\circ C + (2.181W \times 29.7^\circ C/W) = 89.78^\circ C$$

VQFN 封装的结温为：

$$T_J = 25^\circ C + (2.181W \times 39^\circ C/W) = 110.06^\circ C$$

应确保器件结温处于指定的工作范围内。

8.2.2.3 应用曲线

CH1 = IN1 (3V/div) , CH3 = OUT1 (24V/div) , CH7 = IOOUT1 (1.5A/div)

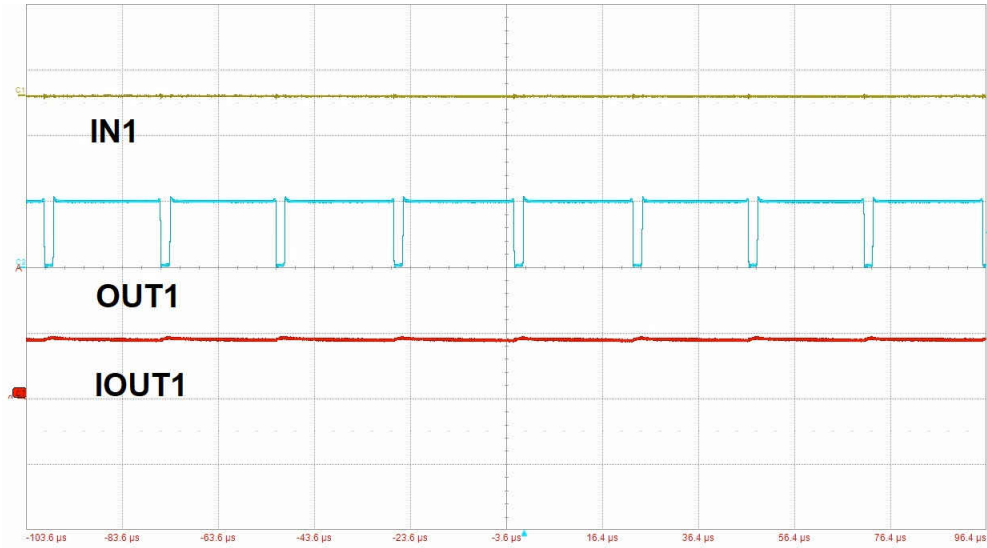


图 8-2. 负载与 VM 连接的电流调节

CH1 = IN1 (3V/div) , CH3 = OUT1 (24V/div)

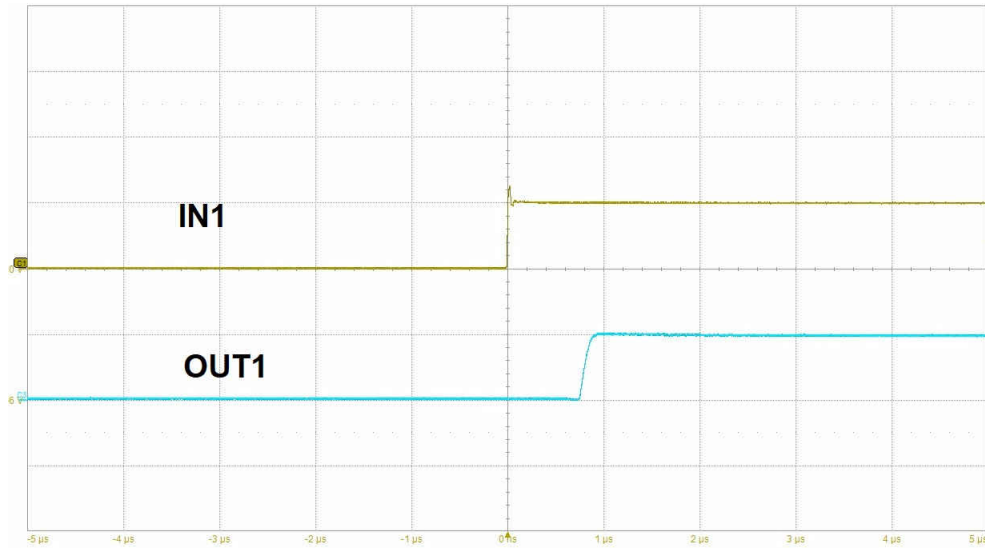


图 8-3. 输入-输出传播延迟

9 电源相关建议

该器件可在 4.5V 至 48V 的输入电压电源 (VM) 范围内正常工作。必须在每个 VM 引脚处放置一个额定电压为 VM 的 0.01 μ F 陶瓷电容器，该电容器要尽可能靠近该器件。此外，VM 上必须放置一个大容量电容器。

9.1 确定大容量电容的大小

配备合适的局部大容量电容是电机驱动系统设计中的重要因素。使用更多的大容量电容通常是有益的，但缺点在于这会增加成本和物理尺寸。

所需的局部电容数量取决于多种因素，包括：

- 电机系统所需的最高电流
- 电源的电容和拉电流的能力
- 电源和电机系统之间的寄生电感量
- 可接受的电压纹波
- 使用的电机类型（有刷直流、无刷直流、步进电机）
- 电机制动方法

电源和电机驱动系统之间的电感将限制电流可以从电源变化的速率。如果局部大容量电容太小，系统将以电压变化的方式对电机中的电流不足或过剩电流作出响应。当使用足够多的大容量电容时，电机电压保持稳定，可以快速提供大电流。

数据表通常会给出建议值，但需要进行系统级测试来确定大小适中的大容量电容。

大容量电容的额定电压应高于工作电压，以在电机将能量传递给电源时提供裕度。

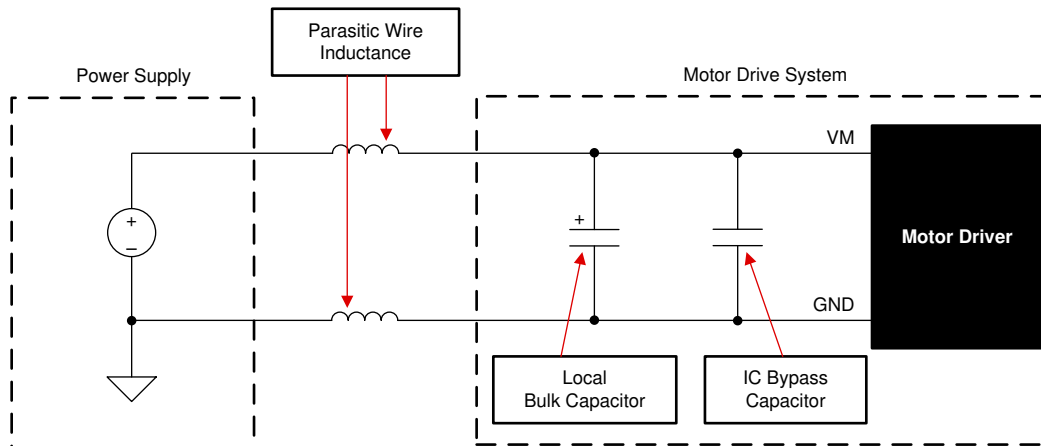


图 9-1. 带外部电源的电机驱动系统设置

10 布局

10.1 布局指南

应使用一个推荐电容为 $0.01\mu\text{F}$ 且额定电压为 VM 的低 ESR 陶瓷旁路电容器将 VM 引脚旁路至 PGND。该电容器应尽可能靠近 VM 引脚放置，并通过较宽的引线或通过接地平面与器件 PGND 引脚连接。

必须使用额定电压为 VM 的大容量电容器将 VM 引脚旁路至接地。该组件可以是电解电容。

必须在 CPL 和 CPH 引脚之间放置一个低 ESR 陶瓷电容。建议使用一个电容值为 $0.022\mu\text{F}$ 、额定电压为 VM 的电容。将此组件尽可能靠近引脚放置。

必须在 VM 和 VCP 引脚之间放置一个低 ESR 陶瓷电容。建议使用一个电容值为 $0.22\mu\text{F}$ 、额定电压为 16V 的电容。将此组件尽可能靠近引脚放置。

使用低 ESR 陶瓷电容器将 DVDD 引脚旁路至接地。建议使用一个电容为 $0.47\mu\text{F}$ 、额定电压为 6.3V 的电容器。将此旁路电容器尽可能靠近引脚放置。

散热焊盘必须连接到系统接地。

10.2 布局示例

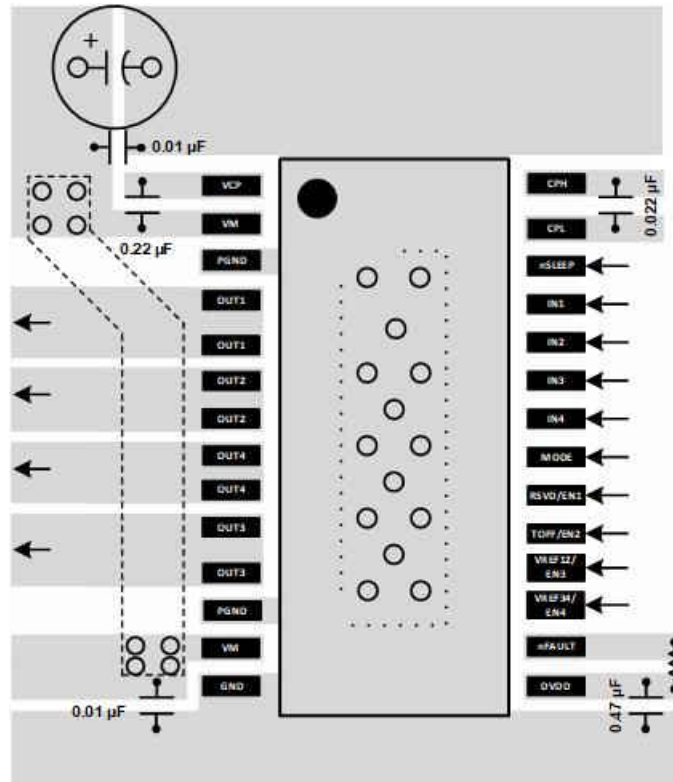


图 10-1. HTSSOP 布局示例

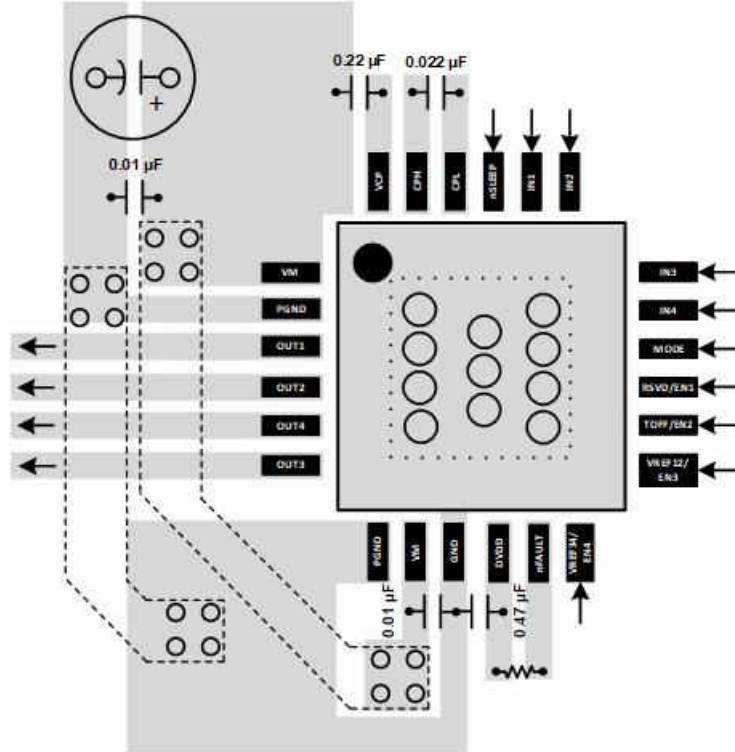


图 10-2. QFN 布局示例

11 器件和文档支持

11.1 文档支持

11.1.1 相关文档

请参阅如下相关文档：

- 德州仪器 (TI), 《PowerPAD™ 热增强型封装》应用报告
- 德州仪器 (TI), 《PowerPAD™ 速成》应用报告
- 德州仪器 (TI), 《电流再循环和衰减模式》应用报告
- 德州仪器 (TI), 《计算电机驱动器的功耗》应用报告
- 德州仪器 (TI), 《了解电机驱动器电流额定值》应用报告
- 德州仪器 (TI), 《采用 DRV88xx 系列器件的高分辨率微步进驱动器》应用报告

11.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击 [订阅更新](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

11.3 支持资源

[TI E2E™ 支持论坛](#) 是工程师的重要参考资料，可直接从专家获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题可获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的《[使用条款](#)》。

11.4 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

11.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

11.6 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

12 机械、封装和可订购信息

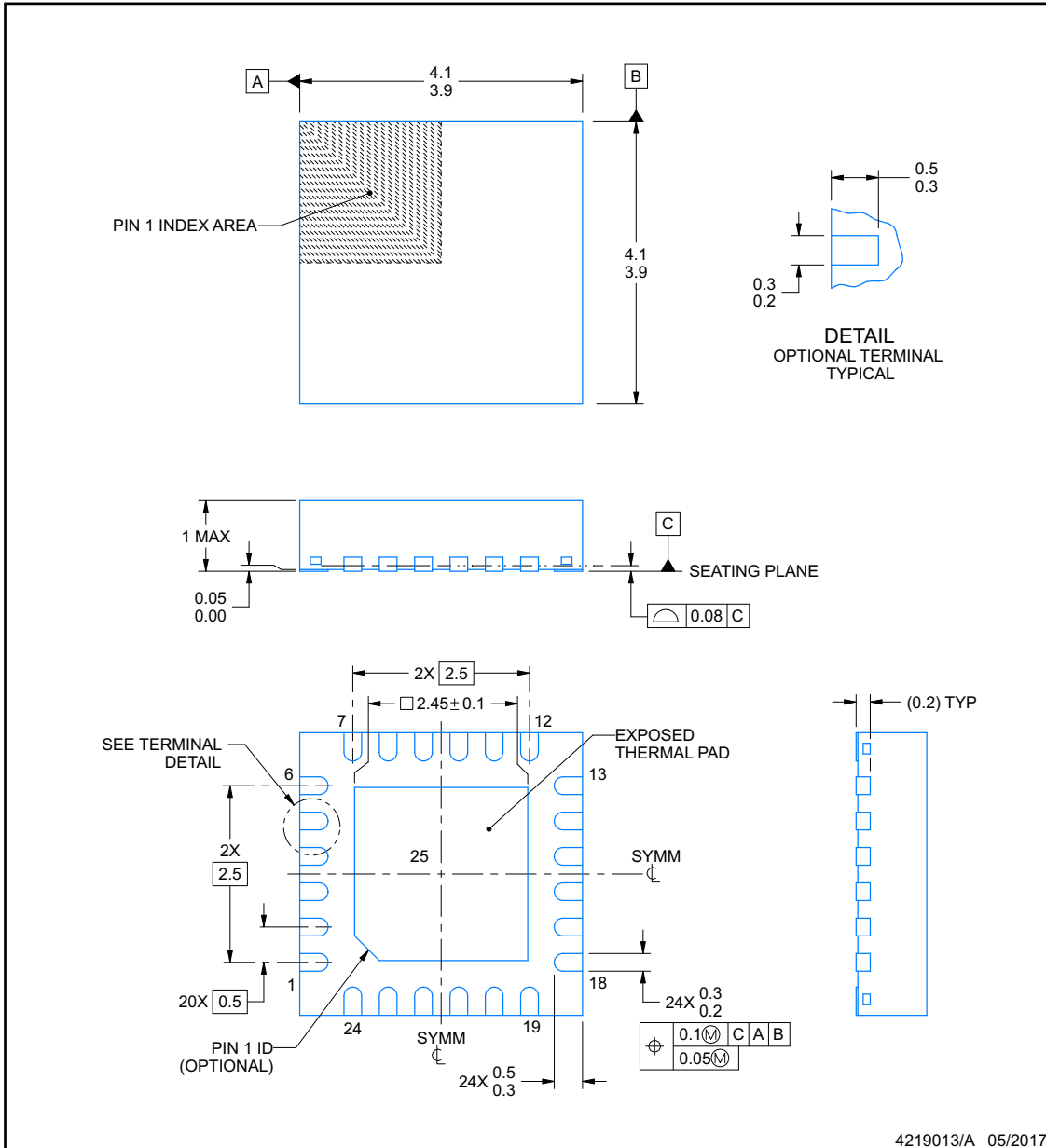
以下页面包含机械、封装和可订购信息。这些信息是指定器件的最新可用数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。如需获取此数据表的浏览器版本，请查阅左侧的导航栏。



RGE0024B

PACKAGE OUTLINE
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



4219013/A 05/2017

NOTES:

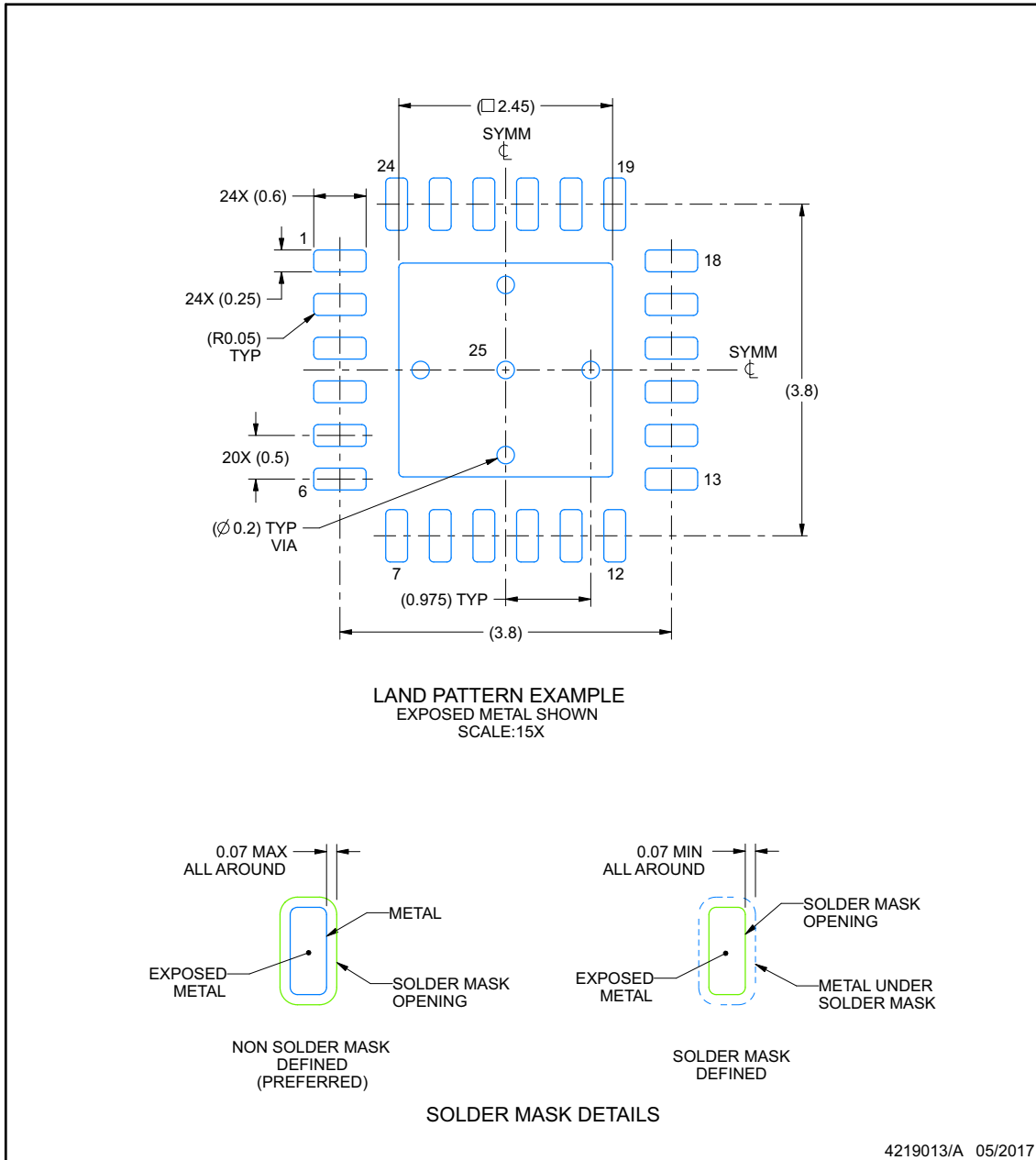
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

RGE0024B

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

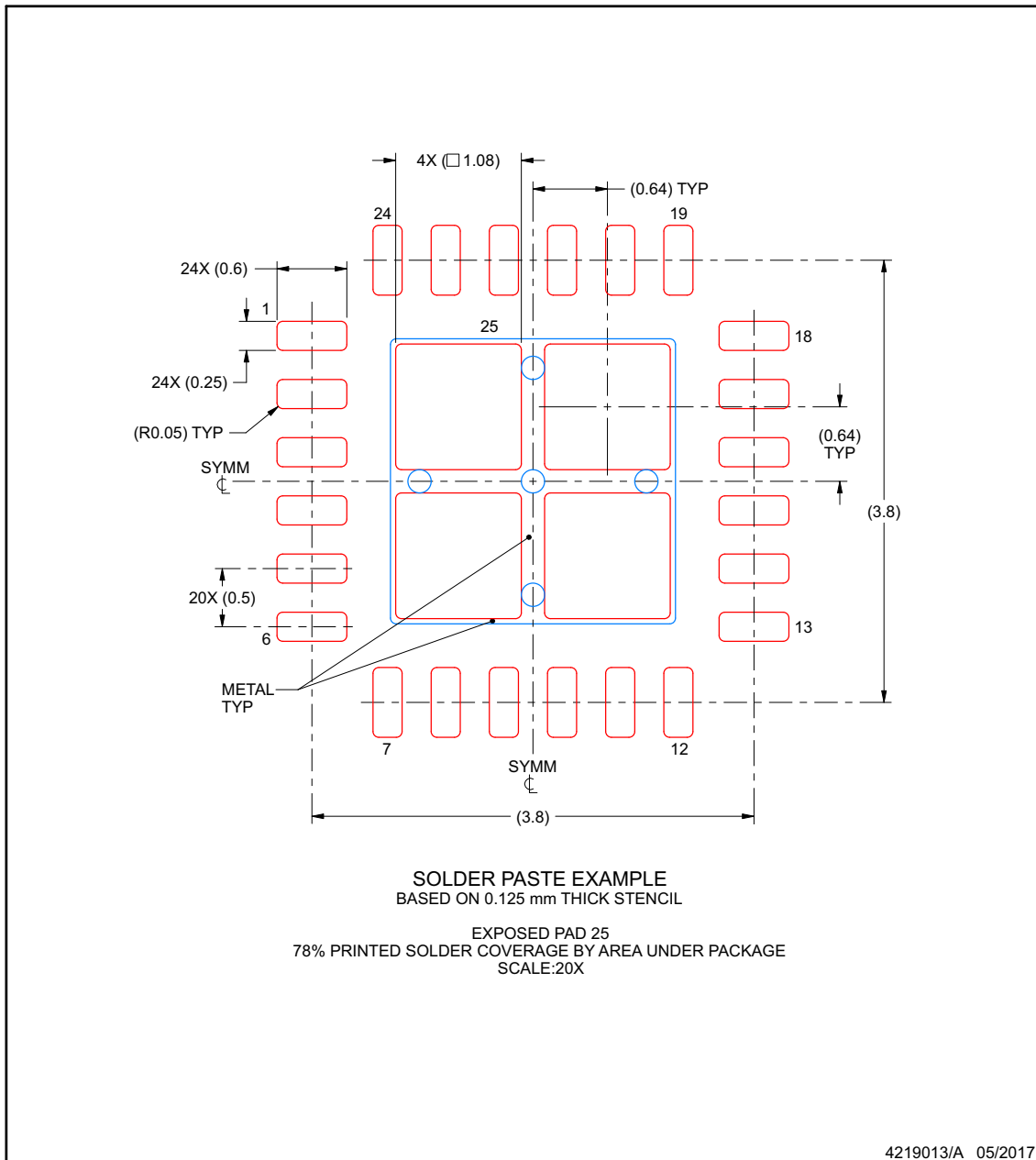
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RGE0024B

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

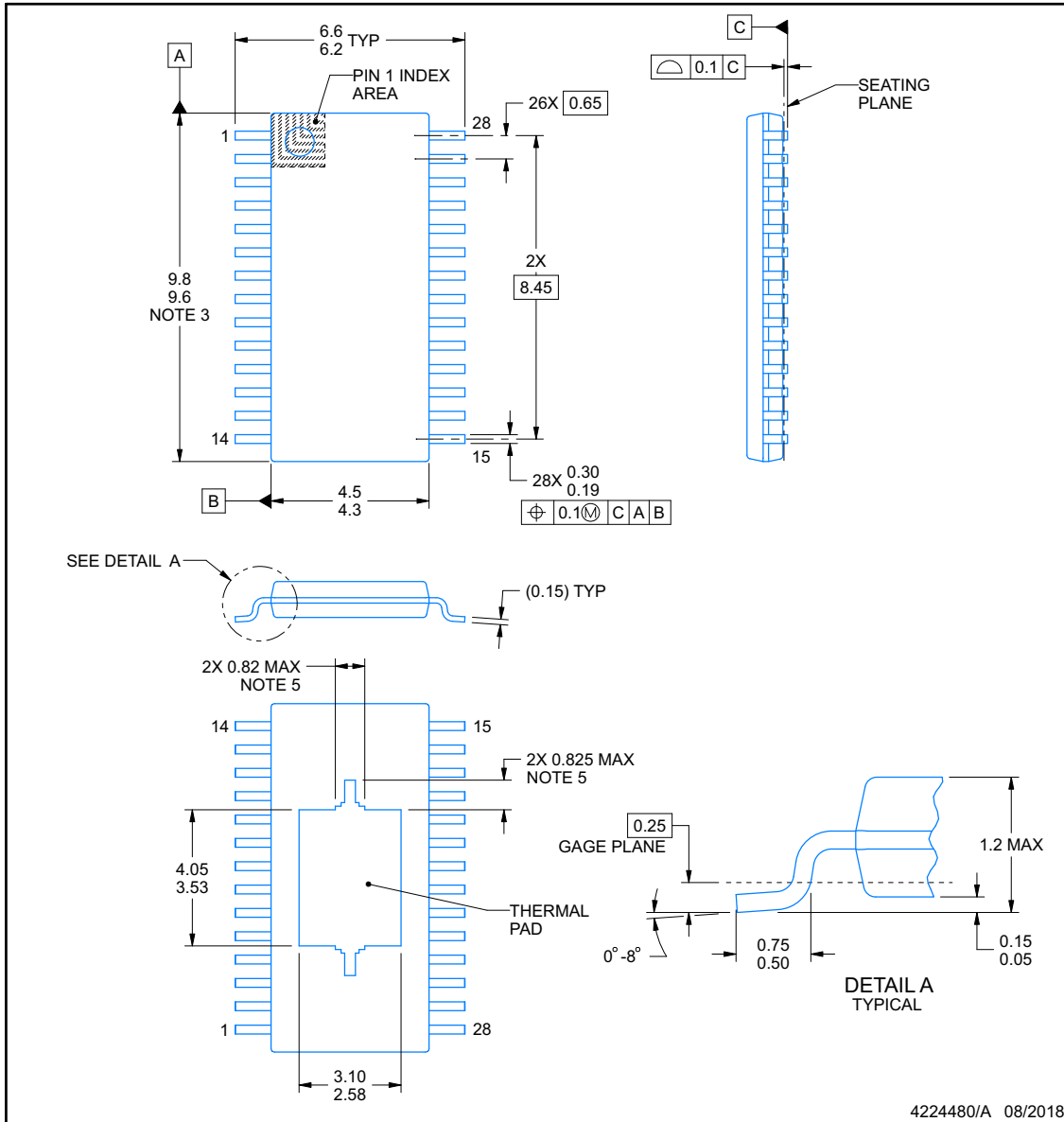


PACKAGE OUTLINE

PWP0028M

PowerPAD™ TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



4224480/A 08/2018

NOTES:

PowerPAD is a trademark of Texas Instruments.

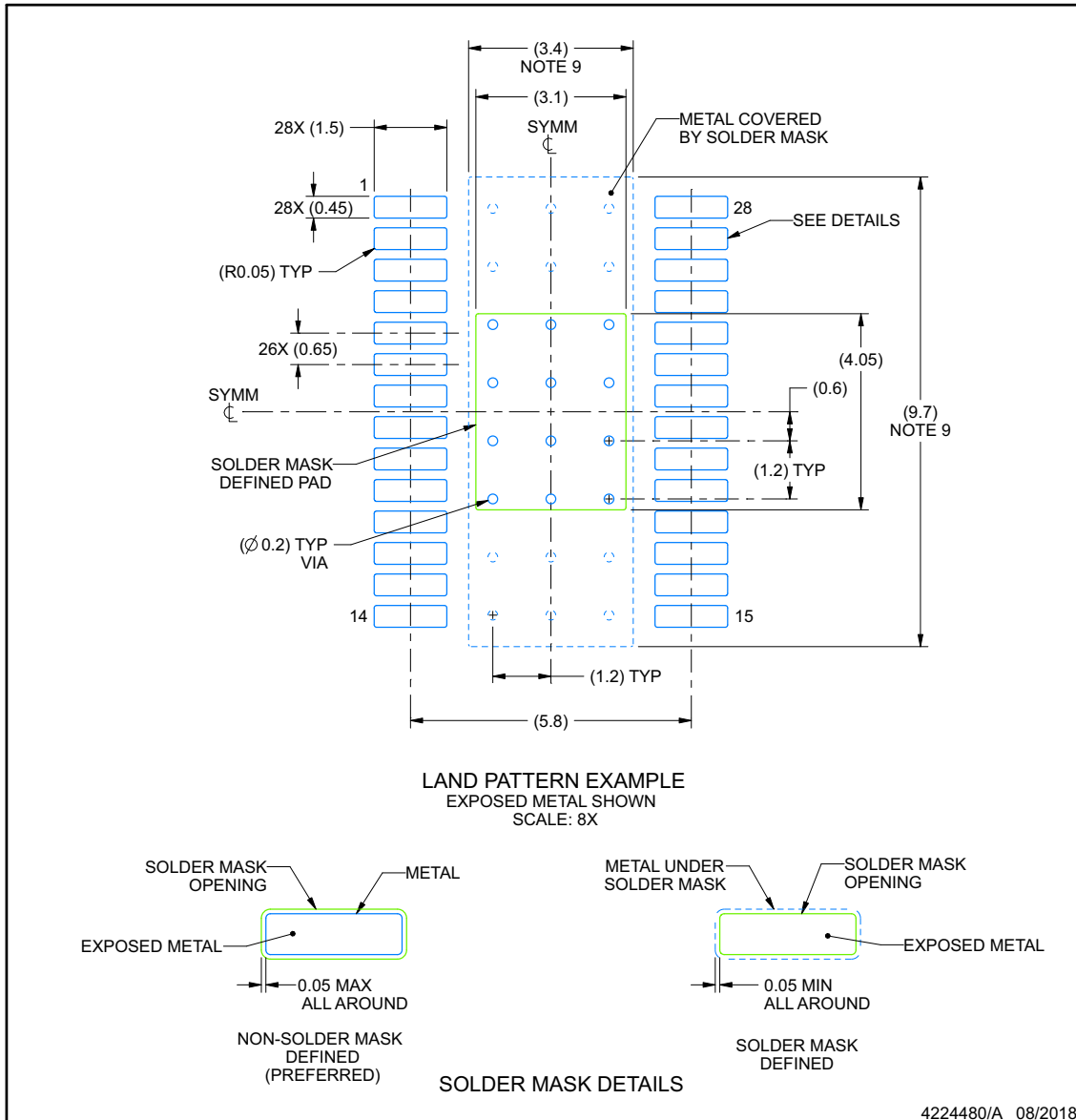
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-153.
5. Features may differ or may not be present.

EXAMPLE BOARD LAYOUT

PWP0028M

PowerPAD™ TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



NOTES: (continued)

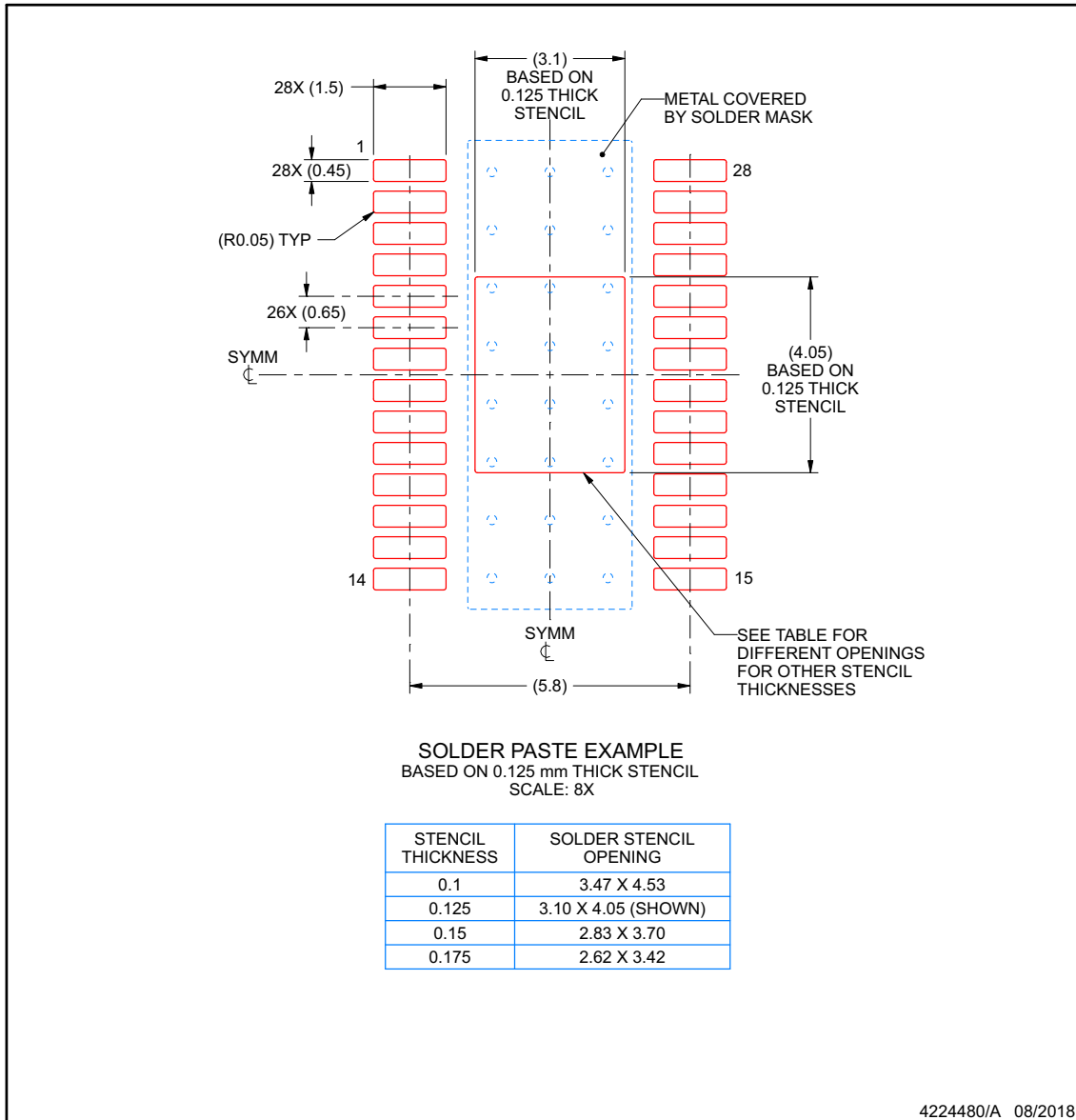
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

PWP0028M

PowerPAD™ TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



NOTES: (continued)

- 11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
- 12. Board assembly site may have different recommendations for stencil design.

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DRV8955PPWPR	Active	Production	HTSSOP (PWP) 28	2500 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	DRV8955P
DRV8955PRGER	Active	Production	VQFN (RGE) 24	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	DRV 8955P

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
DRV8955PPWPR	HTSSOP	PWP	28	2500	330.0	16.4	6.9	10.2	1.8	12.0	16.0	Q1
DRV8955PRGER	VQFN	RGE	24	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
DRV8955PPWPR	HTSSOP	PWP	28	2500	356.0	356.0	35.0
DRV8955PRGER	VQFN	RGE	24	3000	367.0	367.0	35.0

GENERIC PACKAGE VIEW

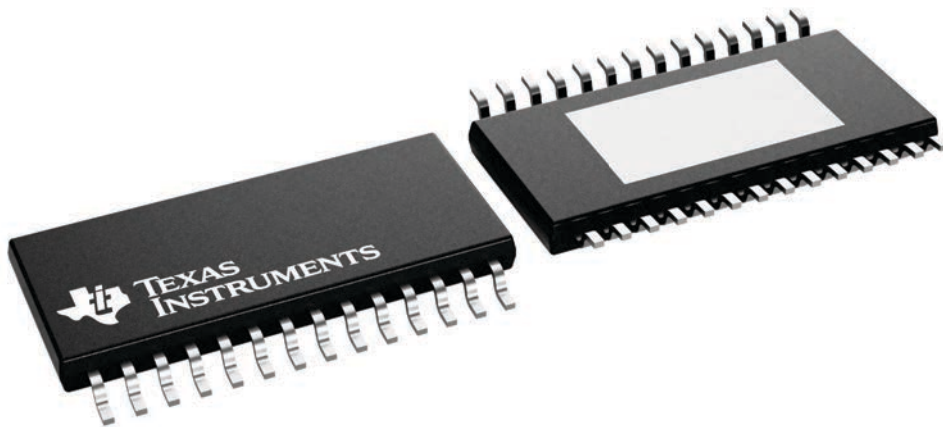
PWP 28

PowerPAD™ TSSOP - 1.2 mm max height

4.4 x 9.7, 0.65 mm pitch

SMALL OUTLINE PACKAGE

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



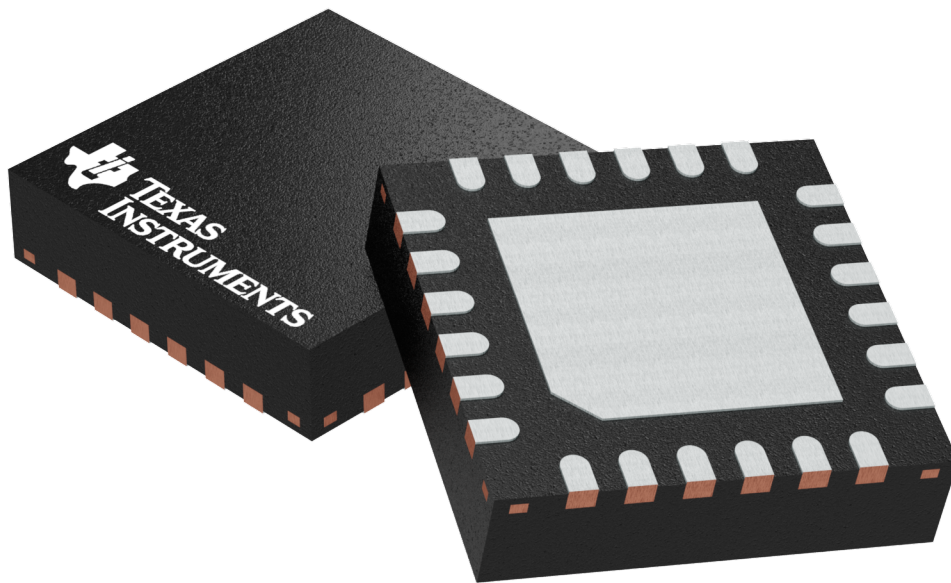
4224765/B

RGE 24

GENERIC PACKAGE VIEW

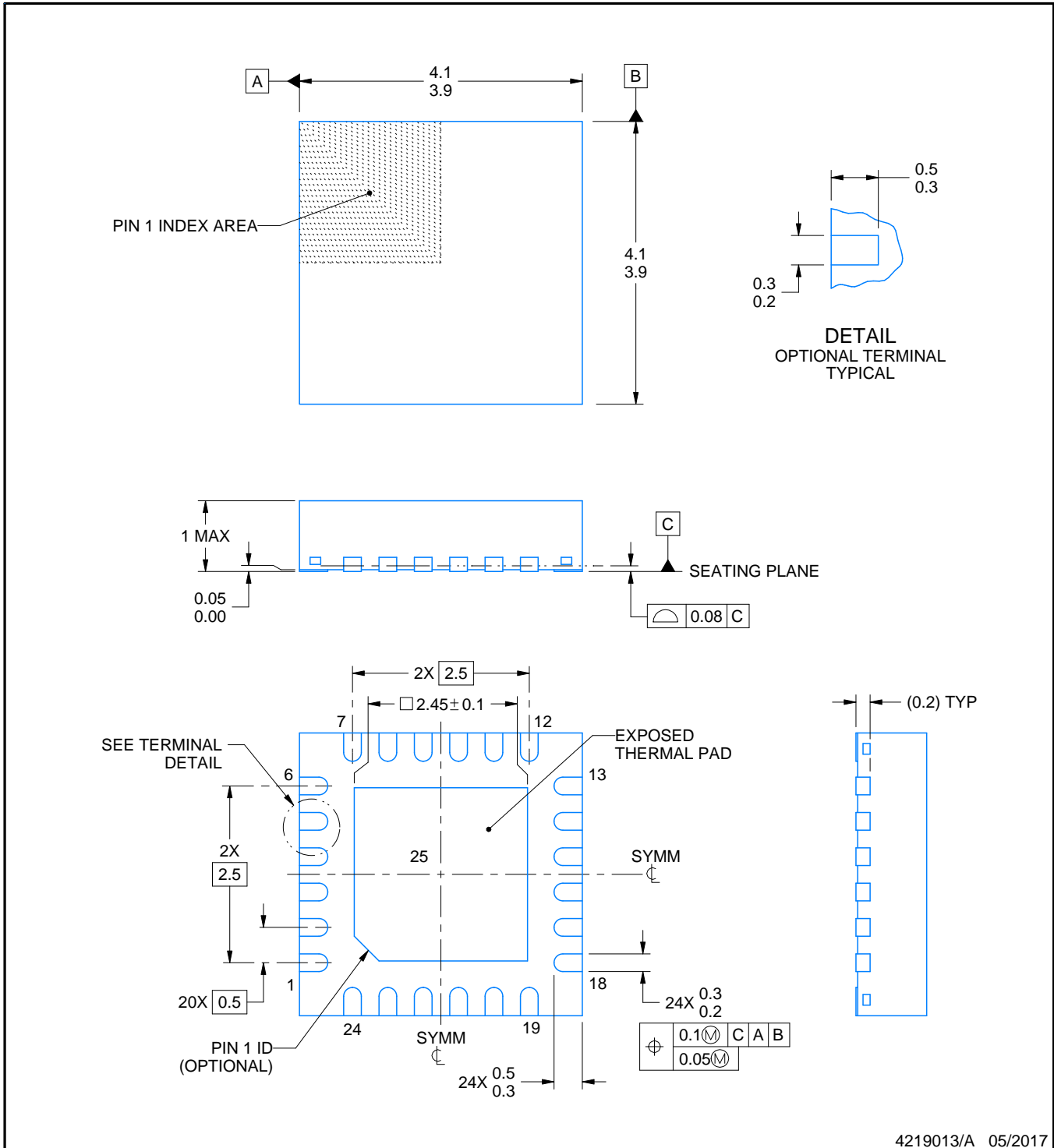
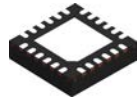
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4204104/H



4219013/A 05/2017

NOTES:

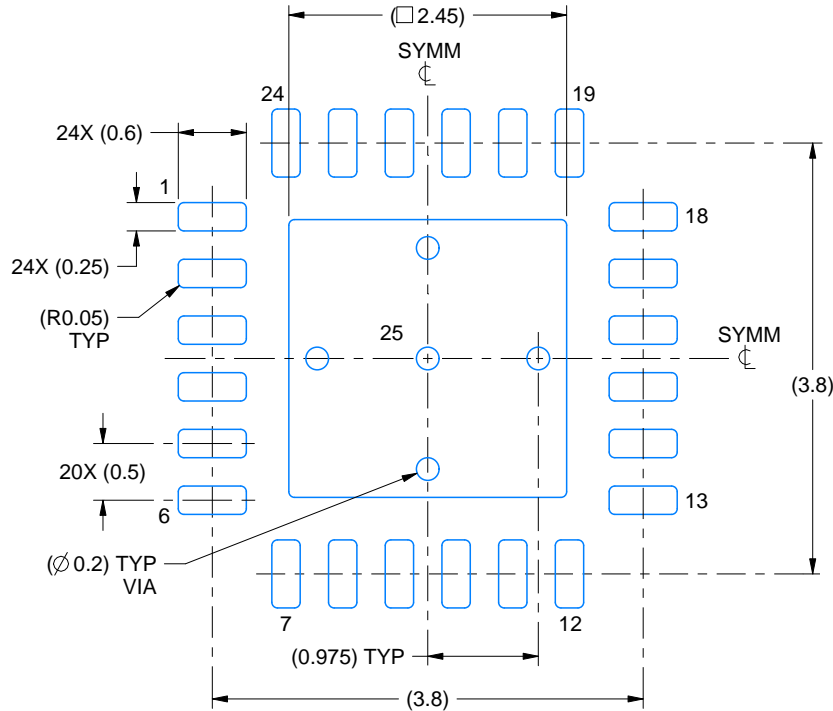
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

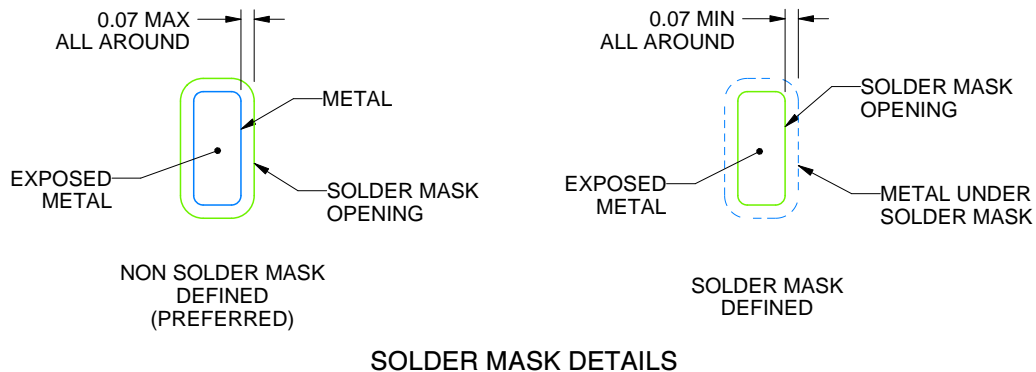
RGE0024B

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4219013/A 05/2017

NOTES: (continued)

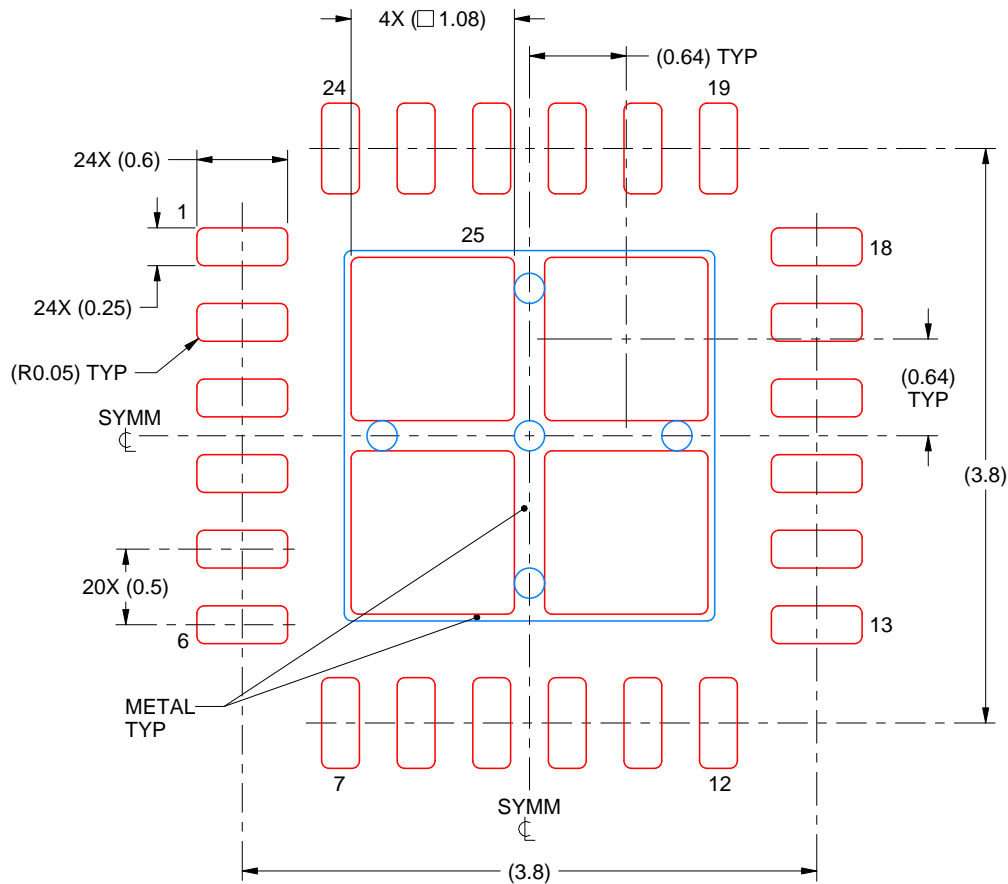
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RGE0024B

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
 BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 25
 78% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
 SCALE:20X

4219013/A 05/2017

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司