

1. 特性

- 最高速率128kSPS
- 工作模式
- 低功耗模式
 - 5.5mW
 - 132.9dB SNR (500 SPS) FIR滤波器
 - 100.1dB SNR (64K SPS) SINC滤波器
- 高分辨率模式:
 - 9.1mW
 - 130.8dB SNR (500 SPS) FIR滤波器
 - 95.5dB SNR (128K SPS) SINC滤波器
- 其他性能
 - THD: -111dB
 - CMRR: 110dB
 - INL: ± 2.5 ppm/FSR
- 2对差分输入
- 灵活的数字滤波器:
 - Sinc+有限脉冲响应(FIR) (可选)
 - 线性或最小相位选项
- 失调误差和增益误差校准
- SYNC输入
- 数字电源: 1.8V 至 3.3V
- 模拟电源: 5V 或 $\pm 2.5V$

2. 应用

- 振动分析
- 声学
- 动态应力变化仪
- 高精度仪器

3. 说明

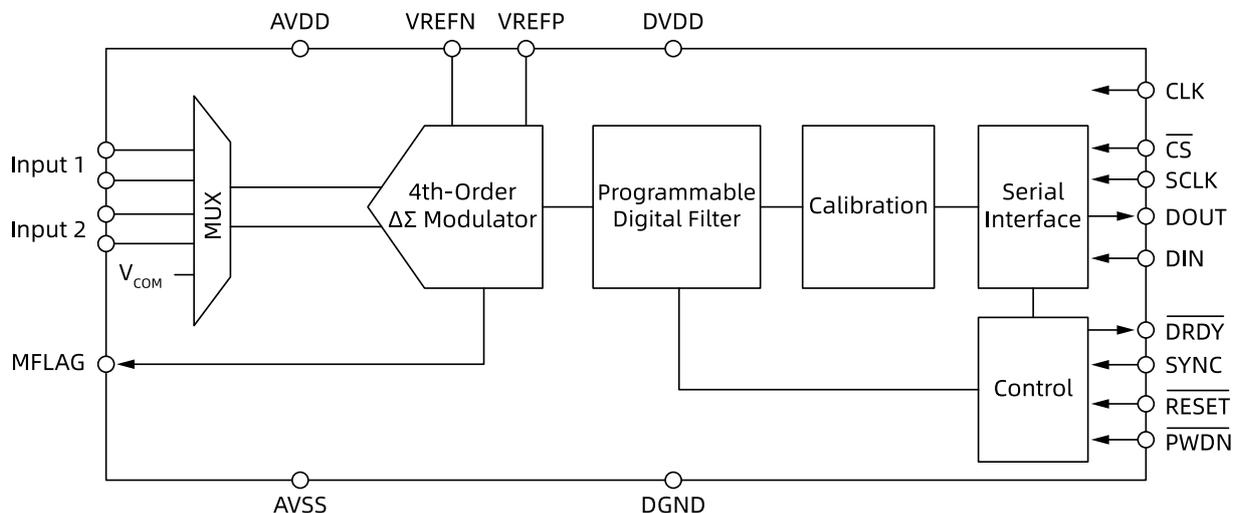
LHA7724 是一款 128kSPS，24 位模数转换器 (ADC)。该ADC即可提供出色的动态性能，亦可提供超高的直流精度。

双通道多路复用器可以选择外部信号测量和内部 ADC 测试信号。具有使输入电路短路来测试内部噪声的模式。

四阶本征稳定性调制器可提供出色的低噪声和线性性能。调制器输出由片上数字滤波器进行过滤和抽取,以生成ADC转换结果。数字FIR滤波器提供125至32kSPS的数据速率。SINC滤波器提供最高128kSPS数据速率。片上增益和偏移调节寄存器支持系统校准。同步输入控制ADC转换的时序。关断输入使 ADC 进入关断模式。

LHA7724采用紧凑的24引线5mm x 4mm QFN 封装，完整额定工作温度为 -40°C 至 $+85^{\circ}\text{C}$ ，最大工作温度范围为 -50°C 至 $+125^{\circ}\text{C}$ 。

4. 结构图



目录

| | |
|---------------------------------|----|
| 1. 特性 | 1 |
| 2. 应用 | 1 |
| 3. 说明 | 1 |
| 4. 结构图 | 1 |
| 5. 版本历史 | 4 |
| 6. 引脚配置和功能 | 5 |
| 7. 规格 | 6 |
| 7.1. 绝对最大额定值 | 6 |
| 7.2. ESD 性能 | 6 |
| 7.3. 推荐工作条件 | 6 |
| 7.4. 热性能 | 7 |
| 7.5. 电气特性 | 7 |
| 7.6. 时序要求 | 8 |
| 7.7. 开关特性 | 8 |
| 7.8. 典型条件 | 8 |
| 8. 参数测量信息 | 10 |
| 8.1. 噪声性能 | 10 |
| 9. 详细说明 | 11 |
| 9.1. 概述 | 11 |
| 9.2. 功能框图 | 12 |
| 9.3. 功能说明 | 12 |
| 9.3.1. 模拟输入和多路复用器 | 12 |
| 9.3.2. 模数转换器 (ADC) | 13 |
| 9.3.3. 数字滤波器 | 15 |
| 9.4. 功能模式 | 21 |
| 9.4.2. 复位 (RESET 引脚和复位命令) | 23 |
| 9.4.3. 主时钟输入 (CLK) | 23 |
| 9.4.4. 上电顺序 | 24 |
| 9.4.5. 数据格式 | 26 |
| 9.4.6. 读取数据 | 27 |

| | |
|-------------------------------------|----|
| 9.4.7. 单次读数操作..... | 28 |
| 9.4.8. 失调和满量程校准寄存器..... | 28 |
| 9.4.9. 校准命令 (OFSCAL 和 GANCAL) | 29 |
| 9.5. 编程..... | 31 |
| 9.5.1. 命令 | 31 |
| 9.5.2. WAKEUP: 从待机模式唤醒..... | 31 |
| 9.6. 寄存器映射..... | 33 |
| 9.6.1. 寄存器说明 | 34 |
| 10. 应用与实现..... | 37 |
| 10.1. 应用信息 | 37 |
| 10.2. 典型应用 | 37 |
| 10.2.1. 典型配置 | 37 |
| 10.2.2. 数字接口 | 37 |
| 10.3. 初始化设置 | 38 |
| 11. 封装尺寸 | 39 |
| 12. 采购信息 | 39 |

5. 版本历史

含有Pre字样的版本号为Release前的版本号，与Release后的产品区分。

| 版本号 | 日期 | 变更说明 |
|-------|------------|---------|
| PreA | 2023年2月1日 | 初始版本 |
| Rev.A | 2023年3月23日 | 量产 |
| | 2023年9月24日 | 增加包装规范 |
| | 2024年4月8日 | 增加小包装规格 |
| | | |

6. 引脚配置和功能

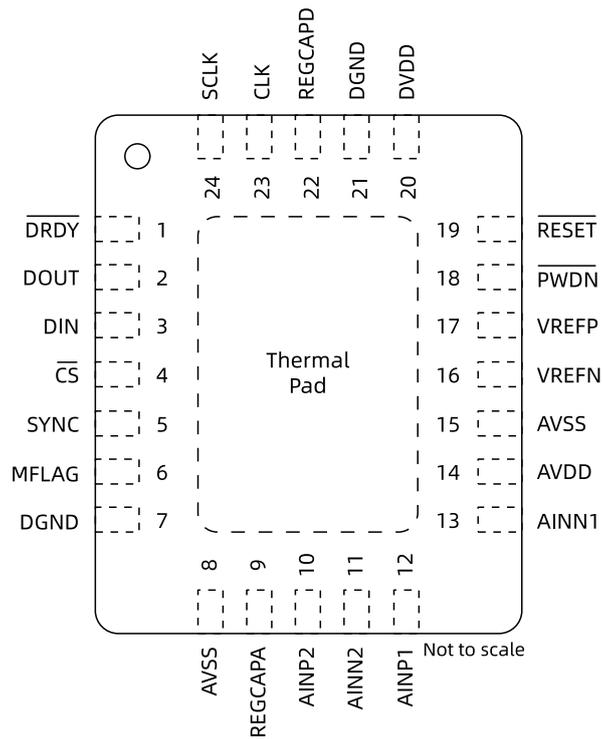


图1. 引脚分布

表1. 引脚描述

| 引脚 | | 输入/输出 | 描述 |
|---------------------------|----|-------|--|
| 名称 | 编号 | | |
| AINN1 | 13 | 模拟输入 | 负模拟输入 1 |
| AINN2 | 11 | 模拟输入 | 负模拟输入 2 |
| AINP1 | 12 | 模拟输入 | 正模拟输入 1 |
| AINP2 | 10 | 模拟输入 | 正模拟输入 2 |
| AVDD | 14 | 模拟电源 | 正模拟电源 |
| AVSS | 15 | 模拟电源 | 负模拟电源 |
| REGCAPD | 22 | 模拟 | 1.8V稳压器输出: 将 1 μ F 电容器连接到 DGND |
| AVSS | 8 | 模拟电源 | 负模拟电源 |
| REGCAPA | 9 | 模拟 | 将 ≥ 100 nF (X7R) 电容器从 CAPP 连接到 CAPN |
| CLK | 23 | 数字输入 | 主时钟输入 (8.192 MHz) |
| $\overline{\text{CS}}$ | 4 | 数字输入 | 串行接口片选, 低电平有效 |
| DGND | 7 | 地面 | 数字地 (连接到数字地平面) |
| DGND | 21 | 地面 | 数字地 (连接到数字地平面) |
| DIN | 3 | 数字输入 | 串行接口数据输入 |
| DOUT | 2 | 数字输出 | 串行接口数据输出 |
| $\overline{\text{DRDY}}$ | 1 | 数字输出 | 数据准备好指示: 低电平有效 |
| DVDD | 20 | 数字供应 | 数字电源 |
| MFLAG | 6 | 数字输出 | 输入范围溢出指示 |
| $\overline{\text{PWDN}}$ | 18 | 数字输入 | 掉电输入, 低电平有效 |
| $\overline{\text{RESET}}$ | 19 | 数字输入 | 复位输入, 低电平有效 |
| SCLK | 24 | 数字输入 | 串行接口时钟输入 |
| SYNC | 5 | 数字输入 | 同步输入, 上升沿有效 |
| VREFN | 16 | 模拟输入 | 负参考输入 |
| VREFP | 17 | 模拟输入 | 正参考输入 |
| Thermal pad | | | 浮空 |

7. 规格

7.1. 绝对最大额定值

表2. 额定电压值

| | 最小值 | 最大值 | 单位 |
|--------------|------------|------------|----|
| AVDD 到 AVSS | -0.3 | 5.5 | V |
| AVSS 到 DGND | -2.8 | 0.3 | V |
| DVDD 到 DGND | -0.3 | 3.9 | V |
| 模拟输入电压 | AVSS - 0.3 | AVDD + 0.3 | V |
| DGND 的数字输入电压 | -0.3 | DVDD + 0.3 | V |
| 输入电流, 连续 | -10 | 10 | mA |
| 工作温度 | -50 | 125 | °C |
| 结温 | | 150 | °C |
| 储存温度, Tstg | -60 | 150 | °C |

1、高于这些额定值的应力可能会造成永久性损坏。长时间暴露在绝对最大条件下可能会降低器件的可靠性。这些只是应力等级，并不暗示设备在这些条件或超出规定条件的任何其他条件下的功能操作。

7.2. ESD 性能

表3. ESD额定值

| | | 价值 | 单位 |
|------|------|------------------------------------|-------|
| VESD | 静电放电 | 人体模型 (HBM), 符合JEDEC JS-001 | ±2000 |
| | | 充电设备模型 (CDM), 符合 JEDEC JESD22-C101 | ±500 |

7.3. 推荐工作条件

表4. 工作条件

| | | 最小值 | 典型值 | 最大值 | 单位 |
|---------------|-------------------------------|------------|-------|-------------------|------|
| 电源 | | | | | |
| AVSS | 负模拟电源 (相对于 DGND) | -2.6 | | 0 | V |
| AVDD | 正模拟电源 (相对于 AVSS) | AVSS + 4.5 | | AVSS + 5.5 | V |
| DVDD | 数字电源 (相对于 DGND) | 1.65 | | 3.6 | V |
| 模拟输入 | | | | | |
| FSR | 满量程输入电压范围 (VIN = AINP - AINN) | | ±VREF | | V |
| | 校准余量 ⁽¹⁾ | | | 106 | %FSR |
| AINP或 AINN | 绝对输入电压范围 | AVSS | | AVDD | V |
| 参考电压输入 | | | | | |
| | 参考输入电压 (VREF = VREFP - VREFN) | 1 | 5 | AVDD - AVSS + 0.2 | V |
| VREFN | 负参考输入 | AVSS - 0.1 | | VREFP - 1 | V |
| VREFP | 正参考输入 | VREFN + 1 | | AVDD + 0.1 | V |
| 数字输入 | | | | | |
| VIH | 高电平输入电压 | 0.8 × DVDD | | DVDD | V |
| VIL | 低电平输入电压 | DGND | | 0.2 × DVDD | V |
| fCLK | 时钟输入 | 1 | | 8.192 | MHz |
| fSCLK | 串行时钟速率 | fclk / 2 | | | MHz |
| 温度 | | | | | |
| | 规定温度 | -40 | | 85 | °C |

1、校准余量是用户校准失调和增益误差后允许的最大输入电压。

7.4. 热性能

表5. 热性能

| 热指标 | | LHA7724 | | 单位 |
|-----------------------|--|---------|--|------|
| | | QFN | | |
| | | 24引脚 | | |
| R _{θJA} | Junction-to-ambient thermal resistance | 30.2 | | °C W |
| R _{θJC(top)} | Junction-to-case (top) thermal resistance | 27.5 | | °C W |
| R _{θJB} | Junction-to-board thermal resistance | 8.5 | | °C W |
| ψ _{JT} | Junction-to-top characterization parameter | 0.3 | | °C W |
| ψ _{JB} | Junction-to-board characterization parameter | 8.6 | | °C W |
| R _{θJC(bot)} | Junction-to-case (bottom) thermal resistance | 1.7 | | °C W |

7.5. 电气特性

-40°C 至 +85°C 范围内的最大和最小规格；25°C、AVDD=2.5V、AVSS=-2.5V、f_{CLK} = 8.192 MHz、VREFP=2.5V、VREFN=-2.5V、DVDD=3.3V（除非另有说明）。

表6. 电气特性

| 参数 | 测试条件 | 最小值 | 典型值 | 最大值 | 单位 |
|-------------------|--------------|--|---------------------------|---------|--------|
| 模拟输入 | | | | | |
| | 多路复用器开关导通电阻 | | 30 | | Ω |
| | ADC输入阻抗 | 低功耗模式 | 96 | | kΩ |
| | | 高分辨率模式 | 48 | | |
| 交流性能 | | | | | |
| SNR | 信噪比 | 低功耗模式 @64kHz | 100.1 | | dB |
| | | 高分辨率模式 @128kHz | 95.5 | | |
| THD | 总谐波失真 | 低功耗模式 | -111 | | dB |
| | | 高分辨率模式 | -111 | | |
| SFDR | 无杂散动态范围 | | 112 | | dB |
| 直流性能 | | | | | |
| | 精度 | | 24 | | Bits |
| f _{DATA} | 数据速率 | FIR 滤波器模式 | 125 | 32,000 | SPS |
| | | SINC 滤波器模式 | 16000 | 128,000 | |
| INL | 积分非线性 | | ±2.5 | | ppm |
| Offset | 失调电压 | | ±50 | | μV |
| | 校准后的失调电压 | | 1 | | μV |
| Offset Drift | 失调电压漂移 | | 25 | | nV/°C |
| Gain Error | 增益误差 | | 0.004% | | |
| | 校准后的增益误差 | | 0.0002% | | |
| Gain Drift | 增益温漂 | | 1 | | ppm/°C |
| CMR | 共模抑制比 | f _{CM} = 60 Hz, 1.25 V _{p-p} | 110 | | dB |
| PSR | 电源抑制比 | f _{PS} = 60 Hz, 100mVPP | AVDD、AVSS | 116 | dB |
| | | | DVDD | 125 | |
| 参考电压输入 | | | | | |
| | 参考输入阻抗 | 低功耗模式 | 64 | | kΩ |
| | | 高分辨率模式 | 32 | | |
| 数字滤波器响应 | | | | | |
| | 通带纹波 | | ±0.003 | | dB |
| | 通带 (-0.01dB) | | 0.375 × f _{DATA} | | Hz |
| | 带宽 (-3dB) | | 0.413 × f _{DATA} | | Hz |
| | 群延迟 | 最小相位滤波器 | 5 / f _{DATA} | | S |
| | | 线性相位滤波器 | 31 / f _{DATA} | | |
| | 稳定时间 (延迟) | 最小相位滤波器 | 62 / f _{DATA} | | S |
| | | 线性相位滤波器 | 62 / f _{DATA} | | |
| 数字输入输出 | | | | | |
| V _{OH} | 逻辑高电平输出 | I _{OH} = 1 mA | 0.8 × DVDD | | V |

| | | | | | | |
|----------------|---------|-----------------------------|--|-------------------|--|---------------|
| V_{OL} | 逻辑低电平输出 | $I_{OL} = 1 \text{ mA}$ | | $0.2 \times DVDD$ | | V |
| I_{KQ} | 输入漏电 | $0 < V_{DIGITAL IN} < DVDD$ | | ± 10 | | μA |
| 电源 | | | | | | |
| IAVDD IAVSS | 模拟电源电流 | 低功耗模式 | | 0.75 | | mA |
| | | 高分辨率模式 | | 1.35 | | mA |
| | | 待机模式 | | 0.35 | | μA |
| | | 掉电模式 | | 0.35 | | μA |
| IDVDD | 数字电源电流 | 低功耗模式 | | 0.52 | | mA |
| | | 高分辨率模式 | | 0.72 | | mA |
| | | 待机模式 | | 26 | | μA |
| | | 掉电模式 | | 0.3 | | μA |
| PD | 功耗 | 低功耗模式 | | 5.5 | | mW |
| | | 高分辨率模式 | | 9.1 | | mW |
| | | 待机模式 | | 88 | | μW |
| | | 掉电模式 | | 2.8 | | μW |

7.6. 时序要求

在 $T_A = -40^\circ\text{C}$ 至 $+85^\circ\text{C}$ 且 $DVDD = 1.65\text{V}$ 至 3.6V 时（除非另有说明）

表7. 时序要求

| 参数 | 描述 | 最小值 | 最大值 | 单位 |
|--------------|--|-----|-----|---------------|
| t_{CSSC} | $\overline{\text{CS}}$ 低到 SCLK 高: 建立时间 | | 40 | ns |
| t_{SCLK} | SCLK 周期 | 2 | 16 | $1 / f_{CLK}$ |
| $t_{SPWH,L}$ | SCLK 脉冲持续时间, 高电平和低电平 (1) | 0.8 | 10 | $1 / f_{CLK}$ |
| t_{DIST} | DIN 对 SCLK 高有效: 建立时间 | | 50 | ns |
| t_{DIHD} | 有效 DIN 到 SCLK 高电平: 保持时间 | | 50 | ns |
| t_{CSH} | $\overline{\text{CS}}$ 高脉冲 | | 100 | ns |
| t_{SCCS} | CLK 高到 CS 高 | | 24 | $1 / f_{CLK}$ |

1、将SCLK保持在64个DRDY下降沿的低电平可复位串行接口。

7.7. 开关特性

表8. 开关特性

| 参数 | 测试条件 | 最小值 | 典型值 | 最大值 | 单位 |
|-------------|---------------------------------------|--------------------------------|-----|-----|----|
| t_{CSODD} | $\overline{\text{CS}}$ 低至DOUT驱动: 传输延迟 | | | 60 | ns |
| t_{DOPD} | SCLK低到有效的DOUT: 传输延迟 | DOUT 负载 = 20 pF 100 k Ω | | 100 | ns |
| t_{DOHD} | SCLK低到DOUT无效: 保持时间 | 0 | | | ns |
| t_{CSDOZ} | $\overline{\text{CS}}$ 高至DOUT三态 | | | 40 | ns |

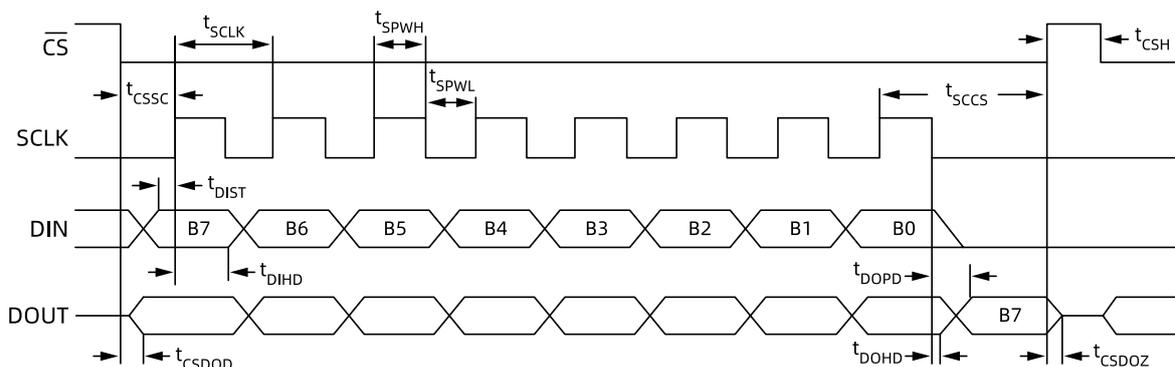


图2. 串行接口时序图

7.8. 典型条件

+25°C时, AVDD = 2.5 V, AVSS = -2.5 V, f_{CLK} = 8.192 MHz, VREFP = 2.5 V, VREFN = -2.5 V, DVDD = 3.3 V, 高分辨率模式和 f_{DATA} = 128kSPS (除非另有说明)。

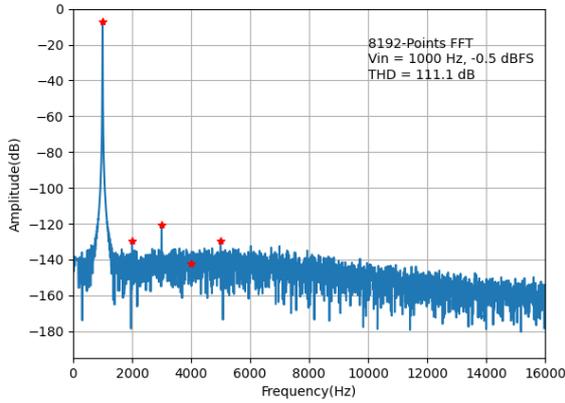


图3. THD, V_{REF}=5V, 1KHz 输入

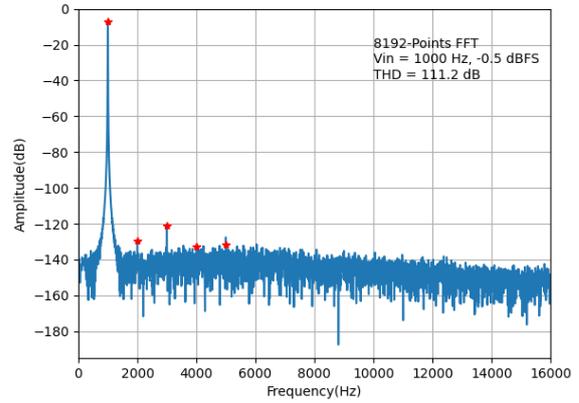


图4. THD, V_{REF}=5V, 1KHz 输入 (低功耗模式)

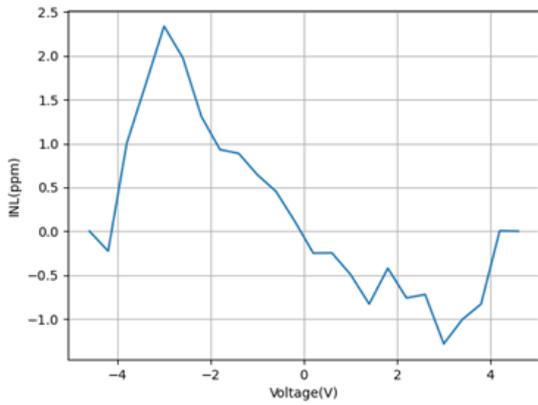


图5. 积分非线性

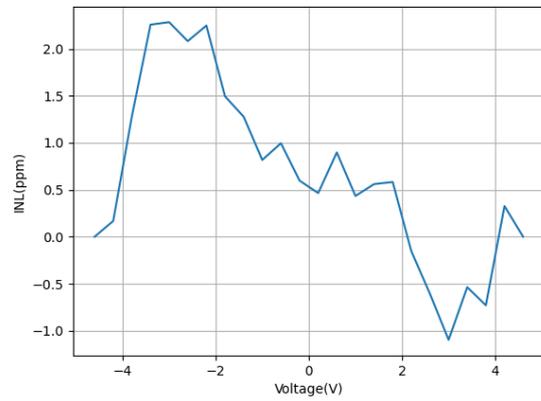


图6. 积分非线性 (低功耗模式)

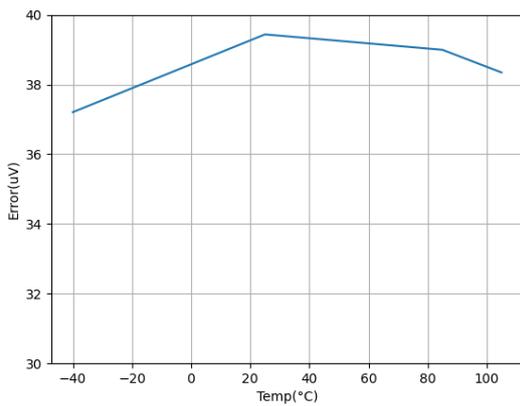


图7. 失调电压漂移 (校准前)

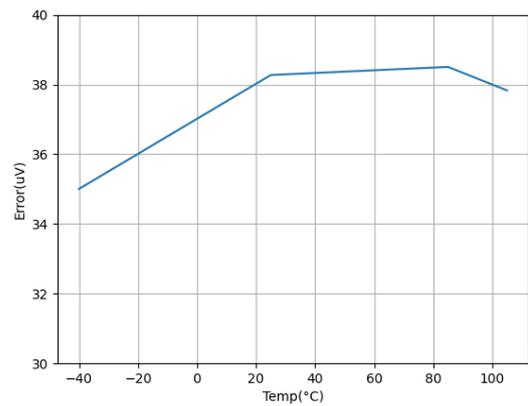


图8. 失调电压漂移 (低功耗模式, 校准前)

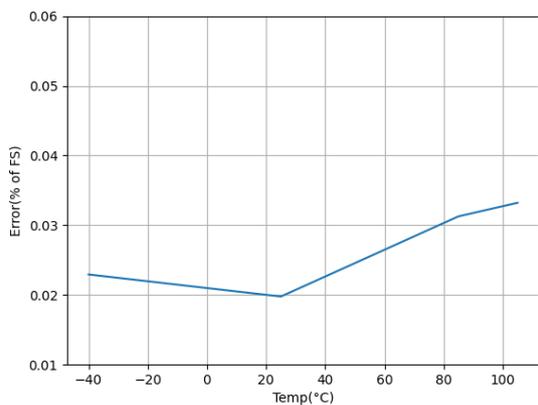


图9. 增益误差温漂 (校准前)

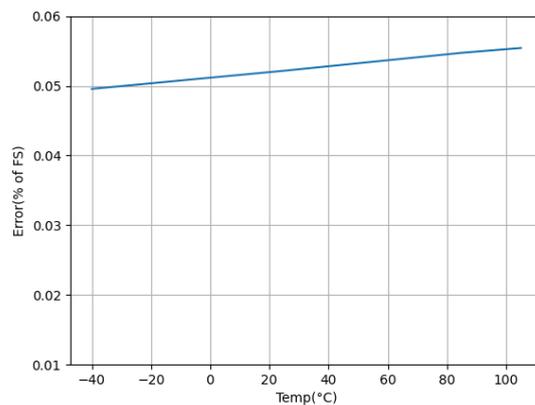


图10. 增益误差温漂 (低功耗模式, 校准前)

8. 参数测量信息

8.1. 噪声性能

LHA7724提供出色的信噪比(SNR)。SNR取决于数据速率和工作模式(高分辨率或低功耗)。由于通过降低数据速率来降低带宽, 因此SNR会相应提高。类似地, 随着增益增加, 等效输入噪声降低。低功耗模式降低了调制器的过采样率。因此, 低功耗模式会降低工作功耗, 但也会导致转换噪声增加。

等效输入噪声与SNR的关系为等式 (1) :

$$SNR = 20 \log \frac{FSR_{RMS}}{N_{RMS}} \quad (1)$$

- FSR_{RMS} = 满量程的RMS = $V_{REF} / \sqrt{2}$
- N_{RMS} = 等效输入噪声的RMS

 表9. 低功耗模式 SNR (dB) 和输入参考噪声 (μV_{RMS})

| 数据速率(SPS) | 信噪比 (SNR, dB) ¹ | 等效输入噪声 (RTI Noise, μV_{RMS}) |
|-----------|----------------------------|------------------------------------|
| 500 | 132.9 | 0.80 |
| 1000 | 130.1 | 1.10 |
| 2000 | 127.0 | 1.59 |
| 4000 | 123.6 | 2.34 |
| 8000 | 118.8 | 4.06 |
| 16000 | 116.3 | 5.40 |
| 32000 | 110.3 | 10.76 |
| 64000 | 100.1 | 34.83 |
| 128000 | - | - |

1、TA = 25°C 时的典型值。SNR 数据四舍五入到最接近的0.1dB。测量带宽: 0.1 Hz 至 $0.413 \times$ 数据速率。

2、8000~64000数据速率的噪声为使用SINC滤波器的结果。

表10. 高分辨率模式 SNR (dB) 和输入参考噪声 (μ V RMS)

| 数据速率(SPS) | 信噪比 (SNR, dB) ¹ | 等效输入噪声 (RTI Noise, μ V RMS) |
|-----------|----------------------------|---------------------------------|
| 500 | 130.8 | 1.02 |
| 1000 | 127.1 | 1.57 |
| 2000 | 124.3 | 2.15 |
| 4000 | 121.1 | 3.13 |
| 8000 | 117.0 | 4.98 |
| 16000 | 115.9 | 5.67 |
| 32000 | 109.9 | 11.31 |
| 64000 | 103.1 | 24.68 |
| 128000 | 95.5 | 59.55 |

1、TA = 25°C 时的典型值。SNR 数据四舍五入到最接近的0.1dB。测量带宽: 0.1 Hz 至 $0.413 \times$ 数据速率

2、16000~128000数据速率的噪声为使用SINC滤波器的结果

9. 详细说明

9.1. 概述

LHA7724是一款高性能模数转换器(ADC)，该转换器在125SPS至128k SPS的数据速率下提供24位分辨率。请参阅LHA7724的功能框图部分。

LHA7724提供两种工作模式，高分辨率和低功耗。这些模式提供了功耗和SNR性能之间的折衷。对于大多数ADC配置，低功耗模式可将功耗降低约2mW，但会导致SNR平均降低3~6dB。工作模式由MODE寄存器位编程。

双通道差分输入多路复用器允许多种测量配置：

1. 输入通道1 (AINP1-AINN1)
2. 输入通道2 (AINP2-AINN2)
3. 所有输入断开。内部短接至VCOM。

本征稳定的四阶delta-sigma调制器测量差分输入信号($V_{IN}=A_{INP}-A_{INN}$)相对于差分基准($V_{REF}=(V_{REFP}-V_{REFN})$)电压的关系，在差分输入电压范围 $=\pm 5V$ 以内。调制器数字输出数据被路由到数字滤波器以提供转换输出数据。

数字滤波器由一个可变抽取率、五阶Sinc滤波器，和一个具有可编程相位、固定抽取、有限脉冲响应(FIR)低通滤波器。数字滤波器的输出可取自Sinc或FIR滤波器级。

增益(Gain)和偏移(Offset)寄存器缩放数字滤波器的输出以产生最终输出转换数据。该功能可用于校准和传感器增益匹配。

SYNC输入复位数字滤波器和调制器的操作，将多个ADC的转换同步到外部时序事件。SYNC输入支持连续输入模式，该模式接受锁定到转换速率的外部数据帧时钟。当周期不匹配时会发生自动同步。

$\overline{\text{RESET}}$ 输入复位寄存器设置，并重新启动转换过程。

$\overline{\text{PWDN}}$ 输入将设备设置为断电。请注意，寄存器设置不会保留在PWRDN模式中。使用STANDBY命令进行软件断电（待机模式下的静态电流略高）。

抗噪声施密特触发器和时钟合格输入（ $\overline{\text{RESET}}$ 和SYNC）提高了高噪声环境中的可靠性。除了读取和写入配置寄存器之外，SPI兼容的串行接口还用于读取转换数据。

该器件支持单极(+5V)或双极($\pm 2.5V$)电源操作，数字电源范围1.8V至3.3V。

内部稳压器通过DVDD电源为数字内核供电。REGCAPD是稳压器输出，需要一个 $1\mu F$ 电容器来降低噪声。

9.2. 功能框图

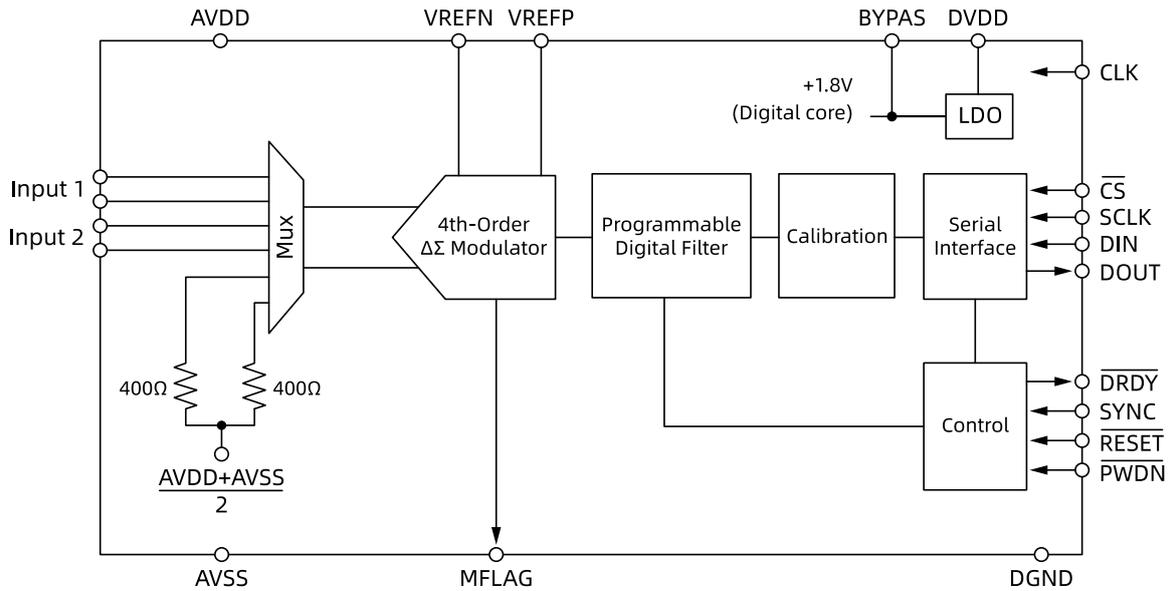


图11. LHA7724 功能框图

9.3. 功能说明

9.3.1. 模拟输入和多路复用器

输入多路复用器的示意图如图12. 所示。

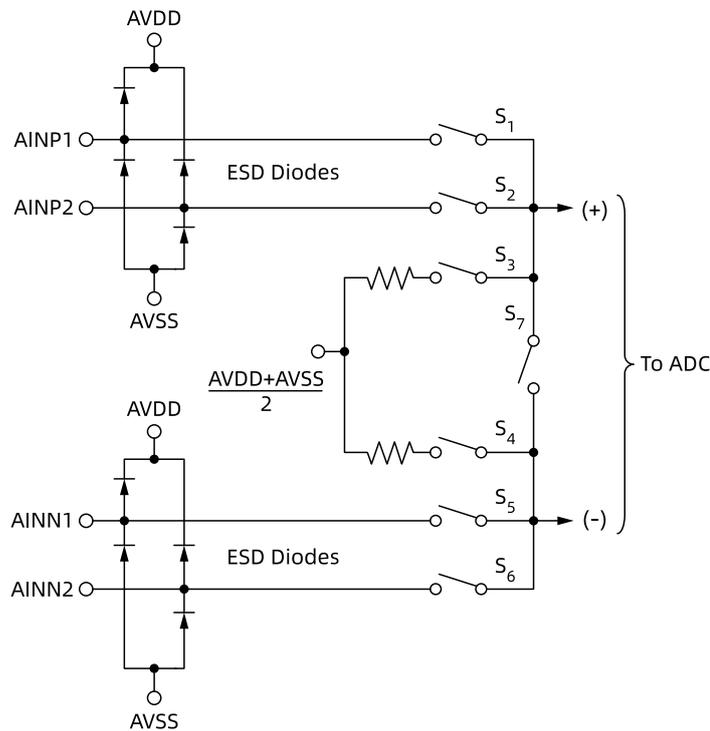


图12. 模拟输入和多路复用器

ESD 二极管保护多路复用器输入。如果任一输入低于 $AVSS - 0.3V$ 或高于 $AVDD + 0.3V$ ，则 ESD 保护二极管可以开启。如果出现这些情况，请使用外部钳位二极管、串联电阻或两者都将输入电流限制在安全值（见绝对最大额定值表2）。

超幅驱动一个未使用的输入会影响另一个输入的转换。如果过驱动输入与测量输入相互作用，则使用外部肖特基二极管钳位过驱动信号。

ADC的指定输入工作范围如等式 (2) 所示：

$$AVSS < (AINN \text{ 或 } AINP) < AVDD \quad (2)$$

为获得最佳操作，请将绝对输入电平（输入信号电平和共模电平）保持在这些限制范围内。

表11总结了图12. 的多路复用器配置。

表11. 多路复用器模式

| 多路复用器[2:0] | 开关 | 描述 |
|------------|----------|--------------------|
| 000 | S1, S5 | AINP1 和 AINN1 连接片外 |
| 001 | S2 S6 | AINP2 和 AINN2 连接片外 |
| 101 | S3 S4 S7 | 输入短路用于噪声和Offset测试 |

9.3.2. 模数转换器 (ADC)

LHA7724的ADC由两部分组成以产生转换数据结果：低噪声调制器和可编程数字滤波器。

9.3.2.1. 调制器

如图13. 所示，低噪声调制器是一种固有稳定的四阶 $\Delta\Sigma$ ，2 + 2 流水线结构。调制器将量化噪声转移到更高的频率（通带外），其中噪声被数字滤波器去除。调制器数据可以通过片上数字滤波器完全滤波，也可以单独使用 Sinc 滤波器部分进行部分滤波。Sinc 滤波器提供部分滤波旨在与外部 FIR 滤波器一起使用。

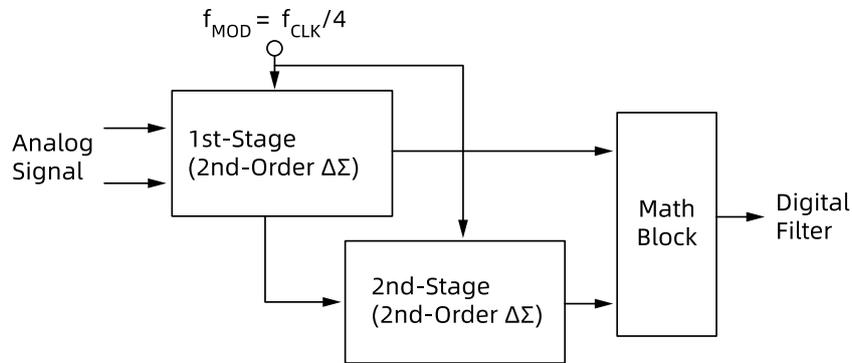


图13. LHA7724 四阶调制器

9.3.2.2. 调制器过范围

调制器本征稳定的，因此具有可预测的由输入过驱动条件导致的恢复行为。LHA7724 调制器在施加正满量程输入信号的情况下输出具有 90% 占空比的 1 到 0 密度的数据流（10% 占空比和负满量程信号）。如果输入过驱动将调制器驱动到超过10% 或 90% 但未饱和，调制器保持稳定并继续输出 1 密度数据流。数字滤波器可能会也可能不会将输出代码剪辑为 +FS 或 -FS，具体取决于过载的持续时间。当输入从长时间过驱动（最坏情况）返回到正常范围时，调制器立即返回到正常范围，但数字滤波器的群延迟将转换数据的返回延迟到线性范围内（31个读数在线性相位 FIR）。完全稳定的数据需要额外的 31 个读数（总共 62 个）。

如果输入过驱动足以将调制器驱动到全占空比（即全 1 或全 0），则调制器饱和。数字输出代码可能会削波为 +FS 或 -FS，这同样取决于过载的持续时间。短持续时间的过载可能并不总是溢出输出代码。当输入恢复到正常范围时，调制器需要多达 12 个调制器时钟周期 (f_{MOD}) 才能退出饱和并返回线性操作。对于完全稳定的数据（线性相位 FIR），数字滤波器需要额外的 62 次转换。

在输入超范围的极端情况下（其中任一过驱动输入超过模拟电源电压加上输入保护二极管压降的电压），保护二极管开始导通，从而限制输入信号。消除输入过驱动后，二极管会迅速恢复。如果可能有过压输入信号，请确保将输入电流限制在 10 mA（连续工作）。

9.3.2.3. 调制器输入阻抗

调制器通过一个内部电容器对缓冲的输入电压进行采样，以执行 ADC 转换。使用电流的平均值计算有效输入阻抗，如方程 (5) 所示：

$$R_{EFF} = 1 / (f_{MOD} \times C_s) \quad (5)$$

其中

- f_{MOD} = 调制器采样频率 = CLK / 4（低功耗模式为 CLK / 8）

- C_s = 输入采样电容 = 11 pF (典型值)

得到的调制器输入阻抗为 48kΩ (96kΩ 低功耗模式)。调制器输入阻抗会导致系统增益误差。调制器采样电容和在不同生产批次中的变化幅度最高可达 $\pm 20\%$ ，从而影响标称增益误差。

9.3.2.4. 调制器过范围检测 (MFLAG)

图14. 和图15. LHA7724 具有快速响应的超量程检测功能，可指示差分输入何时超过 100% 或 -100% 满量程。阈值容差为 $\pm 2.5\%$ 。MFLAG 输出引脚在超量程条件下置为高电平。如图所示，绝对差分输入与 100% 范围进行比较。比较器的输出以 $f_{MOD} / 2$ 的速率进行采样，产生 MFLAG 输出。最小可检测 MFLAG 脉冲持续时间为 $f_{MOD} / 2$ 。

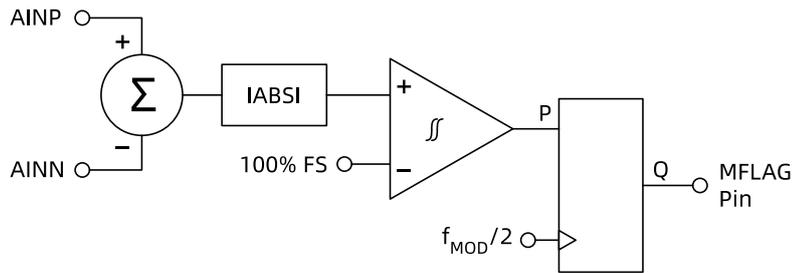


图14. 调制器超范围框图

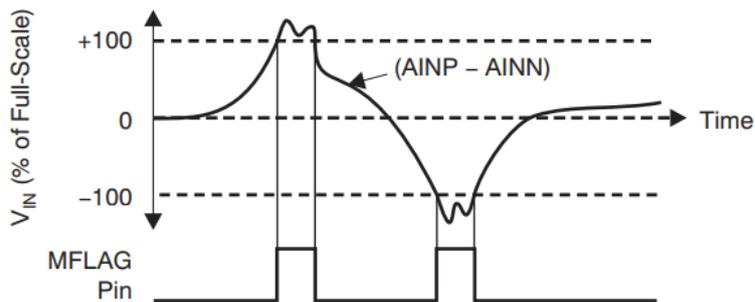


图15. 调制器超范围标志操作

9.3.2.5. 参考电压输入 (VREFP、VREFN)

LHA7724 的电压基准是施加在引脚 VREFP 和 VREFN 之间的差分电压：

$$V_{REF} = V_{REFP} - V_{REFN} \quad (6)$$

参考输入使用类似于模拟输入的结构，参考输入的电路如图16. 所示。

开关电容参考输入所呈现的平均负载可以用以下有效差分阻抗建模：

$$R_{EFF} = t_{SAMPLE} / C_{IN} \quad (t_{SAMPLE} = 1 / f_{MOD}) \quad (7)$$

请注意，参考输入的有效阻抗会加载外部参考。

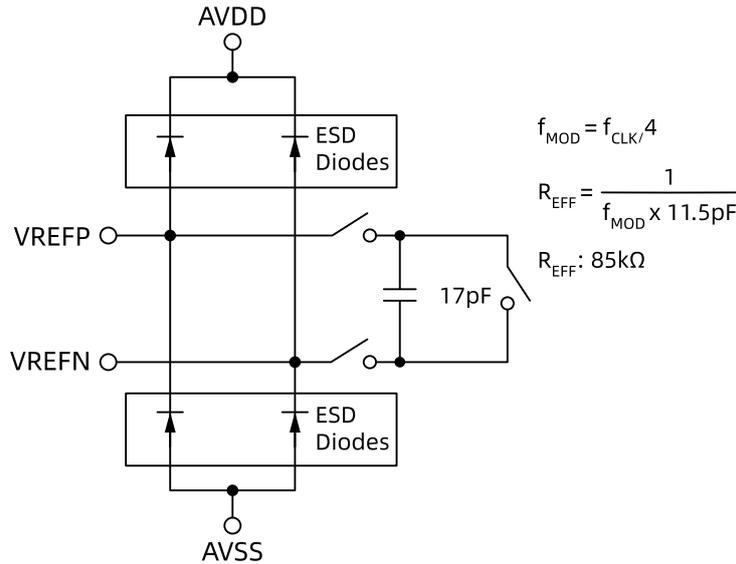


图16. 简化的参考输入电路

在 ADC VREFP 和 VREFN 引脚之间直接放置一个 0.1μF 陶瓷电容。多个 ADC 应用可以共享一个参考电压，但必须在每个 ADC 上放置单独的电容器。LHA7724 基准输入受 ESD 二极管保护。为了防止这些二极管导通，任一输入端的电压必须保持在公式 (8) 所示的范围内：

$$AVSS - 300mV < (VREFP \text{ 或 } VREFN) < AVDD + 300mV \quad (8)$$

VREFN 的最小工作输入范围为 AVSS – 0.1 V，VREFP 的最大工作范围为 AVDD + 0.1 V。

要获得最佳 ADC 性能，请使用低噪声 5V 电压基准。可以使用 8.192V 或 4.5V 参考电压；然而，这些较低的参考电压会降低信号输入范围并相应降低 SNR。参考上的噪声和漂移会降低整体系统性能。为获得最佳性能，请注意提供参考电压的电路，包括可能使用的噪声过滤。

9.3.3. 数字滤波器

数字滤波器接收调制器输出数据流，并对数据进行抽取和滤波。通过调整过滤量，可以在分辨率和数据速率之间进行权衡：过滤更多以获得更高的分辨率，过滤更少以获得更高的数据速率。

数字滤波器由三个滤波器部分组成：可变抽取、五阶Sinc滤波器；具有可选相位的固定抽取 FIR 低通滤波器 (LPF)；如下图所示。

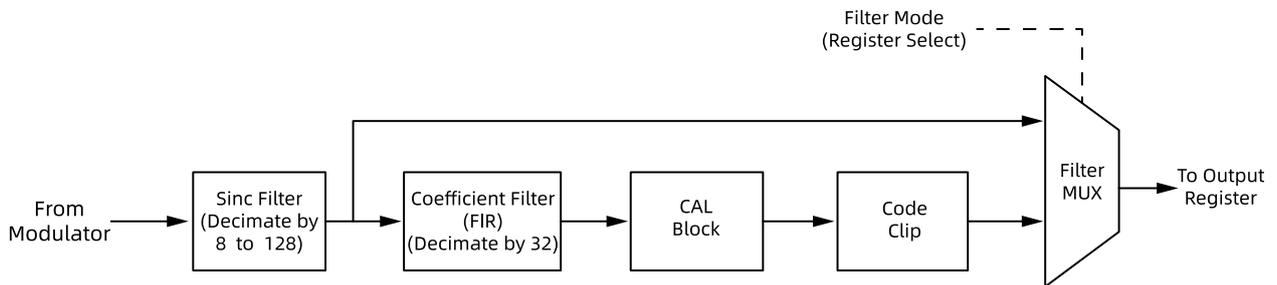


图17. 数字滤波器和输出代码处理

如图17. 所示，可以从两个滤波器部分之一获取输出。对于转换数据的部分滤波，选择Sinc滤波模式。Sinc 滤波器模式旨在与外部 FIR 滤波器结合使用。对于完整的片上滤波，选择 Sinc + FIR 模式。表12显示滤波器模式选项。

表12. 数字滤波器选择

| FILTR[1:0] 位 | 数字滤镜模式 |
|--------------|----------|
| 00/11 | 保留 (未使用) |
| 01 | Sinc |

| | |
|----|------------|
| 10 | Sinc + FIR |
|----|------------|

9.3.3.1. Sinc 滤波器部分 (sinx/x)

表13 Sinc滤波器是一个可变抽取率、五阶低通滤波器。数据以 $f_{MOD} = f_{CLK} / 4$ 的速率从调制器提供给滤波器。Sinc滤波器可衰减调制器产生的高频噪声，并与滤波量成比例地降低数据速率（抽取率）。Sinc滤波器的抽取率会影响转换器的整体数据速率。Sinc 和 Sinc + FIR 滤波器模式数据速率由DR[2:0]寄存器位设置。Sinc滤波器模式数据速率显示在表12中，数据速率取决于CONFIG0[5: 3]的DR寄存器和CONFIG1[7]的DR_RANGE寄存器。

表13. Sinc 滤波器模式数据速率

| CONFIG1.DR_RANGE | DR[2:0] 寄存器 | 抽取比 (N) | 数据速率 (SPS) |
|------------------|-------------|---------|------------|
| 0 | 000 | 128 | 1,6000 |
| | 001 | 64 | 32,000 |
| | 010 | 32 | 64,000 |
| | 011 | 16 | 128,000 |
| 1 | 000 | 512 | 4,000 |
| | 001 | 256 | 8,000 |

等式 (9) 显示了正弦滤波器的缩放 Z 域传递函数。

$$H(Z) = \left[\frac{1-Z^{-N}}{N(1-Z^{-1})} \right]^5 \quad (9)$$

其中

N = 抽取率

等式 (10) 显示了正弦滤波器的频域传递函数。

$$[H(f)] = \left[\frac{\sin\left\{\frac{\pi N \times f}{f_{MOD}}\right\}}{N \sin\left\{\frac{\pi \times f}{f_{MOD}}\right\}} \right]^5 \quad (10)$$

其中

- N = 抽取率（见表12）
- $f_{MOD} = f_{CLK} / 4$ （高分辨率模式）

正弦滤波器具有以输出数据速率及其倍数出现的陷波（或零）。在这些频率下，滤波器的增益为零。

左下图18. 显示了正弦滤波器的频率响应，

右下图19. 显示了正弦滤波器的滚降。

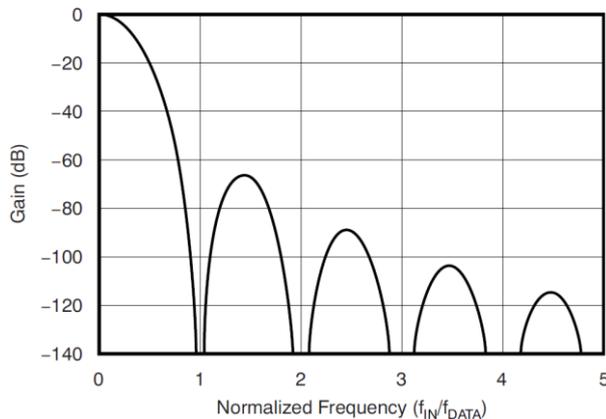


图18. Sinc 滤波器频率响应

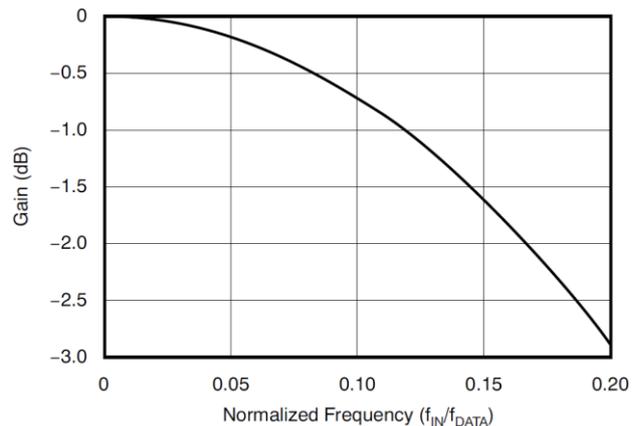


图19. Sinc 滤波器滚降

9.3.3.2. FIR 部分

数字滤波器的第二部分是 FIR 低通滤波器。数据从Sinc滤波器提供给该部分。FIR 阶段分为四个子部分，如下图所示。

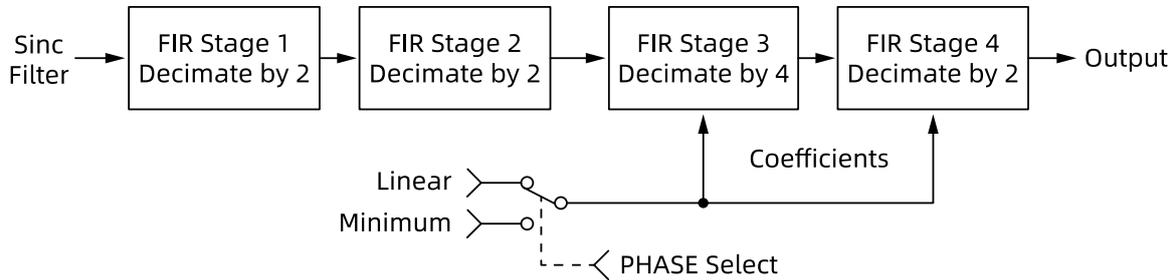


图20. FIR 滤波器

前两个子部分是固定抽取比为 2 的半带滤波器。FIR 滤波器的第三部分抽取比为 4（固定），第四部分抽取比为 2（固定）。整个 FIR 部分的整体抽取比为 32。第三和第四子部分使用两个系数集，用于线性相位模式和最小相位模式（可编程）。表14列出了FIR 级的数据速率编程和总体抽取率，数据速率取决于CONFIG0[5: 3]的DR寄存器和CONFIG1[7]的DR_RANGE寄存器。有关 FIR 滤波器系数，请参见表15。

表14. FIR 滤波器数据速率

| CONFIG1.DR_RANGE | DR[2:0] 寄存器 | 总体抽取率（组合 Sinc + FIR） | FIR 数据速率 (SPS) |
|------------------|-------------|----------------------|----------------|
| 0 | 000 | 4096 | 500 |
| | 001 | 2048 | 1000 |
| | 010 | 1024 | 2000 |
| | 011 | 512 | 4000 |
| | 100 | 256 | 8000 |
| 1 | 000 | 16,384 | 125 |
| | 001 | 8192 | 250 |
| | 010 | 256 | 8000 |
| | 011 | 128 | 16000 |
| | 100 | 64 | 32000 |

表15. FIR 级系数

| 系数 | 第 1 级 | 第 2 级 | 第 3 级 | | 第 4 级 | |
|-----|------------------|----------------------|------------------|----------|------------------|-----------|
| | 线性相位缩放 =1/512 | 线性相位缩放 =1/8388608 | 缩放 = 1/134217728 | | 缩放 = 1/134217728 | |
| | | | 线性相位 | 最小阶段 | 线性相位 | 最小阶段 |
| b0 | 3 | -10944 | 0 | 819 | -132 | 11767 |
| b1 | 0 | 0 | 0 | 8211 | -432 | 133882 |
| b2 | -25 | 103807 | -73 | 44880 | -75 | 769961 |
| b3 | 0 | 0 | -874 | 174712 | 2481 | 2940447 |
| b4 | 150 | -507903 | -4648 | 536821 | 6692 | 8262605 |
| b5 | 256 | 0 | -16147 | 1372637 | 7419 | 17902757 |
| b6 | 150 | 2512192 | -41280 | 3012996 | -266 | 30428735 |
| b7 | 0 | 4194304 | -80934 | 5788605 | -10663 | 40215494 |
| b8 | -25 | 2512192 | -120064 | 9852286 | -8280 | 39260213 |
| b9 | 0 | 0 | -118690 | 14957445 | 10620 | 23325925 |
| b10 | 3 | -507903 | -18203 | 20301435 | 22008 | -1757787 |
| b11 | | 0 | 224751 | 24569234 | 348 | -21028126 |
| b12 | | 103807 | 580196 | 26260385 | -34123 | -21293602 |
| b13 | | 0 | 893263 | 24247577 | -25549 | -3886901 |
| b14 | | -10944 | 891396 | 18356231 | 33460 | 14396783 |

| | | | | | | |
|-----|--|--|----------|-----------|-----------|-----------|
| b15 | | | 293598 | 9668991 | 61387 | 16314388 |
| b16 | | | -987253 | 327749 | -7546 | 1518875 |
| b17 | | | -2635779 | -7171917 | -94192 | -12979500 |
| b18 | | | -3860322 | -10926627 | -50629 | -11506007 |
| b19 | | | -3572512 | -10379094 | 101135 | 2769794 |
| b20 | | | -822573 | -6505618 | 134826 | 12195551 |
| b21 | | | 4669054 | -1333678 | -56626 | 6103823 |
| b22 | | | 12153698 | 2972773 | -220104 | -6709466 |
| b23 | | | 19911100 | 5006366 | -56082 | -9882714 |
| b24 | | | 25779390 | 4566808 | 263758 | -353347 |
| b25 | | | 27966862 | 2505652 | 231231 | 8629331 |
| b26 | | | 25779390 | 126331 | -215231 | 5597927 |
| b27 | | | 19911100 | -1496514 | -430178 | -4389168 |
| b28 | | | 12153698 | -1933830 | 34715 | -7594158 |
| b29 | | | 4669054 | -1410695 | 580424 | -428064 |
| b30 | | | -822573 | -502731 | 283878 | 6566217 |
| b31 | | | -3572512 | 245330 | -588382 | 4024593 |
| b32 | | | -3860322 | 565174 | -693209 | -3679749 |
| b33 | | | -2635779 | 492084 | 366118 | -5572954 |
| b34 | | | -987253 | 231656 | 1084786 | 332589 |
| b35 | | | 293598 | -9196 | 132893 | 5136333 |
| b36 | | | 891396 | -125456 | -1300087 | 2351253 |
| b37 | | | 893263 | -122207 | -878642 | -3357202 |
| b38 | | | 580196 | -61813 | 1162189 | -3767666 |
| b39 | | | 224751 | -4445 | 1741565 | 1087392 |
| b40 | | | -18203 | 22484 | -522533 | 3847821 |
| b41 | | | -118690 | 22245 | -2490395 | 919792 |
| b42 | | | -120064 | 10775 | -688945 | -2918303 |
| b43 | | | -80934 | 940 | 2811738 | -2193542 |
| b44 | | | -41280 | -2953 | 2425494 | 1493873 |
| b45 | | | -16147 | -2599 | -2338095 | 2595051 |
| b46 | | | -4648 | -1052 | -4511116 | -79991 |
| b47 | | | -874 | -43 | 641555 | -2260106 |
| b48 | | | -73 | 214 | 6661730 | -963855 |
| b49 | | | 0 | 132 | 2950811 | 1482337 |
| b50 | | | 0 | 33 | -8538057 | 1480417 |
| b51 | | | 0 | 0 | -10537298 | -586408 |
| b52 | | | | | 9818477 | -1497356 |
| b53 | | | | | 41426374 | -168417 |
| b54 | | | | | 56835776 | 1166800 |
| b55 | | | | | 41426374 | 644405 |
| b56 | | | | | 9818477 | -675082 |
| b57 | | | | | -10537298 | -806095 |
| b58 | | | | | -8538057 | 211391 |
| b59 | | | | | 2950811 | 740896 |
| b60 | | | | | 6661730 | 141976 |
| b61 | | | | | 641555 | -527673 |
| b62 | | | | | -4511116 | -327618 |
| b63 | | | | | -2338095 | 278227 |
| b64 | | | | | 2425494 | 363809 |
| b65 | | | | | 2811738 | -70646 |
| b66 | | | | | -688945 | -304819 |
| b67 | | | | | -2490395 | -63159 |
| b68 | | | | | -522533 | 205798 |
| b69 | | | | | 1741565 | 124363 |
| b70 | | | | | 1162189 | -107173 |
| b71 | | | | | -878642 | -131357 |
| b72 | | | | | -1300087 | 31104 |

| | | | | | | |
|------|--|--|--|--|---------|--------|
| b73 | | | | | 132893 | 107182 |
| b74 | | | | | 1084786 | 15644 |
| b75 | | | | | 366118 | -71728 |
| b76 | | | | | -693209 | -36319 |
| b77 | | | | | -588382 | 38331 |
| b78 | | | | | 283878 | 38783 |
| b79 | | | | | 580424 | -13557 |
| b80 | | | | | 34715 | -31453 |
| b81 | | | | | -430178 | -1230 |
| b82 | | | | | -215231 | 20983 |
| b83 | | | | | 231231 | 7729 |
| b84 | | | | | 263758 | -11463 |
| b85 | | | | | -56082 | -8791 |
| b86 | | | | | -220104 | 4659 |
| b87 | | | | | -56626 | 7126 |
| b88 | | | | | 134826 | -732 |
| b89 | | | | | 101135 | -4687 |
| b90 | | | | | -50629 | -976 |
| b91 | | | | | -94192 | 2551 |
| b92 | | | | | -7546 | 1339 |
| b93 | | | | | 61387 | -1103 |
| b94 | | | | | 33460 | -1085 |
| b95 | | | | | -25549 | 314 |
| b96 | | | | | -34123 | 681 |
| b97 | | | | | 348 | 16 |
| b98 | | | | | 22008 | -349 |
| b99 | | | | | 10620 | -96 |
| b100 | | | | | -8280 | 144 |
| b101 | | | | | -10663 | 78 |
| b102 | | | | | -266 | -46 |
| b103 | | | | | 7419 | -42 |
| b104 | | | | | 6692 | 9 |
| b105 | | | | | 2481 | 16 |
| b106 | | | | | -75 | 0 |
| b107 | | | | | -432 | -4 |
| b108 | | | | | -132 | 0 |
| b109 | | | | | 0 | 0 |

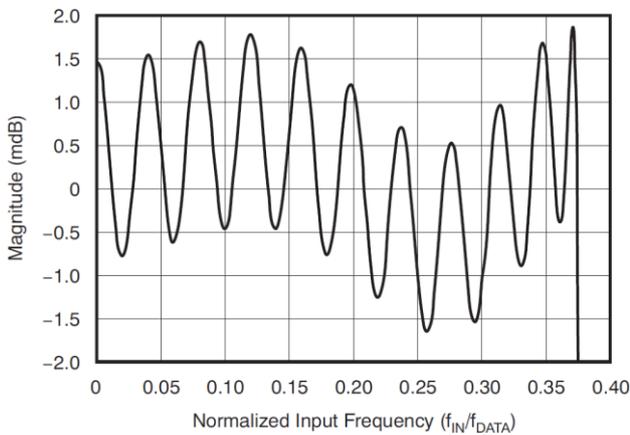


图21. FIR 滤波器通带幅度响应

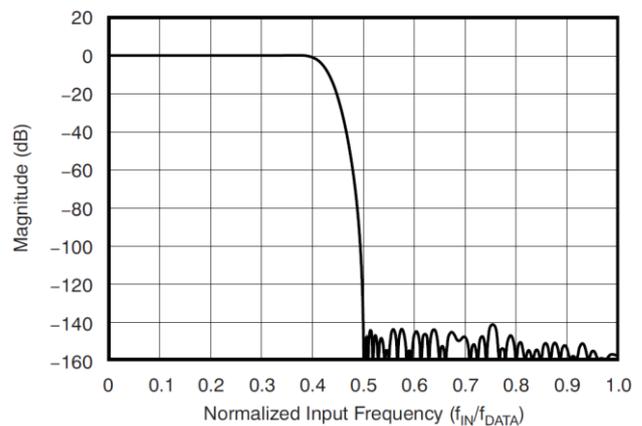


图22. FIR 滤波器从通带到阻的幅度响应

尽管上图中未显示，但通带响应以调制器频率的倍数重复 ($N \cdot f_{MOD} - f_0$ 和 $N \cdot f_{MOD} + f_0$ ，其中 $N = 1, 2$ 等， f_0 = 通带)。如果这些镜像频率存在于信号中并且在模数转换过程之前没有被过滤，它们会折回（或混叠）到通

带并导致错误。输入端接阻容低通滤波器可降低混叠频率的幅度。

9.3.3.3. 群时延和阶跃响应

FIR 模块实现为具有可选线性或最小相位响应的多级 FIR 结构。滤波器的通带、过渡带和阻带响应几乎相同，但各自的相位响应不同。

9.3.3.4. 线性相位响应

线性相位滤波器表现出相对于输入频率的恒定延迟时间（即恒定群延迟）。线性相位滤波器的特性是，从输入信号的任何时刻到输出数据的同一时刻，时间延迟都是恒定的，并且与信号频率无关。在分析多音信号时，这种滤波器行为导致相位误差基本为零。但是，群延迟比最小相位滤波器要长，如下图所示。

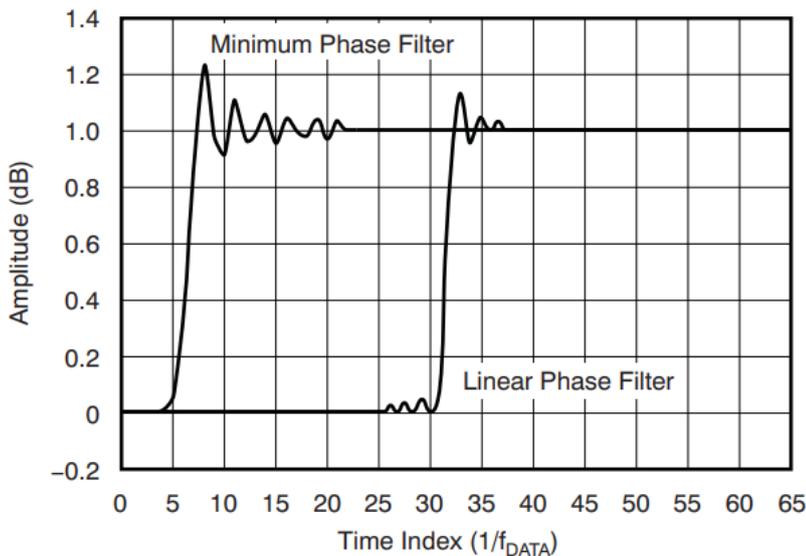


图23. FIR 阶跃响应

9.3.3.5. 最小相位响应

最小相位滤波器提供了从输入信号到达到转换数据输出的短暂延迟，但相位关系与频率的关系不是恒定的，如图24. 所示。滤波器相位由 PHASE 位选择，如表16所示。

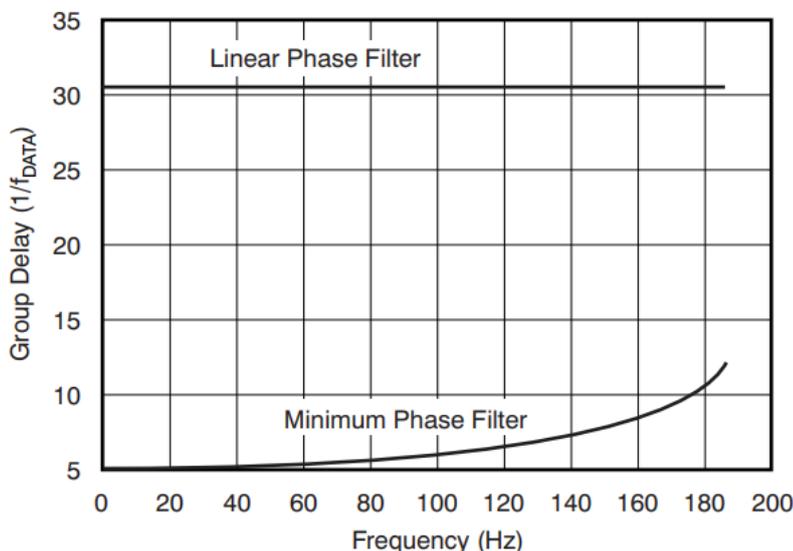


图24. FIR 群延迟 ($f_{DATA} = 500\text{Hz}$)

表16. FIR 滤波器相位选择

| PHASE位 | 滤波器相位 |
|--------|-------|
| 0 | 线性相位 |
| 1 | 最小相位 |

9.4. 功能模式

9.4.1.1. 同步 (SYNC PIN 和 SYNC 命令)

LHA7724 可以与外部事件同步，如果同时应用同步脉冲，也可以将多个 LHA7724 设备同步在一起。

LHA7724 有两种同步方法：SYNC 输入引脚和 SYNC 命令。此外，还有两种同步模式：脉冲同步和连续同步。在脉冲同步模式下，LHA7724 在每次同步事件时无条件同步。在连续同步模式下，第一次同步是无条件的，此后 ADC 仅在下一个 SYNC 引脚边沿未以数据速率的整数倍出现时重新同步。通常，同步时钟应用于 SYNC 引

脚，其周期等于数据速率的整数倍。当 SYNC 输入和 $\overline{\text{DRDY}}$ 输出的周期由于系统故障或时钟噪声事件不匹配时，ADC 会重新同步。

9.4.1.2. 脉冲同步模式

在脉冲同步模式下，LHA7724 通过停止和重新启动转换过程来无条件地同步。在这种模式下，可以通过引脚或命令进行同步。同步时，器件复位内部滤波器存储器， $\overline{\text{DRDY}}$ 变为高电平，在数字滤波器稳定后，新的转换数据可用，如图25. 和表17 (脉冲同步模式) 所示。

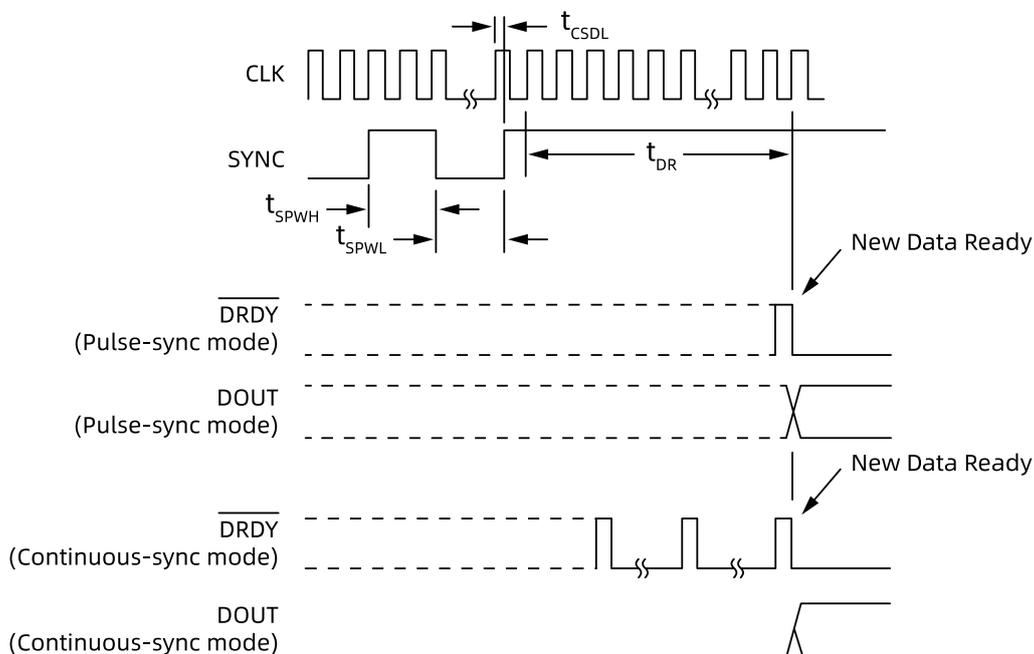


图25. 单同步的脉冲同步和连续同步时序

表17. 脉冲同步时序

| 参数 | | 最小值 | 最大值 | 单位 |
|---------------|-----------------------|-----|-----|----------------|
| t_{CSDL} | CLK 上升沿到 SYNC 上升沿 (1) | 30 | -30 | ns |
| 时间同步 | 同步时钟周期(2) | 1 | 无限 | n / f_{DATA} |
| $t_{SPWH, L}$ | SYNC脉冲宽度, 高或低 | | 2 | $1 / f_{CLK}$ |

| | | |
|----------|---------------------|-----------------------------------|
| t_{DR} | 数据准备就绪时间 (Sinc 滤波器) | 参照表15 |
| | 数据准备就绪时间 (FIR 滤波器) | $63.09375/f_{DATA} + 768/f_{CLK}$ |

- 1、CLK 上升沿到 SYNC 上升沿时序不得出现在指定的时间窗口内。
- 2、连续同步模式：一个自由运行的时钟应用于 SYNC 输入，而不会导致重新同步。参考图26。

 表18. 数据就绪的 t_{DR} 时间 (正弦滤波器)

| f_{DATA} (kSPS) | f_{CLK} 周期 ¹ |
|-------------------|---------------------------|
| 128 | 440 |
| 64 | 616 |
| 32 | 968 |
| 16 | 1672 |
| 8 | 2824 |

1、对于 SYNC 和 WAKEUP 命令，从第 8 个 SCLK 上升沿之后的下一个 CLK 上升沿到 DRDY 下降沿的 f_{CLK} 周期数。仅对于 WAKEUP 命令，减去两个 f_{CLK} 周期。

观察 SYNC 上升沿到 CLK 上升沿的时序限制，如图25. 和表17所示。同步发生在 SYNC 上升沿之后的下一个 CLK 上升沿，或者当通过命令同步时，在第 8 个 SCLK 上升沿之后。要通过同步命令同步多个 ADC，请同时向 ADC 广播该命令。

9.4.1.3. 连续同步模式

在连续同步模式下，可以应用单个同步脉冲或连续同步时钟。在此模式下使用 SYNC 引脚。当应用单个同步脉冲（上升沿）时，器件会以与脉冲同步模式相同的方式重新同步。仅当 SYNC 上升沿之间的时间不是转换周期的整数倍时，才会发生 ADC 重新同步。当重新同步发生时， \overline{DRDY} 继续以数据速率的周期切换，并且 DOUT 输出保持低电平，直到数据准备好（63 个 DRDY 周期之后）。在第 63 次读数时，转换数据有效，如图 26. 所示。

如果向 SYNC 引脚施加额外的脉冲，则从前一个脉冲经过的时间必须是输出数据速率的整数倍，否则会导致重新同步。

如果同步时钟应用于 SYNC 引脚，则器件仅在 $t_{SYNC} \neq N / f_{DATA}$ 的条件下重新同步，其中 $N = 1, 2, 3$ 等等。重新同步时， \overline{DRDY} 继续选通，但 DOUT 上的数据保持低电平，直到滤波器复位后新数据有效。如果同步时钟的周期与数据速率的整数倍匹配，则 ADC 不会重新同步。请注意，由于首次应用 SYNC 时钟后 \overline{DRDY} 的初始延迟，应用时钟的相位和输出数据速率 (\overline{DRDY}) 未对齐。图26. 显示了连续同步模式的时序。

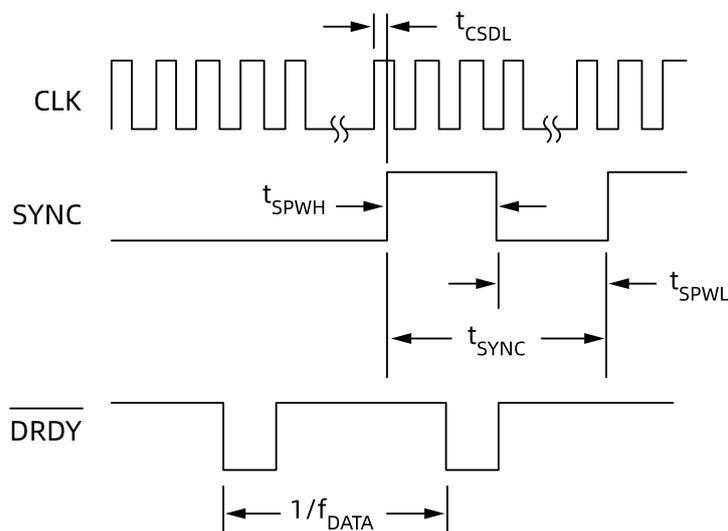


图26. 使用 SYNC 时钟的连续同步时序

在连续同步模式编程后应用同步时钟。然后 SYNC 的第一个上升沿导致同步。请注意，对任何 ADC 寄存器的后续写入会导致在寄存器写入操作时重新同步。重新同步导致先前同步丢失。发送 STANDBY 命令，然后发送 WAKEUP 命令以重新建立先前的同步。只要 STANDBY 和 WAKEUP 命令之间的时间不是转换周期的整数倍至少一个时钟周期，重新同步就有效。

9.4.2. 复位 (RESET 引脚和复位命令)

通过三种方式重置 ADC：循环电源、将 RESET 引脚切换为低电平或发送 RESET 命令。使用 RESET 引脚时，将其拉低并保持至少 $2 / f_{CLK}$ 以强制复位。LHA7724 保持在复位状态，直到引脚被释放。通过 RESET 命令，RESET 在该命令的 SCLK 的第 8 个上升沿之后的下一个 f_{CLK} 上升沿生效。为了确保 RESET 命令起作用，可能需要复位 SPI 接口；见串行接口章节。

当 LHA7724 复位时，寄存器设置为默认值，转换在 CLK 的下一个上升沿同步。新的转换数据可用，下图和下表所示。

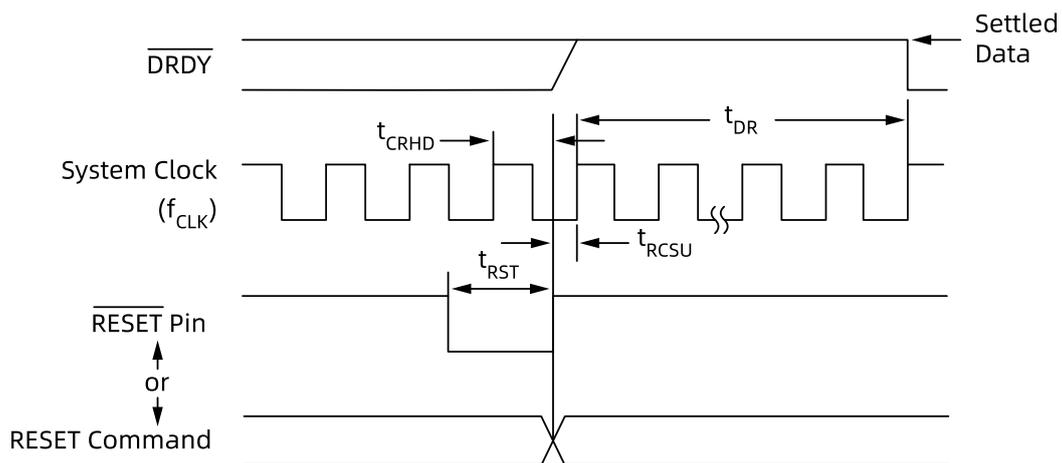


图27. 复位时序

表19. 复位时序

| 参数 | 最小 | 单位 |
|------------|------------------|---|
| t_{CRHD} | CLK 到 RESET 保持时间 | 10 ns |
| t_{RCSU} | RESET 到 CLK 建立时间 | 10 ns |
| t_{RST} | 复位低 | $2 / f_{CLK}$ |
| t_{DR} | 准备数据的时间 | $63.09375 / f_{DATA} + 768 / f_{CLK}$ s |

9.4.3. 主时钟输入 (CLK)

LHA7724 需要一个时钟才能运行。指定的时钟频率为 8.192 MHz，并应用于 CLK 引脚。ADC 数据速率随时钟频率而变化，但是通过降低时钟频率来降低噪声并没有好处；选择较慢的数据率以减少噪声。

与任何高速数据转换器一样，高质量、低抖动时钟对于实现最佳性能至关重要。晶体时钟振荡器是推荐的时钟源。确保避免时钟输入过度振铃；使时钟走线尽可能短，并在时钟源附近使用 50Ω 串联电阻。

9.4.3.1. 掉电 (PVDN 引脚和 STANDBY 命令)

以两种方式关闭 LHA7724：将 $\overline{\text{PWDN}}$ 引脚拉低，或发送 STANDBY 命令。当 $\overline{\text{PWDN}}$ 引脚被拉低时，内部电路被禁用以最小化功耗并且寄存器设置的内容被复位。处于断电状态时，器件输出保持活动状态，器件输入不得浮动。当发送 STANDBY 命令时，SPI 端口和配置寄存器保持活动状态。图28. 和表19显示了时序。当 $\overline{\text{CS}}$ 为高电平时，待机模式被取消。

处于断电状态时，器件输出保持活动状态，器件输入不得浮动。当发送 STANDBY 命令时，SPI 端口和配置寄存器保持活动状态。图28. 和表20显示时间。当 $\overline{\text{CS}}$ 为高电平时，待机模式被取消。

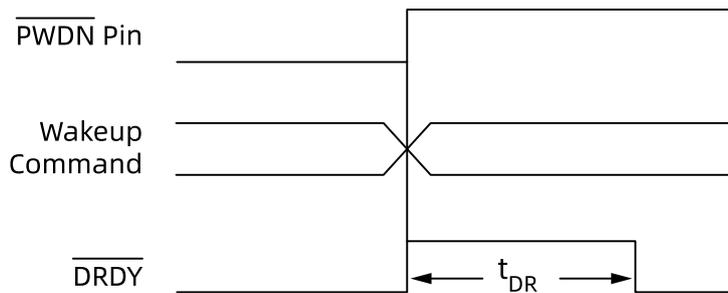


图28. $\overline{\text{PWDN}}$ 引脚和唤醒命令时序

表20. 从上电， $\overline{\text{PWDN}}$ 引脚和Wake-Up指令到新数据的延时

| 范围 | | 过滤模式 |
|----------|--|-------------------|
| t_{DR} | 上电后 2^{16} 个 CLK 周期的数据就绪时间； 在 $\overline{\text{PWDN}}$ 引脚或 WAKEUP 命令后准备好新数据 | 参考表15 |
| | | Sinc ¹ |
| | | FIR |

1、电源上电和 $\overline{\text{PWDN}}$ 引脚默认为 1000 SPS FIR。

2、减去 WAKEUP 命令的两个 CLK 周期。在命令到 $\overline{\text{DRDY}}$ 下降期间，WAKEUP 命令的时间从 CLK 的下一个上升沿到 SCLK 的第八个上升沿之后。

9.4.4. 上电顺序

LHA7724 具有三个电源：AVDD、AVSS 和 DVDD。**错误!未找到引用源。**显示了 LHA7724 的上电顺序。电源可以按任何顺序排序。电源 [AVDD – AVSS 和 DVDD 的差异] 产生信号，这些信号被“与”在一起以产生复位。在电源超过上电复位阈值后，在释放内部复位之前会计算 2^{16} 个 f_{CLK} 周期。内部复位解除后，新的转换数据可用，如图29. 和表20所示。

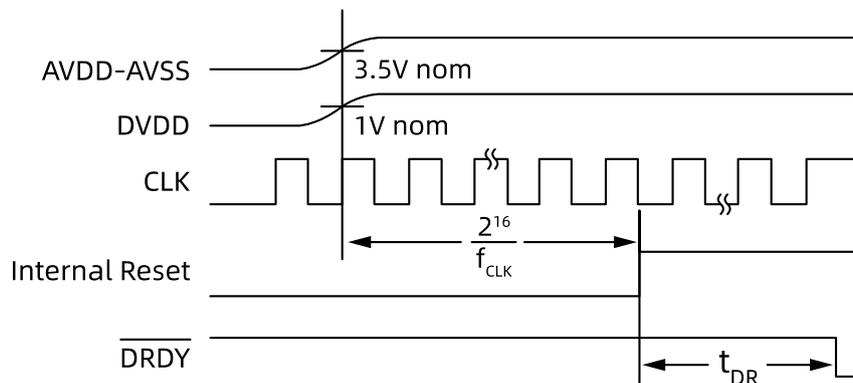


图29. 上电顺序

9.4.4.1. 串行接口

串行接口用于读取转换数据和访问配置寄存器。该接口与 SPI 兼容，由四个信号组成： \overline{CS} 、SCLK、DIN 和 DOUT。当 SCLK 以 2.048 MHz 运行时，多达 20 个以 4 kSPS 转换的 ADC 可以共享一个公共串行总线。

9.4.4.2. 片选 (\overline{CS})

片选 (\overline{CS}) 是低电平有效输入，可启用 ADC 串行接口进行数据传输。 \overline{CS} 低电平使能通信。 \overline{CS} 高禁用通信。禁用通信时，DOUT (输出数据引脚) 为高阻抗 (三态模式)。此外，SCLK 活动被忽略，正在进行的数据传输或命令被复位。 \overline{CS} 必须在与 ADC 的数据传输期间保持低电平。 \overline{CS} 可以拉低，从而永久启用 ADC 串行接口。

当 \overline{CS} 变为高电平时，ADC 空闲模式 (STANDBY) 和停止读取数据连续 (SDATAC) 模式被取消。有关 SDATAC 模式的更多信息，请参阅 SDATAC 要求章节。

9.4.4.3. 串行时钟 (SCLK)

串行时钟 (SCLK) 是一个数字输入，用于将数据时钟输入 (DIN) 和输出 (DOUT) ADC。SCLK 是具有高度抗噪能力的施密特触发器输入。然而，保持 SCLK 信号干净可以防止无意中移动数据可能出现的故障。数据在 SCLK 的上升沿移入 DIN，在 SCLK 的下行沿将数据移出 DOUT。不活动时保持 SCLK 为低电平。

当 \overline{CS} 为高电平时，SCLK 被忽略。

9.4.4.4. 数据输入 (DIN)

数据输入引脚 (DIN) 用于向 LHA7724 输入寄存器数据和命令。在读取数据连续模式下读取转换数据时保持 DIN 低电平 (发出 SDATAC 命令时除外)。DIN 上的数据在 SCLK 的上升沿移入转换器。

9.4.4.5. 数据输出 (DOUT)

数据输出引脚 (DOUT) 用于从 LHA7724 输出数据。数据在 SCLK 的下降沿移出。当 \overline{CS} 为高电平时，DOUT 引脚处于三态。

9.4.4.6. 串口自动超时

每次 \overline{CS} 拉高时，串行接口都会复位。但是，对于将 \overline{CS} 拉低的应用，串行端口不能通过将 \overline{CS} 拉高来复位。LHA7724 提供了一种功能，可在传输停止或中断，或者 SCLK 上出现噪声毛刺时自动恢复接口。要远程复位串行接口，请将 SCLK 保持在低电平 64 个 \overline{DRDY} 周期。串行接口的复位导致数据传输或正在进行的命令终止。

串行接口复位发生后，下一个 SCLK 脉冲开始一个新的通信周期。为防止接口远程复位，每 64 个 \overline{DRDY} 脉冲至少脉冲 SCLK 一次。

9.4.4.7. 数据就绪 (\overline{DRDY})

\overline{DRDY} 是一个输出，当新的转换数据准备好并开始检索时被驱动为低电平，如图 30 所示。在连续模式下读取数据时，必须在四个 CLK 周期之前完成读取操作下一个下降的 \overline{DRDY} 再次变低，否则数据被新的转换数据覆盖。

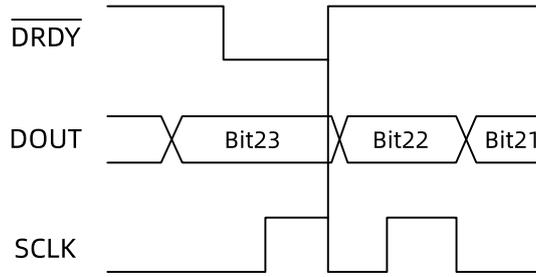


图30. 带有数据读取的 $\overline{\text{DRDY}}$

$\overline{\text{DRDY}}$ 在 SCLK 的第一个下降沿复位为高电平。图30. 和图31. 分别显示有数据回读和没有数据回读的 $\overline{\text{DRDY}}$ 的功能。

如果未读取数据（未提供 SCLK），则在更新期间 $\overline{\text{DRDY}}$ 会在四个 f_{CLK} 周期内产生高电平脉冲，如图31. 所示。

当 CS 为高电平时， $\overline{\text{DRDY}}$ 保持有效。

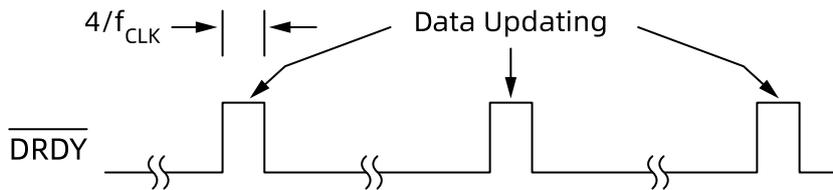


图31. 没有数据读取的 $\overline{\text{DRDY}}$

9.4.5. 数据格式

LHA7724 输出数据为 24 位二进制补码格式。

表21. 理想输出代码与输入信号

| INPUT SIGNAL V_{IN} (AINP – AINN) | 24-BIT IDEAL OUTPUT CODE | |
|--|--------------------------|-------------|
| | FIR FILTER | Sinc FILTER |
| $> V_{\text{REF}}$ | 7FFFFFFh | 7FFFFFFh |
| V_{REF} | 7FFFFFFh | 7FFFFFFh |
| $\frac{V_{\text{REF}}}{2^{23} - 1}$ | 000001h | 000001h |
| 0 | 000000h | 000000h |
| $\frac{-V_{\text{REF}}}{2^{23} - 1}$ | FFFFFFh | FFFFFFh |
| $\frac{-V_{\text{REF}} \times 2^{23}}{2^{23} - 1}$ | 800000h | 800000h |
| $< \frac{-V_{\text{REF}} \times 2^{23}}{2^{23} - 1}$ | 800000h | 800000h |

- 1、排除噪声、线性度、偏移和增益误差的影响。
- 2、由于与高数据速率相关的过采样率 (OSR) 降低，因此在 Sinc 滤波器模式下不提供完整的 24 位分辨率。
- 3、在 Sinc 滤波器模式下，当超出满量程范围时，输出不会在相应的正码或负码处削波。

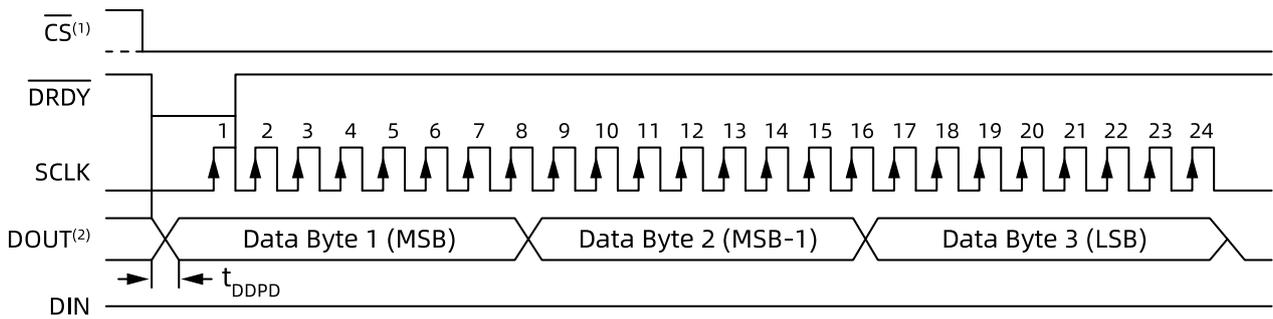
9.4.6. 读取数据

LHA7724 提供两种读取转换数据的模式：读数据连续模式和按命令读取数据模式。

9.4.6.1. 读数据连续模式

在读取数据连续模式下，无需读取命令即可从 ADC 读取转换数据。此模式是开机时的默认模式。此模式也由 RDATA 命令启用。当 $\overline{\text{DRDY}}$ 变低时，表示有新数据可用，数据的 MSB 放在 DOUT 上，如图32. 所示。用户在 SCLK 的上升沿读取（锁存）数据。在 SCLK 的第一个下降沿， $\overline{\text{DRDY}}$ 返回高电平。读取 24 位数据后，进一步的 SCLK 转换会导致 DOUT 变为低电平。整个数据移位操作必须在 $\overline{\text{DRDY}}$ 再次下降之前的四个 CLK 周期内完成，否则数据可能被破坏。

当发出 SDATA 命令时， $\overline{\text{DRDY}}$ 输出被阻止，但 LHA7724 继续转换。在停止连续模式下，通过命令读取数据。



(1) 当 $\overline{\text{CS}}$ 为高电平时，DOUT 处于三态。 $\overline{\text{CS}}$ 可以拉低。请参阅图2. $\overline{\text{CS}}$ 低至有效 DOUT 传播时间。

图32. 连续读取数据

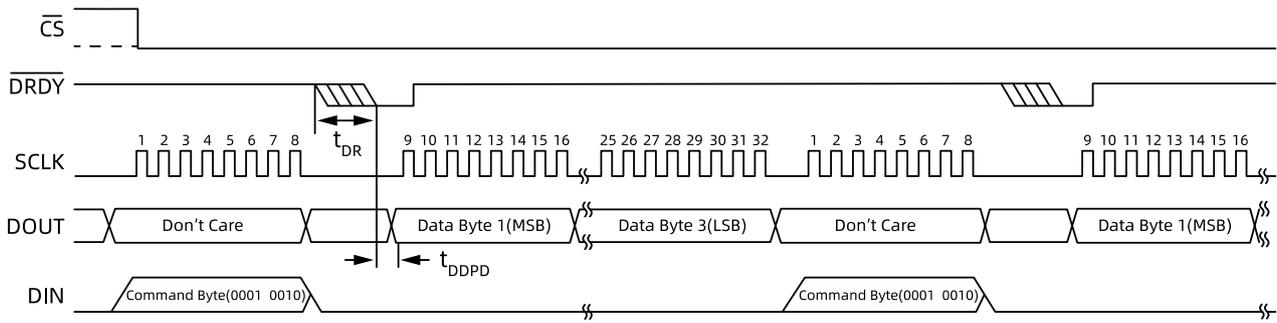
表22. DRDY到DOUT传播延迟

| | 范围 | 最小值 | 典型值 | 最大值 | 单位 |
|-------------------|---------------------------------------|-----|-----|-----|----|
| t_{DDPD} | DRDY 到 DOUT 传播延迟上的有效 MSB ¹ | | 100 | | ns |

1、当 $\overline{\text{CS}}$ 为高电平时，DOUT 处于三态。DOUT 上的负载 = 20 pF || 100 kΩ。

9.4.6.2. 按命令读取数据模式

SDATA 命令停止读取数据连续模式，然后将 ADC 置于按命令读取数据模式。在 read-data-by-command 模式下，RDATA 命令被发送到设备以读取每个新的转换数据（如图33. 所示）。当接收到读取数据命令时（在第 8 个 SCLK 上升沿），只有当 $\overline{\text{DRDY}}$ 随后变为低电平 (t_{DR}) 时，才能读取数据。当 $\overline{\text{DRDY}}$ 变低时，转换数据出现在 DOUT 上。可以在 SCLK 的上升沿读取数据，当发送完24个SCLK读完数据后，需要继续发读取命令，等待新的 $\overline{\text{DRDY}}$ 变低再读取新的24bit数据，不断重复如上过程。



(1)当 \overline{CS} 为高电平时, DOUT 处于三态。 \overline{CS} 可以拉低。请参阅图2. \overline{CS} 低至 SCLK 上升沿时间。

图33. 通过命令 RDATA 读取数据 (t_{DDPD} 时序在表 22 中给出)

表23. 数据读取命令后新数据的时间

| 范围 | 最小值 | 典型值 | 最大值 | 单位 |
|----------|-----|-----|-----|------------|
| t_{DR} | 0 | | 1 | f_{DATA} |

9.4.7. 单次读数操作

LHA7724 可以在软件控制下使用 STANDBY 命令执行非常节能的一次性转换。图34. 显示了这个序列。

首先, 发出 STANDBY 命令来设置待机模式。

当准备好进行测量时, 发出 WAKEUP 命令。当 \overline{DRDY} 变为低电平时, 完全稳定的转换数据已准备就绪, 可以在读取数据连续模式下直接读取。之后, 发出另一个 STANDBY 命令。当准备好进行下一次测量时, 从另一个 WAKEUP 命令开始重复循环。

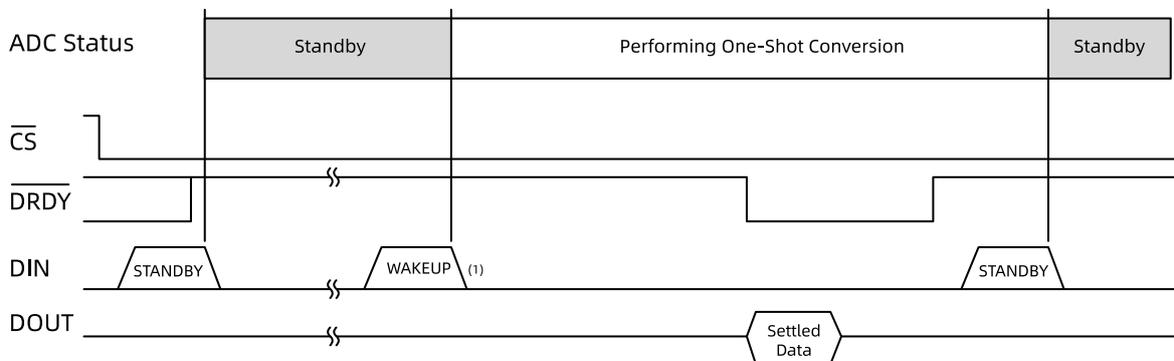


图34. 使用 STANDBY 命令的一次性转换

9.4.8. 失调和满量程校准寄存器

在产生最终输出代码之前, 转换数据可以针对偏移和增益进行缩放。如图35. 所示, 数字滤波器的输出首先减去失调寄存器 (OFC), 然后乘以满量程寄存器 (FSC)。等式 15 显示缩放:

$$Final\ Output\ Date = (Input - OFC[2:0]) \times \frac{FSC[2:0]}{400000h} \quad (15)$$

失调和满量程寄存器的值是通过直接写入来设置的, 或者它们是由校准命令自动设置的。

校准在Sinc滤波器模式下被绕过。

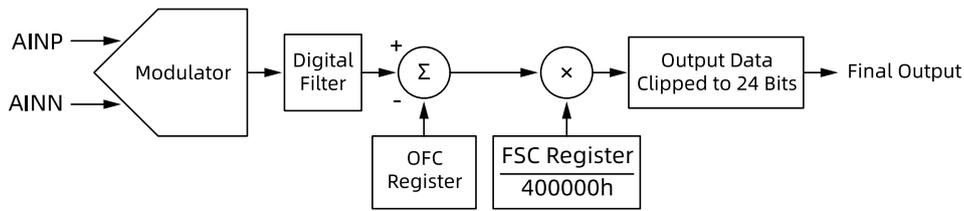


图35. 校准框图

9.4.8.1. OFC[2:0] 寄存器

24 位偏移校准字由三个 8 位寄存器组成，如表24 所示。偏移寄存器左对齐以与 24 位转换数据对齐。偏移量采用二进制补码格式，最大正值为 7FFFFFFh，最大负值为 800000h。从转换数据中减去该值。寄存器值 000000h 没有偏移校正（默认值）。

表24. 偏移校准字

| 寄存器 | 字节 | 位顺序 | | | | | | | |
|------|-----|-----------|-----|-----|-----|-----|-----|-----|----------|
| OFC0 | LSB | B7 | B6 | B5 | B4 | B3 | B2 | B1 | B0 (LSB) |
| OFC1 | MID | B15 | B14 | B13 | B12 | B11 | B10 | B9 | B8 |
| OFC2 | MSB | B23 (MSB) | B22 | B21 | B20 | B19 | B18 | B17 | B16 |

虽然偏移校准寄存器值可以校正从 -FS 到 +FS 的偏移，但为了避免输入过载，请不要超过最大输入电压范围 106% FSR（包括校准）。

表25. 偏移校准值

| OFC 寄存器 | 最终输出代码 ¹ |
|----------|---------------------|
| 7FFFFFFh | 800000h |
| 000001h | FFFFFFh |
| 000000h | 000000h |
| FFFFFFh | 000001h |
| 800000h | 7FFFFFFh |

1、带有零码输入的完整24位最终输出码。

9.4.8.2. FSC[2:0] 寄存器

满量程校准是一个 24 位字，由三个 8 位寄存器组成，如所示表26。

满量程校准值为 24 位、直线偏移二进制，在代码 400000h 处归一化为 1.0。

表26. 满量程校准字

| 寄存器 | 字节 | 位顺序 | | | | | | | |
|------|-----|-----------|-----|-----|-----|-----|-----|-----|----------|
| FSC0 | LSB | B7 | B6 | B5 | B4 | B3 | B2 | B1 | B0 (LSB) |
| FSC1 | MID | B15 | B14 | B13 | B12 | B11 | B10 | B9 | B8 |
| FSC2 | MSB | B23 (MSB) | B22 | B21 | B20 | B19 | B18 | B17 | B16 |

下表总结了满量程寄存器的缩放。寄存器值 400000h（默认值）没有增益校正（增益 = 1）。尽管满量程校准寄存器值可校正大于 1 的增益误差（增益校正 < 1），但模拟输入的满量程范围不得超过 106% FSR（包括校准）以避免输入过载。

表27. 满量程校准寄存器值

| FSC 寄存器 | 增益校正 |
|---------|------|
| 800000h | 2.0 |
| 400000h | 1.0 |
| 200000h | 0.5 |
| 000000h | 0 |

9.4.9. 校准命令 (OFSCAL 和 GANCAL)

使用校准命令 (OFSCAL 或 GANCAL) 校准转换数据。偏移和增益校准寄存器的值在内部写入以执行校准。在发送命令之前，必须将适当的输入信号应用于 LHA7724 输入。使用较慢的数据速率以获得更一致的校准结

果；这种效应是这些数据速率提供的较低噪声的副产品。此外，如果在上电时进行校准，请确保参考电压已完全稳定。

图36. 显示校准命令序列。在模拟输入电压（和参考电压）稳定后，发送 SDATEC 命令，然后发送 SYNC 和 RDATEC 命令。DRDY 在64个数据周期后变低。在 DRDY 变低后，发送SDATAC命令，然后是校准命令（OFSCAL 或 GANCAL），然后是 RDATEC 命令。16个数据周期后，校准完成，此时可以读取转换数据。SYNC 输入在校准序列期间必须保持高电平。

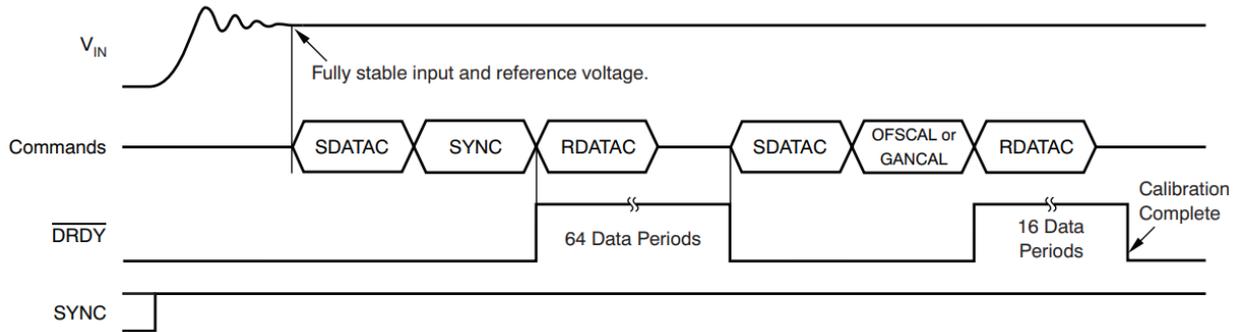


图36. 偏移和增益校准时序

9.4.9.1. OFSCAL 命令

OFSCAL 命令执行偏移校准。在发送 OFSCAL 命令序列 (图36.) 之前，必须向 LHA7724 施加零输入信号，并使输入稳定。当命令序列 (图36.) 发送时，LHA7724 平均 16 个读数，然后将这个值写入 OFC 寄存器。OFC 寄存器的内容可以随后被读取或写入。在偏移校准期间，满量程校正被绕过。使用 OFSCAL 命令校准可选的 100-mV 偏移。

9.4.9.2. GANCAL 命令

GANCAL 命令执行增益校准。在发送 GANCAL 命令序列 (图36.) 之前，必须应用直流输入（通常为满量程输入，但不超过满量程的 106%）。信号稳定后，可以发送命令序列。LHA7724 平均 16 个读数，然后计算将施加的校准电压缩放到满量程的增益值。增益值被写入 FSC 寄存器，其内容随后被读取或写入。

9.4.9.3. 用户校准

无需使用校准命令即可执行 LHA7724 的系统校准。此过程需要在外部计算校准值，然后将其写入校准寄存器。此过程的步骤是：

1. 设置 OFSCAL[2:0] 寄存器 = 0h, GANCAL[2:0] = 400000h。这些值分别将偏移和增益寄存器设置为 0 和 1。
2. 将零差分输入应用于系统的输入。等待系统稳定，然后平均输出读数。更多的平均读数会导致更一致的校准。将平均值写入 OFC 寄存器。
3. 应用差分直流信号或交流信号（通常为满量程，但不超过 106% FSR）。等待系统稳定，然后平均输出读数。

写入 FSC 寄存器的值由等式 16或方程 17计算。

直流信号校准显示在等式 16中。预期的输出代码基于 24 位输出数据。

$$FSC[2:0] = 400000h \times \left\{ \frac{\text{Expected Output Code}}{\text{Actual Output Code}} \right\} \quad (16)$$

对于交流信号校准，使用收集数据的 RMS 值，如等式 17所示：

$$FSC[2:0] = 400000h \times \left\{ \frac{\text{Expected Output Value}}{\text{Actual Output Value}} \right\} \quad (17)$$

9.5. 编程

9.5.1. 命令

表28列出的命令控制 LHA7724 的操作。大多数命令是独立的（即一个字节的长度）；除了实际的寄存器数据字节外，寄存器读取和写入命令的长度为两个字节。

表28. 命令说明

| 命令 | 类型 | 描述 | 第一个命令字节 ^{1 2} | 第二个命令字节 ³ |
|---------|-----|----------------------------|-----------------------------|--------------------------|
| WAKEUP | 控制 | 从待机模式唤醒 | 0000 000X (00h 或 01h) | |
| STANDBY | 控制 | 进入待机模式 | 0000 001X (02h 或 03h) | |
| SYNC | 控制 | 同步模数转换 | 0000 010X (04h 或 05h) | |
| RESET | 控制 | 将寄存器重置为默认值 | 0000 011X (06h 或 07h) | |
| RDATA | 控制 | 进入读取数据连续模式 | 0001 0000 (10h) | |
| SDATA | 控制 | 停止读取数据连续模式 | 0001 0001 (11h) | |
| RDATA | 数据 | 通过命令读取数据 ⁽⁴⁾ | 0001 0010 (12h) | |
| RREG | 寄存器 | 读取地址 rrrrr(4) 处的 nnnnn 寄存器 | 001r rrrr (20h + 000r rrrr) | 000n nnnn (00h + n nnnn) |
| WREG | 寄存器 | 在地址 rrrrr 处写入 nnnnn 寄存器 | 010r rrrr (40h + 000r rrrr) | 000n nnnn (00h + n nnnn) |
| OFSCAL | 校准 | 偏移校准 | 0110 0000 (60h) | |
| GANCAL | 校准 | 增益校准 | 0110 0001 (61h) | |

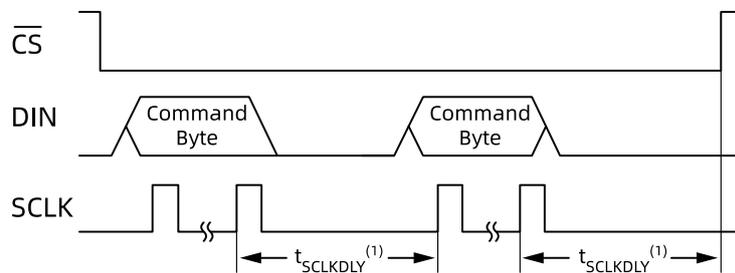
1、X = 不在乎。

2、rrrrr = 寄存器读写命令的起始地址。

3、nnnnn = 要读取或写入的寄存器数 - 1。例如，要读取或写入三个寄存器，设置 nnnnn = 2 (00010)。

4、需要在发送命令之前取消读取数据连续模式。

5、CS 必须在命令字节序列的持续时间内保持低电平。从一个命令的最后一个 SCLK 上升沿到下一个命令的第一个 SCLK 上升沿，命令之间和一个命令中的字节之间需要 $24 \times f_{CLK}$ 周期的延迟。所需的延迟如图36. 所示。



(1) $t_{SCLKDLY} = 24/f_{clk}(\text{min})$

图37. 连续命令

9.5.1.1. SDATA 需求

在连续读取数据模式下，LHA7724 在应用 SCLK 时将转换数据放在 DOUT 引脚上。由于 RREG 或 RDATA 操作导致转换数据和放置在 DOUT 上的寄存器数据之间存在潜在冲突，因此有必要在 RREG 或 RDATA 命令之前发送停止连续读取数据(SDATA) 命令。SDATA 命令禁用 DOUT 引脚上转换数据的直接输出。CS = 1 取消 SDATA 模式；因此，在将 SDATA 命令发送到下一个 RREG 或 RDATA 命令后，保持 CS 保持低电平。

9.5.2. WAKEUP: 从待机模式唤醒

WAKEUP 命令用于退出待机模式。发送此命令后，第一个数据准备就绪的时间如图25. 和表17所示。正常运行时发送此命令无效；例如，在 DIN 保持低电平的情况下，通过连续读取模式读取数据。

9.5.2.1. 待机：待机模式

STANDBY 命令将 LHA7724 置于待机模式。在待机状态下，器件进入低功耗状态，此时保持低静态电流以保持寄存器设置和串行接口处于活动状态。ADC 保持待机模式，直到 \overline{CS} 变为高电平或发送 WAKEUP 命令。

要完全关闭器件，请将 \overline{PWDN} 引脚拉低（不保存寄存器设置）。待机模式的操作如图37. 所示。

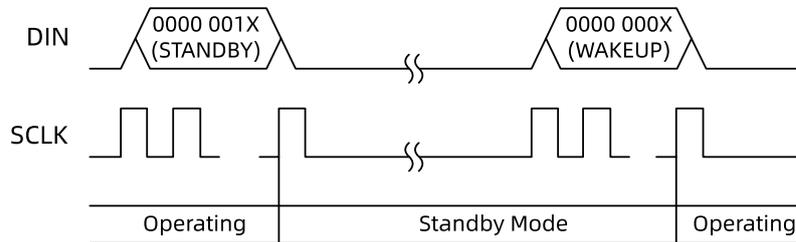


图38. STANDBY 命令序列

9.5.2.2. SYNC: 同步模数转换

SYNC 命令同步模数转换。接收到命令后，取消正在进行的读取并重新开始转换过程。为了同步多个 LHA7724，命令必须同时发送到所有设备。在此命令期间，SYNC 引脚必须保持高电平。

9.5.2.3. 复位: 复位设备

\overline{RESET} 命令将寄存器重置为默认值，启用连续读取数据模式，并重新启动转换过程。 \overline{RESET} 命令在功能上等同于将 \overline{RESET} 引脚拉低。参见图27. 。

9.5.2.4. RDATA: 连续读取数据

RDATA 命令连续启用读取数据模式（默认模式）。在这种模式下，转换数据直接从器件中读取，无需提供数据读取命令。每次 \overline{DRDY} 下降时，都有新数据可供读取。有关详细信息，请参阅Read-Data-Continuous 模式部分。

9.5.2.5. SDATA: 停止读取数据连续

SDATA 命令停止连续读取数据模式。在发送寄存器和数据读取命令之前退出连续读取数据模式。SDATA 命令抑制 \overline{DRDY} 输出，但 LHA7724 继续转换。将 \overline{CS} 拉高以取消 SDATA 模式。

9.5.2.6. RDATA: 通过命令读取数据

RDATA 命令读取转换数据。有关详细信息，请参阅Read-Data-By-Command模式部分。

9.5.2.7. RREG: 读取寄存器

RREG 命令用于读取单个或多个寄存器。该命令由一个两字节的操作码参数组成，然后是寄存器数据的输出。操作码的第一个字节包括起始地址，第二个字节指定要读取的寄存器数量减一。

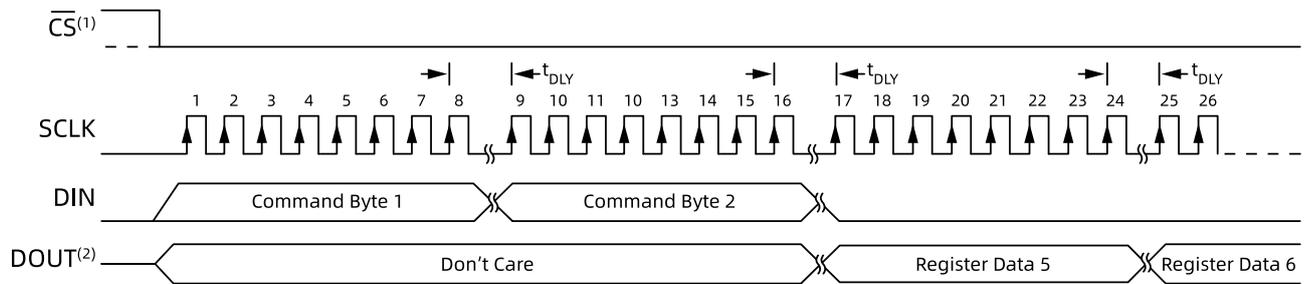
第一个命令字节: 001r rrrr, 其中 rrrr 是第一个寄存器的起始地址。

第二个命令字节: 000n nnnn, 其中 nnnn 是要读取的寄存器数减一。

从 SCLK 的第 16 个下降沿开始，寄存器数据出现在 DOUT 上。在第 17 个 SCLK 上升沿读取数据。

RREG 命令在图38. 中说明。

每个字节事件之间需要 24 个 f_{CLK} 周期的延迟。



示例：读取六个寄存器，从寄存器 05h (OFC0) 命令字节 1 = 0010 0101 开始命令字节 2 = 0000 0101。

(1) 当 \overline{CS} 为高电平时，DOUT 处于三态。 \overline{CS} 可以拉低。请参阅图2. \overline{CS} 低至 SCLK 上升沿时间。

图39. 读取寄存器数据

表29. 每个字节事件之间延迟

| 范围 | 最小 |
|-----------|-------|
| t_{DLY} | 24个时钟 |

9.5.2.8. WREG: 写入寄存器

WREG 命令写入单个或多个寄存器。该命令由两个字节的操作码参数组成，后跟寄存器数据的输入。操作码的第一个字节包含起始地址，第二个字节指定要写入的寄存器数量减一。

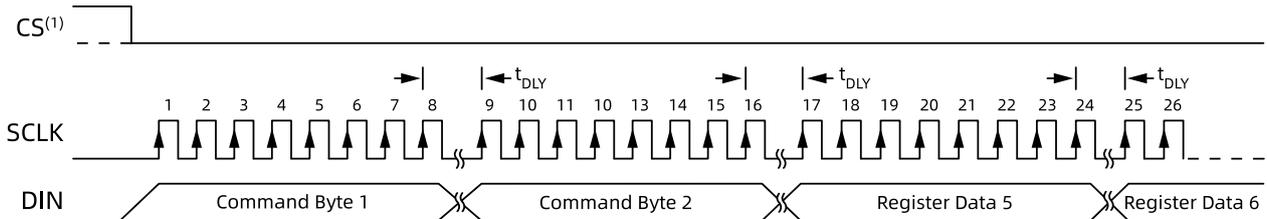
第一个命令字节：010r rrrr，其中 rrrrr 是第一个寄存器的起始地址。

第二个命令字节：000n nnnn，其中 nnnnn 是要写入的寄存器数减一。

数据字节：一个或多个寄存器数据字节，取决于指定的寄存器数量。

图39. 说明了 WREG 命令。

每个字节事件之间需要 24 个 f_{CLK} 周期的延迟。



Example: Write six registers, starting at register 05h (OFC0)
Command Byte 1 = 0100 0101
Command Byte 2 = 0000 0101

(1) \overline{CS} 可以拉低。请参阅图2 \overline{CS} 低至 SCLK 上升沿时间。

图40. 写入寄存器数据

9.5.2.9. OFSCAL: 失调校准

OFSCAL 命令执行失调校准。在发送此命令之前，转换器的输入（或外部前置放大器的输入）应归零并稳定。失调校准寄存器在此操作后更新。有关详细信息，请参阅校准命令部分。

9.5.2.10. GANCAL: 增益校准

GANCAL 命令执行增益校准。转换器的输入应具有稳定的直流输入（通常为满量程，但不超过满量程的 106%）。增益校准寄存器在此操作后更新。有关详细信息，请参阅校准命令部分。

9.6. 寄存器映射

总的来说，这些寄存器包含配置器件所需的所有信息，例如数据速率、滤波器选择、校准等。寄存器由

RREG 和 WREG 命令访问。通过发送或接收连续字节，寄存器可以单独访问，也可以作为寄存器块访问。寄存器写操作后，ADC 复位，导致 63个读取周期的中断。

表30. 寄存器映射

| 地址 | 寄存器 | 复位值 | 位 7 | 位 6 | 位 5 | 位 4 | 位 3 | 位 2 | 位 1 | 位 0 |
|-----|---------|-----|----------|-------|-------|-------|---------|-------|---------|---------|
| 00h | ID_CFG | X0h | ID3 | ID2 | ID1 | ID0 | 0 | 0 | OFFSET1 | OFFSET0 |
| 01h | CONFIG0 | 52h | SYNC | MODE | DR2 | DR1 | DR0 | PHASE | FILTR1 | FILTR0 |
| 02h | CONFIG1 | 00h | DR_RANGE | MUX2 | MUX1 | MUX0 | RESERVE | 0 | 0 | 0 |
| 03h | HPF0 | 32h | HPF07 | HPF06 | HPF05 | HPF04 | HPF03 | HPF02 | HPF01 | HPF00 |
| 04h | HPF1 | 03h | HPF15 | HPF14 | HPF13 | HPF12 | HPF11 | HPF10 | HPF09 | HPF08 |
| 05h | OFC0 | 00h | OFC07 | OFC06 | OFC05 | OFC04 | OFC03 | OFC02 | OFC01 | OFC00 |
| 06h | OFC1 | 00h | OFC15 | OFC14 | OFC13 | OFC12 | OFC11 | OFC10 | OFC09 | OFC08 |
| 07h | OFC2 | 00h | OFC23 | OFC22 | OFC21 | OFC20 | OFC19 | OFC18 | OFC17 | OFC16 |
| 08h | FSC0 | 00h | FSC07 | FSC06 | FSC05 | FSC04 | FSC03 | FSC02 | FSC01 | FSC00 |
| 09h | FSC1 | 00h | FSC15 | FSC14 | FSC13 | FSC12 | FSC11 | FSC10 | FSC09 | FSC08 |
| 0Ah | FSC2 | 40h | FSC23 | FSC22 | FSC21 | FSC20 | FSC19 | FSC18 | FSC17 | FSC16 |

9.6.1. 寄存器说明

ID_CFG: ID_Configuration 寄存器 (地址 = 00h) [复位 = xxh]

表31. ID_CFG 寄存器

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|------|------|------|------|------|------|------|------|
| ID3 | ID2 | ID1 | ID0 | SID3 | SID2 | SID1 | SID0 |
| R-xh |

LEGEND: R/W = Read/Write; R = Read only; -n = value after reset

Bit[7:4] ID[3:0]
 Factory-programmed identification bits (read-only). The ID bits are subject to change without notification.

Bit[3:0] SID[3:0]
 Factory-programmed identification bits (read-only).

CONFIG0: 配置寄存器 0 (地址 = 01h) [复位 = 52h]

表32. CONFIG0 寄存器

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|--------|--------|--------|--------|--------|--------|--------|--------|
| 同步 | 模式 | DR2 | DR1 | DR0 | 阶段 | 过滤器1 | 过滤器0 |
| R W-0h | R W-1h | R W-0h | R W-1h | R W-0h | R W-0h | RW -1h | R W-0h |

图例: R W = 读写; R = 只读; -n = 重置后的值

位[7] 同步
 同步模式位。
 0: 脉冲同步模式 (默认)
 1: 连续同步模式

位[6] 模式
 模式控制
 0: 低功耗模式
 1: 高分辨率模式 (默认)

位[5:3] DR[2:0]
 数据速率选择位。
 000: 500 SPS

001: 1000 SPS
 010: 2000 SPS (默认)
 011: 4000 SPS
 100: 8000 SPS

位[2] 相位

FIR 相位响应位。
 0: 线性相位 (默认)
 1: 最小相位

位[1:0] FILTR[1:0]

数字滤波器配置位。
 00: 保留
 01: 仅正弦滤波器块
 10: Sinc + LPF 滤波器块 (默认)
 11: 保留

CONFIG1: 配置寄存器 1 (地址 = 02h) [复位 = 00h]

表33. CONFIG1 寄存器

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|--------|--------|--------|--------|------------|--------|--------|--------|
| 0 | MUX2 | MUX1 | MUX0 | RESE-RVED0 | 0 | 0 | 0 |
| R/W-0h | R/W-0h | R/W-0h | R/W-0h | R/W-0h | R/W-0h | R/W-0h | R/W-0h |

LEGEND: R/W = Read/Write; R = Read only; -n = value after reset

Bit[7] DR_RANGE
 0: 输出速率可选择 500/1K/2K/4K/8K (sinc+LPF)
 或者16K/32K/64K/128K (sinc only)
 1: 输出速率可选择 125/250/8K/16K/32K (sinc+LPF)
 或者 4K/8K (sinc only)

Bit[6:4] MUX[2:0]
 MUX 选择位。
 000: AINP1 and AINN1 (默认)
 001: AINP2 and AINN2
 101: 内部短接

Bit[3] 保留位

Bit[2:0] 保留位
 Always write 0

CONFIG0寄存器的DR[2:0]和CONFIG01寄存器的DR_RANGE共同决定数据输出速率，具体配置如下表所示：

表34. 配置

| DR_RANGE | DR[2:0] | sinc only 数据速率 (SPS) | sinc+LPF 数据速率 (SPS) |
|----------|---------|----------------------|---------------------|
| 0 | 000 | 16,000 | 500 |
| | 001 | 32,000 | 1,000 |
| | 010 | 64,000 | 2,000 |
| | 011 | 128,000 | 4,000 |
| | 100 | 保留 | 8,000 |
| 1 | 000 | 4,000 | 125 |
| | 001 | 8,000 | 250 |
| | 010 | 保留 | 8,000 |
| | 011 | 保留 | 16,000 |
| | 100 | 保留 | 32,000 |

OFC0、OFC1、OFC2 寄存器

这三个字节设置失调校准值。

OFC0: 失调校准, 低字节 (地址 = 05h) [复位 = 00h]

表35. OFC0 寄存器

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|--------|--------|--------|--------|--------|--------|--------|--------|
| OFC07 | OFC06 | OFC05 | OFC04 | OFC03 | OFC02 | OFC01 | OFC00 |
| R/W-0h |

图例: R/W = 读写; R = 只读; -n = 重置后的值

OFC1: 失调校准, 中间字节 (地址 = 06h) [复位 = 00h]

表36. OFC1 寄存器

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|--------|--------|--------|--------|--------|--------|--------|--------|
| OFC15 | OFC14 | OFC13 | OFC12 | OFC11 | OFC10 | OFC09 | OFC08 |
| R/W-0h |

图例: R/W = 读写; R = 只读; -n = 重置后的值

OFC2: 失调校准, 高字节 (地址 = 07h) [复位 = 00h]

表37. OFC2 寄存器

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|--------|--------|--------|--------|--------|--------|--------|--------|
| OFC23 | OFC22 | OFC21 | OFC20 | OFC19 | OFC18 | OFC17 | OFC16 |
| R/W-0h |

图例: R/W = 读写; R = 只读; -n = 重置后的值

FSC0、FSC1、FSC2 寄存器

这三个字节设置满量程校准值。

FSC0: 满量程校准, 低字节 (地址 = 08h) [复位 = 00h]

表38. FSC0 寄存器

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|--------|--------|--------|--------|--------|--------|--------|--------|
| FSC07 | FSC06 | FSC05 | FSC04 | FSC03 | FSC02 | FSC01 | FSC00 |
| R/W-0h |

图例: R/W = 读写; R = 只读; -n = 重置后的值

FSC1: 满量程校准, 中间字节 (地址 = 09h) [复位 = 00h]

表39. FSC1 寄存器

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|--------|--------|--------|--------|--------|--------|--------|--------|
| FSC15 | FSC14 | FSC13 | FSC12 | FSC11 | FSC10 | FSC09 | FSC08 |
| R/W-0h |

图例: R/W = 读写; R = 只读; -n = 重置后的值

FSC2: 满量程校准, 高字节 (地址 = 0Ah) [复位 = 40h]

表40. FSC2 寄存器

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|--------|--------|--------|--------|--------|--------|--------|--------|
| FSC23 | FSC22 | FSC21 | FSC20 | FSC19 | FSC18 | FSC17 | FSC16 |
| R/W-0h | R/W-1h | R/W-0h | R/W-0h | R/W-0h | R/W-0h | R/W-0h | R/W-0h |

图例: R/W = 读写; R = 只读; -n = 重置后的值

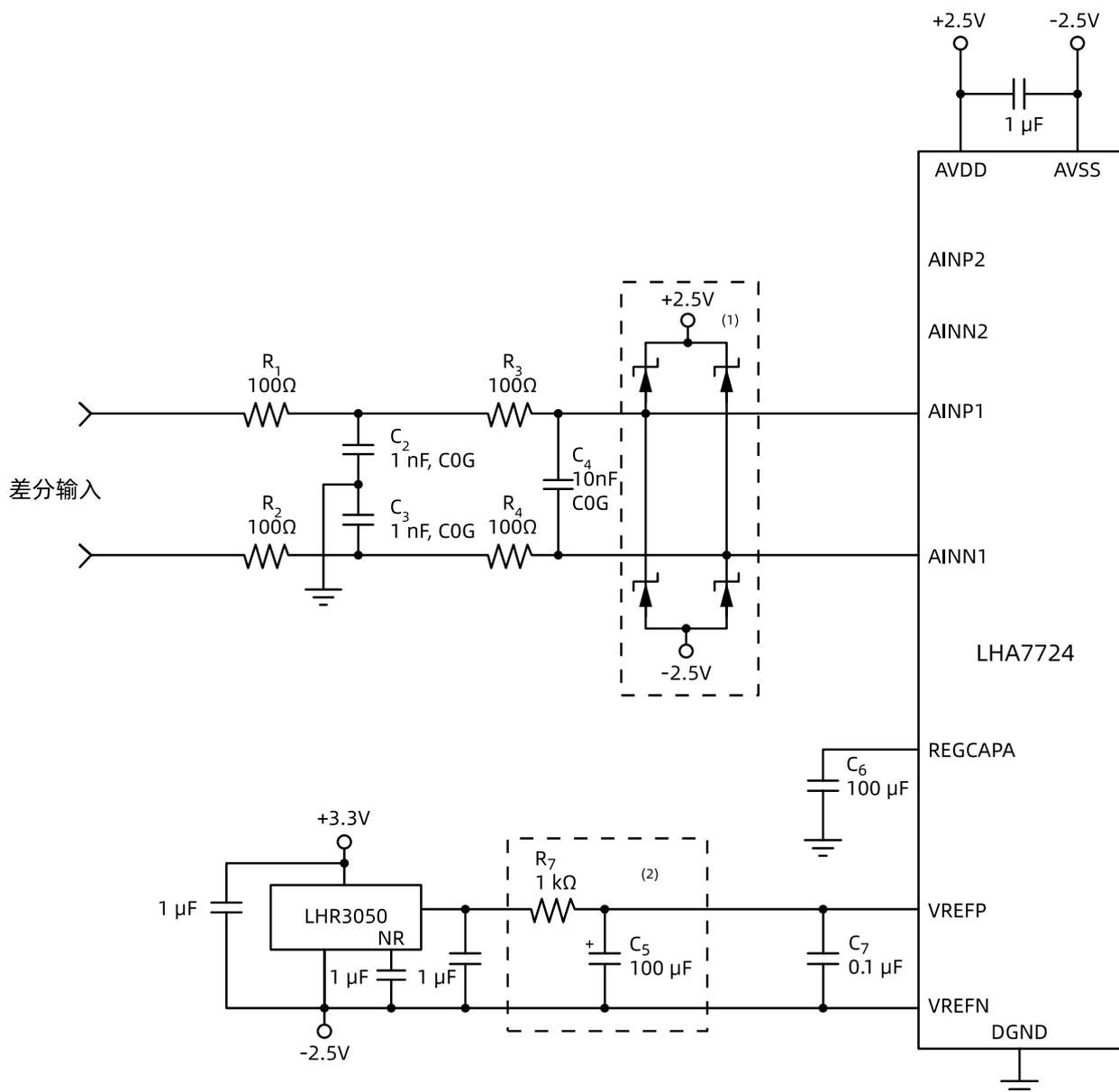
10. 应用与实现

10.1. 应用信息

LHA7724 是一款24位的 ADC，具有两种工作模式，可在功耗和 SNR 性能之间进行权衡。最佳性能需要特别注意支持电路和印刷电路板 (PCB) 设计。将嘈杂的数字组件（例如微控制器、振荡器等）放置在远离转换器和前端组件的 PCB 区域中。通过将数字组件放置在靠近电源入口点的位置，使数字电流路径保持较短并与敏感的模拟组件分开。

10.2. 典型应用

10.2.1. 典型配置



(1) 外部保护欠位可选项

(2) 滤波可选项

图41. 典型配置框图

10.2.2. 数字接口

图42. 显示与控制器(现场可编程门阵列或微控制器)的数字连接。在此示例中，两个ADC显示为连接到一个

控制器。ADC共享相同的串行接口(SCLK、DIN 和 DOUT)。通过选通每个CS来选择ADC进行通信。可以使用两个ADC的DRDY输出；但是，当设备同步时，仅来自一个设备的DRDY输出就足够了。

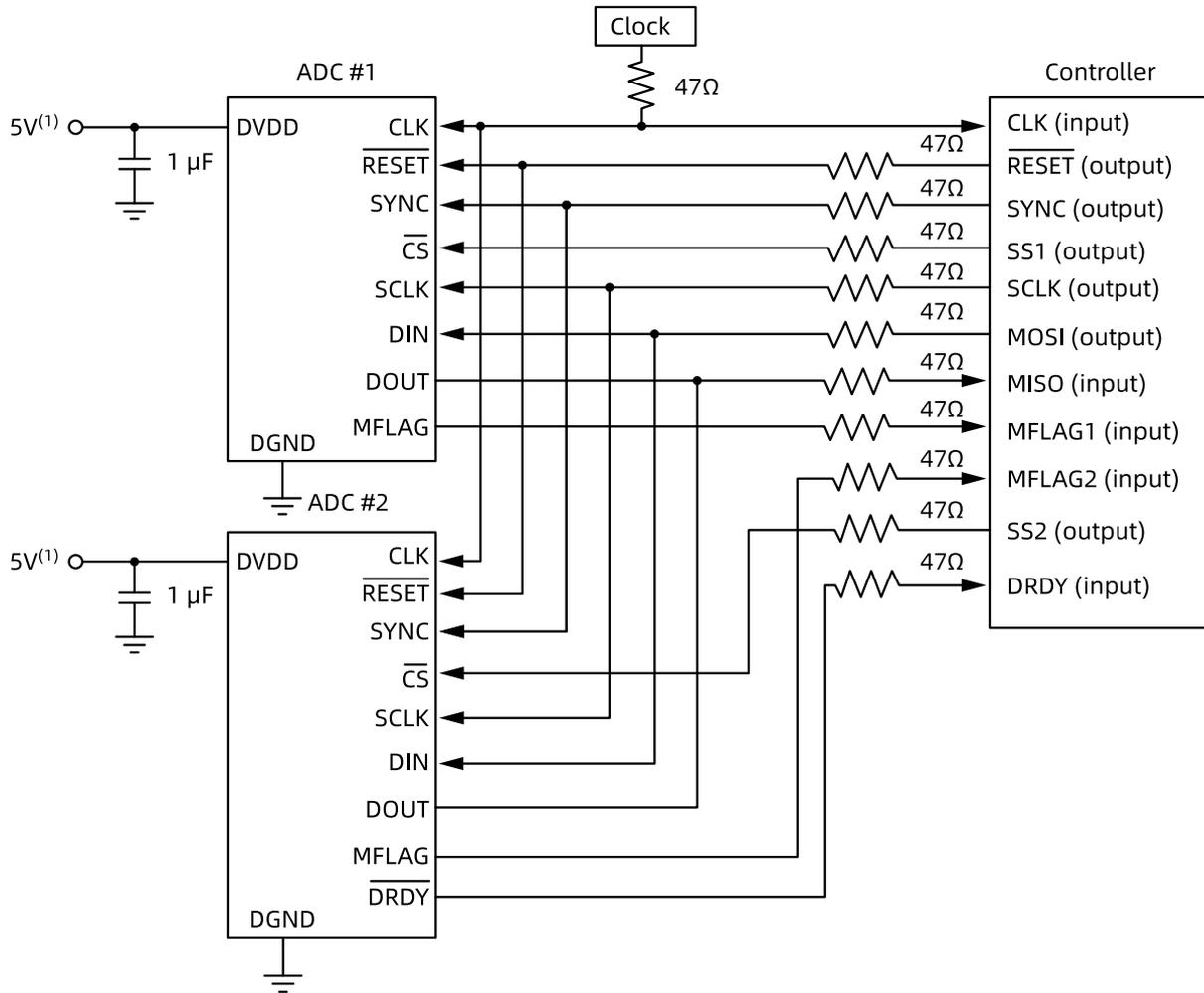


图42. 带有双 ADC 的控制器接口

每个器件的调制器超量程标志(MFLAG)与控制器输入相关联。对于同步，将所有ADC连接到相同的SYNC信号。对于复位，要么将所有ADC连接到相同的RESET信号，要么将ADC连接到单独的 RESET 信号。

避免在ADC的数字输入上振铃。将47Ω电阻器与数字迹线串联，以通过控制阻抗来帮助减少振铃。将电阻器放置在走线的源极(驱动器)端。不要浮动未使用的数字输入；将它们连接到DVDD或GND。

10.3. 初始化设置

复位或上电后，使用以下步骤配置寄存器：

重置串行接口。在使用串行接口之前，可能需要恢复串行接口(未定义的IO上电排序可能会导致出现错误的 SCLK)。要复位接口，请将CS引脚切换为高电平然后低电平，或者将RESET引脚切换为高电平然后低电平，或者在读取数据连续模式下，将SCLK保持低电平64个DRDY周期。

配置寄存器。寄存器可以通过单独写入或作为一组写入来配置，并且只能在STATAC模式下进行配置。要取消读取数据连续模式，请在寄存器读取和写入操作之前发送SDATAC命令。

验证寄存器数据。要验证设备通信，请回读寄存器。

设置数据模式。寄存器配置后，通过执行RDATA命令将器件配置为连续读取数据模式，或配置为按命令读取数据模式(在步骤2中通过SDATAC命令设置)。

同步读数。只要SYNC为高电平，LHA7724就会自由运行数据转换。要在脉冲同步模式下重新同步转换，请将SYNC拉低，然后再拉高。在连续同步模式下，将同步时钟应用到SYNC引脚，时钟周期等于ADC转换周期的倍数。

读取数据。如果读取数据连续模式处于活动状态，则在DRDY下降后通过施加SCLK脉冲直接读取数据。如果读取数据连续模式无效，则只能通过执行RDATA命令读取数据。必须在此模式下发送RDATA命令才能读取每个转换结果。

11. 封装尺寸

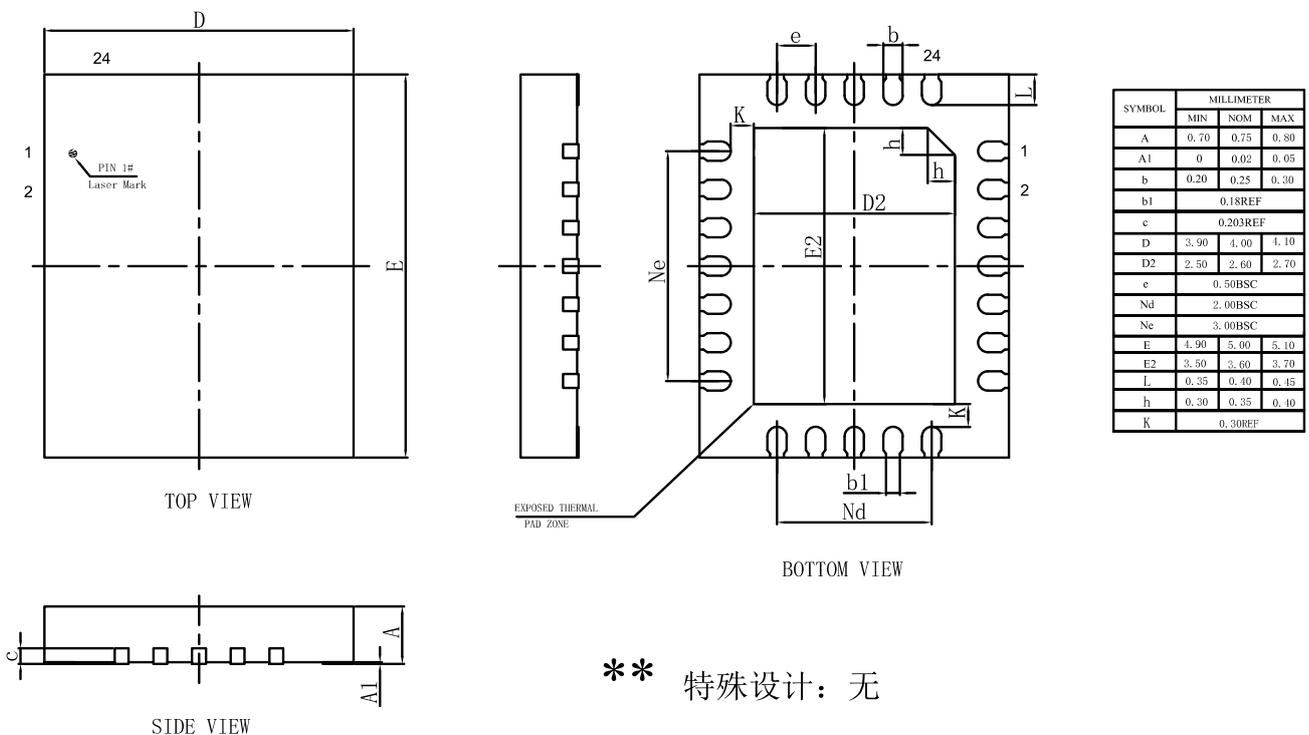


图43. 封装尺寸

12. 采购信息

表41. 采购信息

| 芯片编号 | FIR速率 | 通道数 | 精度 | 温度范围 | 封装类型 | 引脚数 |
|-------------|---------|-----|---------|--------------|------|-----|
| LHA7724SEQG | 128KSPS | 4 | 24 Bits | -40°C ~ 85°C | QFN | 24 |

表42. 包装规格

| 订购型号 | 封装类型 | 引脚数 | 包装类型 | 大包装量 | 备注 |
|-------------|------|-----|------|---------|----|
| LHA7724SEQG | QFN | 24 | TRAY | 2450颗/盘 | |

注释：REEL：卷带包装；
 TRAY：托盘包装；
 TUBE：管式包装；