

1. 特性

- 多达 8 个低噪声可编程增益放大器 (PGA) 和 8 个高分辨率同步采样模数转换器 (ADC)
- 输入参考噪声:
 - 0.8 μV_{PP} (250SPS) $G=24$
 - 1 μV_{PP} (250SPS) $G=6$
- 输入偏置电流:500pA
- 数据速率:250SPS 至 32KSPS
- 共模抑制比 (CMRR):-120dB
- 可编程增益:1, 2, 3, 4, 6, 8, 12 或者 24
- 单极或者双极电源:
 - 模拟:4V 至 5.5V 或 3V
 - 数字:1.8V 至 5.5V
- 内置偏置驱动放大器, 持续断线检测, 测试信号
- 内置振荡器
- 内部或者外部基准
- 灵活的省电、待机模式
- 兼容串行外设接口 (SPI) 的串行接口
- 工作温度范围:-40°C 至 +85°C

2. 应用

- 医疗器械, 包括:
 - 脑电图 (EEG) 研究
 - 胎儿心电图 (ECG)
 - 睡眠研究监视器
 - 双谱指数 (BIS)
 - 诱发音频电位 (EAP)

3. 说明

LHE7909 系列是一系列四通道、六通道和八通道低噪声、24 位同步采样 Δ - Σ 模数转换器(ADC)系列产品。该系列内置可编程增益放大器 (PGA)、内部基准以及片上振荡器。LHE7909 具备颅外脑电图 (EEG) 和心电图 (ECG) 应用所需的全部常用功能。凭借高集成度和出色性能, LHE7909 能够以大幅缩小的尺寸、显著降低的功耗和整体成本构建可扩展的医疗仪器系统。

LHE7909 在每条通道中配有一个灵活的输入多路复用器, 该复用器可与内部生成的信号独立相连, 完成测试、温度和导联断开检测。

LHE7909 以 250SPS 至 32kSPS 的数据传输速率运行。可通过激励电流源在芯片内部实现导联断开检测。

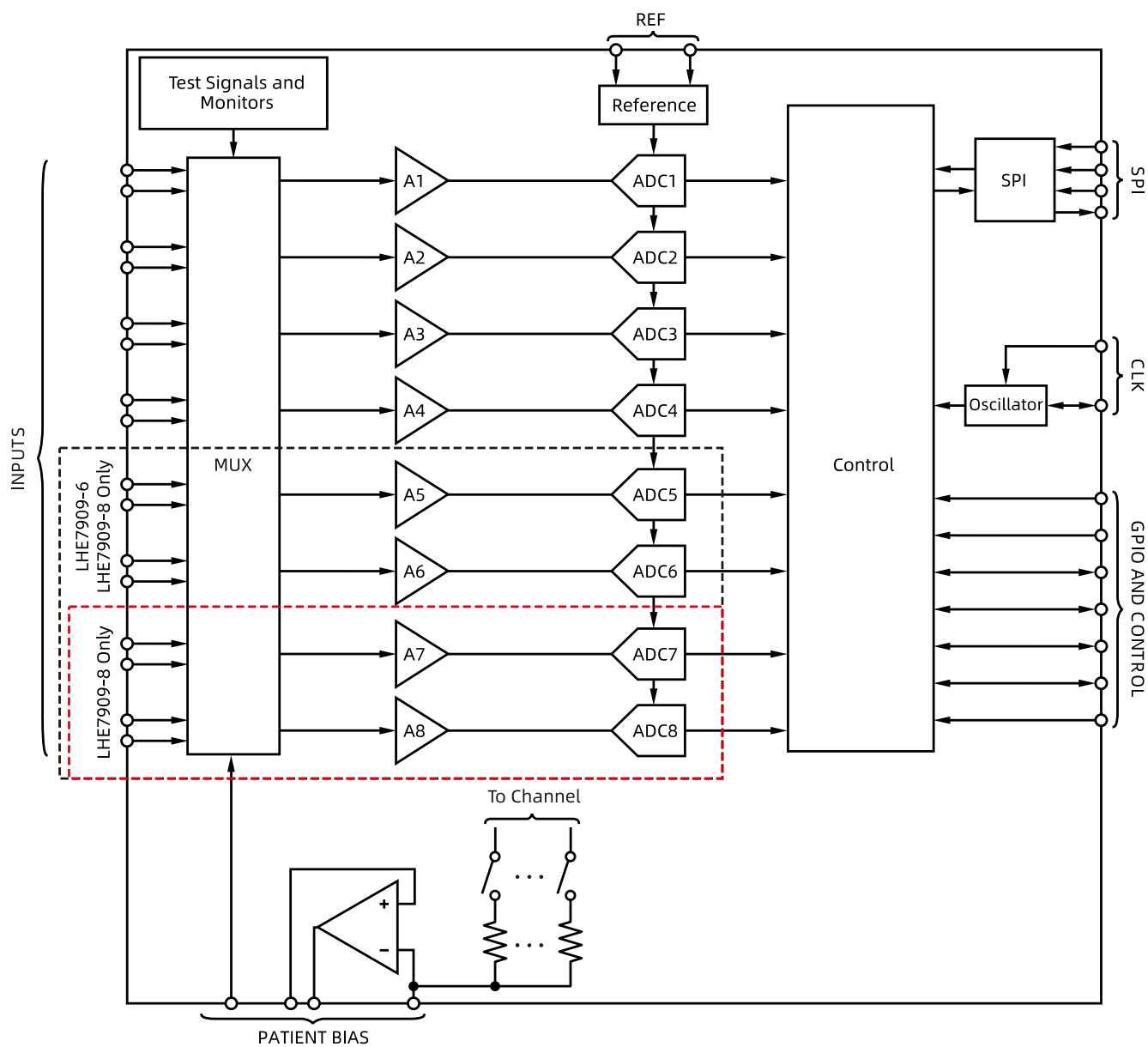
可在通道较多的系统中采用菊花链配置串联多个 LHE7909 器件。LHE7909 采用 LQFP-64 封装, 工作温度介于-40°C 至 +85°C 之间。

器件信息

器件型号	封装	封装尺寸 (标称值)
LHE7909-x	LQFP (64)	10.00mm x 10.00mm

(1) 要了解所有可用封装, 请参见数据表末尾的可订购产品附录。

4. 简化电路原理图



目录

1. 特性	1
2. 应用	1
3. 说明	1
4. 简化电路原理图	2
5. 版本历史	6
6. 引脚配置和功能	7
7. SPECIFICATIONS	9
7.1. 绝对最大额定值	9
7.2. ESD 额定值	9
7.3. 建议操作条件	9
7.4. 热信息	10
7.5. 电气特性	10
7.6. 时序要求:串行接口	12
7.7. 开关特性:串行接口	12
7.8. 典型特性	13
8. 参数测量信息	16
8.1. 噪声测量	16
9. 详细说明	18
9.1. 概要	18
9.2. 功能方框图	19
9.3. 功能描述	19
9.3.1. 模拟功能	20
9.3.1.1. 输入多路复用模块	20
9.3.1.2. 模拟输入	21
9.3.1.3. PGA 设置和输入范围	22
9.3.2. 数字功能	24
9.4. 器件功能模式	32
9.4.1. 启动转换	32
9.4.1.1. 建立时间	32
9.4.2. 复位 (RESET)	33
9.4.3. 掉电 (PWDN)	33
9.4.4. 数据检索	33

9.4.4.1. 数据就绪(DRDY)	33
9.4.4.2. 回读数据	34
9.4.5. 连续转换模式	34
9.4.6. 单次触发模式	35
9.5. 程序设计	36
9.5.1. 数据格式	36
9.5.2. SPI 接口	36
9.5.2.1. 芯片选择(CS)	36
9.5.2.2. 串行时钟(SCLK)	36
9.5.2.3. 数据输入(DIN)	37
9.5.2.4. 数据输出(DOUT)	37
9.5.3. SPI 命令定义	37
9.5.3.1. 发送多字节命令	38
9.5.3.2. 唤醒:退出待机模式	38
9.5.3.3. 待机:进入待机模式	38
9.5.3.4. RESET:将寄存器重置为默认值	38
9.5.3.5. START:开始转换	38
9.5.3.6. STOP:停止转换	38
9.5.3.7. RDATA:连续读取数据命令	39
9.5.3.8. SDATA:停止连续读取数据	39
9.5.3.9. RDATA:读取数据	39
9.5.3.10. RREG:从寄存器读取	40
9.5.3.11. WREG:写信寄存器	40
9.5.3.12. RTREG:从高地址寄存器读取	40
9.5.3.13. WTREG:高地址寄存器写入	41
9.6. 寄存器列表	41
9.6.1. 用户寄存器描述	42
9.6.1.1. ID:ID 控制寄存器 (地址=00H) (复位=XXH)	42
9.6.1.2. CONFIG1:配置寄存器 1 (地址=01H) (复位=16H)	42
9.6.1.3. CONFIG2:配置寄存器 2 (地址=02H) (复位=C8H)	43
9.6.1.4. CONFIG3:配置寄存器 3 (地址=03H) (复位=00H)	43
9.6.1.5. LOFF:导联截止控制寄存器 (地址=04H) (复位=00H)	44
9.6.1.6. CHNSET:个别通道设置(N=1 至 8)(地址=05H 至 0CH)(复位=00H)	45
9.6.1.7. BIAS_SENSP:通道 P 端连接偏置驱动控制寄存器 (地址=0DH) (复位=00H)	45
9.6.1.8. BIAS_SENSN:通道 N 端连接偏置驱动控制寄存器 (地址=0EH) (复位=00H)	46
9.6.1.9. LOFF_SENSP:通道 P 端导联脱落检测控制寄存器(地址=0FH) (复位=00H)	47
9.6.1.10. LOFF_SENSN:通道 N 端导联脱落检测控制寄存器(ADDRESS=10H)(RESET=00H)	47
9.6.1.11. LOFF_FLIP:导联脱落检测翻转寄存器 (地址=11H) (复位=00H)	48
9.6.1.12. LOFF_STATP:导联脱落正信号状态寄存器(地址=12H)(RESET=00H)	48
9.6.1.13. LOFF_STATN:导联关闭负信号状态寄存器 (地址=13H) (复位=00H)	49
9.6.1.14. GPIO: GENERAL-PURPOSE I/O REGISTER (ADDRESS = 14H) (RESET = 0FH)	50
9.6.1.15. MISC1:多功能寄存器 1 (地址=15H) (复位=00H)	50
9.6.1.16. MISC2:多功能寄存器 2 (ADDRESS = 16H) (RESET = 00H)	50
9.6.1.17. CONFIG4:配置寄存器 4 (地址=17H) (复位=01H)	51
9.6.1.18. LOFF_CFG:导联脱落 DC 激励源强度控制寄存器 (地址=82H) (复位=04H)	51
9.6.1.19. LOFF_FREQ:导联脱落频率配置寄存器 (地址=83H) (复位=00H)	51

9.6.1.20. USERKEY:USERKEY 解锁寄存器 (地址=182H) (复位=00H)	52
10. 应用.....	52
10.1. 应用信息.....	52
10.1.1. 未使用的输入和输出.....	52
10.1.2. 设置用于基本数据捕获的设备	52
10.1.3. 建立输入共模	54
10.1.4. 多设备配置.....	54
10.1.4.1. 级联模式.....	55
10.1.4.2. 菊花链模式.....	55
10.2. 典型应用.....	56
11. 电源建议.....	57
11.1. 上电顺序.....	57
11.2. 将器件连接到单极 (5V 和 3.3V) 电源	58
11.3. 将器件连接到双极性($\pm 2.5V$ 和 3.3V)电源.....	58
12. 布局.....	59
12.1. 布局指南.....	59
12.2. 布局示例.....	60
13. 封装和可订购信息	61
14. 封装和可订购信息	61

5. 版本历史

版本号	日期	更新内容
PreA	2023 年 4 月 7 日	初版
	2023 年 9 月 24 日	增加包装信息
PreB	2023 年 12 月 11 日	部分图片信息修改
	2024 年 4 月 8 日	增加小包装规格
PreC	2024 年 10 月 17 日	1. 增加 7.8 典型特性 2. 只保留 10.2 典型应用的顺序蒙特奇连接框图 3. 修改 9.5.1 数据格式 4. 修改 9.2 功能方框图 5. 修改 4. 简化电路原理图 6. 增加 8.1 噪声测量数据 7. 修改功耗数据表 8. 修改共模输入范围描述 9. 修改时钟介绍 10. 修改导联脱落检测框图

6. 引脚配置和功能

顶视图

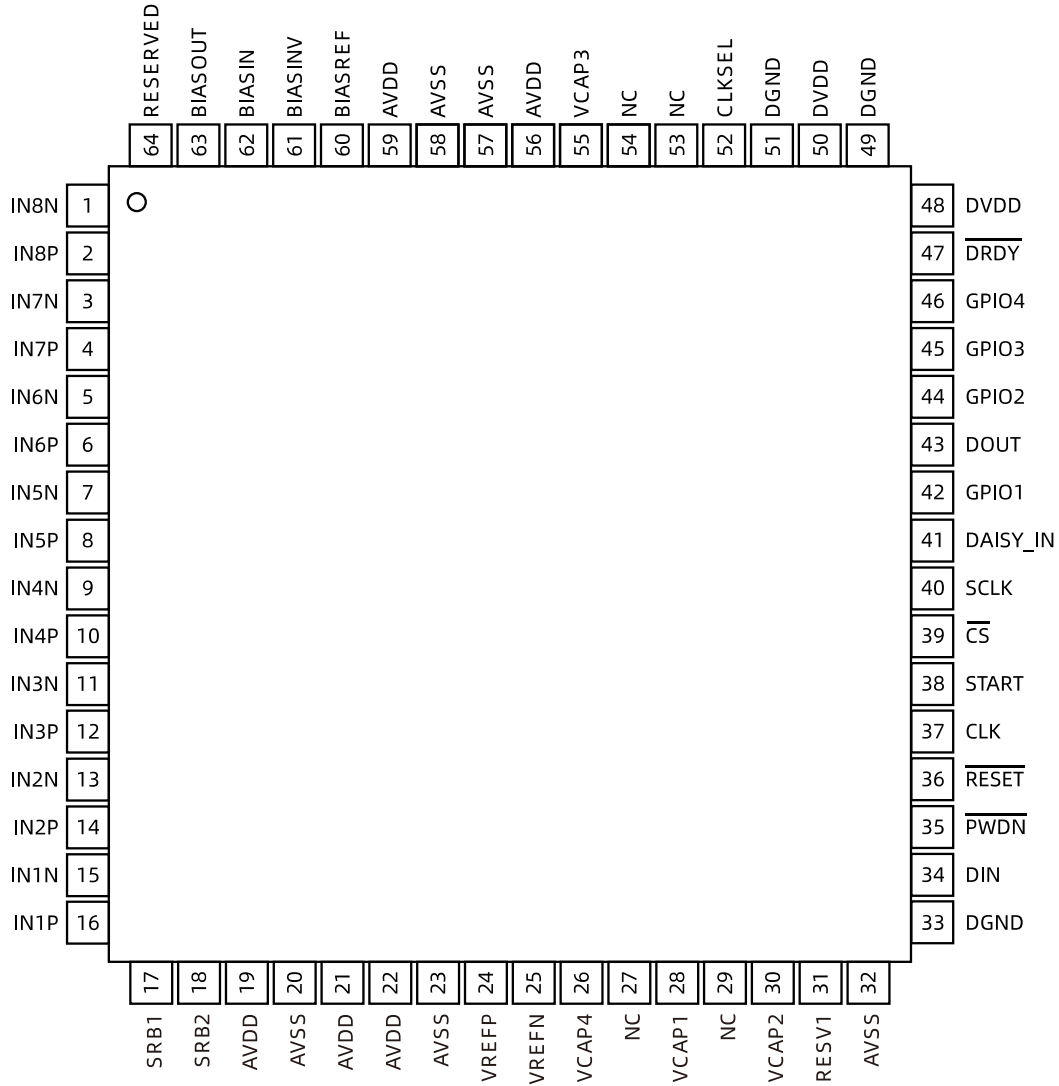


表1. 引脚功能

PIN		TYPE	DESCRIPTION
NAME	NO.		
AVDD	19, 21, 22, 56, 59	电源	模拟电源。将 1μF 电容连接到 AVSS。
AVSS	20, 23, 32, 57, 58	电源	模拟地
BIASIN	62	模拟输入	偏置驱动输入到 MUX
BIASINV	61	模拟输入/输出	偏置驱动反相输入
BIASOUT	63	模拟输出	偏置驱动输出
BIASREF	60	模拟输入	偏置驱动同相输入
$\overline{CS}$	39	数字输入	芯片选择, 低有效
CLK	37	数字输入	主时钟输入
CLKSEL	52	数字输入	主时钟选择 ⁽¹⁾
DAISY_IN	41	数字输入	Daisy-chain输入
DGND	33, 49, 51	电源	数字地
DIN	34	数字输入	SPI数据输入
DOUT	43	数字输出	SPI数据输出
$\overline{DRDY}$	47	数字输出	数据就绪, 低有效
DVDD	48, 50	电源	数字电源。将1μF电容连接到DGND。
GPIO1	42	数字输入/输出	如果未使用, 请使用 $\geq 10\text{-K}\Omega$ 电阻连接到 DGND。
GPIO2	44	数字输入/输出	如果未使用, 请使用 $\geq 10\text{-K}\Omega$ 电阻连接到 DGND。
GPIO3	45	数字输入/输出	如果未使用, 请使用 $\geq 10\text{-K}\Omega$ 电阻连接到 DGND。
GPIO4	46	数字输入/输出	如果未使用, 请使用 $\geq 10\text{-K}\Omega$ 电阻连接到 DGND。
IN1N	15	模拟输入	差分模拟负输入 1 ⁽²⁾
IN1P	16	模拟输入	差分模拟正输入1 ⁽²⁾
IN2N	13	模拟输入	差分模拟负输入2 ⁽²⁾
IN2P	14	模拟输入	差分模拟正输入2 ⁽²⁾
IN3N	11	模拟输入	差分模拟负输入3 ⁽²⁾
IN3P	12	模拟输入	差分模拟正输入3 ⁽²⁾
IN4N	9	模拟输入	差分模拟负输入4 ⁽²⁾
IN4P	10	模拟输入	差分模拟正输入 4 ⁽²⁾
IN5N	7	模拟输入	差分模拟负输入 5 ⁽²⁾ (仅限 LHE7909-6 和 LHE7909-8)
IN5P	8	模拟输入	差分模拟正输入 5 ⁽²⁾ (仅限 LHE7909-6 和 LHE7909-8)
IN6N	5	模拟输入	差分模拟负输入 6 ⁽²⁾ (仅限 LHE7909-6 和 LHE7909-8)
IN6P	6	模拟输入	差分模拟正输入 6 ⁽²⁾ (仅限 LHE7909-6 和 LHE7909-8)
IN7N	3	模拟输入	差分模拟负输入 7 ⁽²⁾ (仅限 LHE7909-8)
IN7P	4	模拟输入	差分模拟正输入7 ⁽²⁾ (仅限LHE7909-8)
IN8N	1	模拟输入	差分模拟负输入8 ⁽²⁾ (仅限LHE7909-8)
IN8P	2	模拟输入	差分模拟正输入8 ⁽²⁾ (仅限LHE7909-8)
NC	27, 29, 53, 54	—	没有连接, 留下作为开路
Reserved	64	保留	保留以备将来使用, 留作开路
$\overline{RESET}$	36	数字输入	系统复位, 低电平有效
RESV1	31	保留	保留以备将来使用, 直接连接到DGND
SCLK	40	数字输入	串行时钟输入
SRB1	17	模拟输入/输出	患者刺激、参考和偏置信号1
SRB2	18	模拟输入/输出	患者刺激、参考和偏置信号2

PIN		TYPE	DESCRIPTION
NAME	NO.		
START	38	数字输入	启动或重新启动转换的同步信号
$\overline{\text{PWDN}}$	35	数字输入	掉电，低电平有效
VCAP1	28	模拟输出	模拟旁路电容引脚。将100 μ F电容器连接到AVSS。
VCAP2	30	模拟输出	模拟旁路电容引脚。将1 μ F电容连接到AVSS。
VCAP3	55	模拟输出	模拟旁路电容引脚。将1 μ F和0.1 μ F电容器的并联组合连接到AVSS。
VCAP4	26	模拟输出	模拟旁路电容引脚。将1 μ F电容连接到AVSS。
VREFN	25	模拟输入	负模拟参考电压。
VREFP	24	模拟输入/输出	模拟参考电压正。最小10 μ F电容连接到VREFN。

- (1) 通过 $\geq 10\text{-k}\Omega$ 电阻将双态模式设置引脚设置为高电平至DVDD或低电平至DGND。
 (2) 将未使用的模拟输入直接连接到 AVDD。

7. Specifications

7.1. 绝对最大额定值

表2.

		最小值	最大值	单位
电压	AVDD to AVSS	-0.3	5.5	V
	DVDD to DGND	-0.3	3.9	
	AVSS to DGND	-3	0.2	
	AVSS to DGND	-0.3	AVDD + 0.3	
	VREFN to AVSS	-0.3	AVDD + 0.3	
	模拟输入	AVSS - 0.3	AVDD + 0.3	
	数字输入	DGND - 0.3	DVDD + 0.3	
电流	输入、连续、除电源引脚(2)以外的任何引脚	-10	10	mA
温度	结点温度, T_J		150	$^{\circ}\text{C}$
	存储温度, T_{sg}	-60	150	

- (1) 超过绝对最大额定值所列的应力可能会对器件造成永久性损坏。这些只是压力额定值，并不意味着设备在这些或任何其他条件下的功能操作，超出了推荐的操作条件。长时间暴露在绝对最大额定条件下可能会影响器件的可靠性。
 (2) 输入引脚通过二极管箝位在电源轨上。如果模拟输入电压超过 10mA 或更低，则将输入电流限制在 10mA 或更低 AVDD+0.3V 或小于 AVSS-0.3V，或者如果数字输入电压超过 DVDD+0.3V 或小于 DGND-0.3V。

7.2. ESD 额定值

表3.

		值	单位
V(ESD)静电释放	人体模型(HBM)，根据 ANSIESDAJEDECJS-001 ⁽¹⁾	± 1000	V
	充电设备型号(CDM)，符合 JEDEC 规范 JESD22-C101 ⁽²⁾	± 500	

- (1) JEDEC 文件 JEP155 指出，500-V HBM 允许使用标准 ESD 控制过程进行安全制造。
 (2) JEDEC 文件 JEP157 指出，250-V CDM 允许使用标准 ESD 控制过程进行安全制造。

7.3. 建议操作条件

在工作温度范围内（除非另外注明）。

表4.

		最小值	标称值	最大值	单位
供电					
模拟电源	AVDD – AVSS	2.7	3	5.25	V
数字电源	DVDD to DGND	1.65	1.8	3.6	V
模拟数字电源	AVDD – DVDD	–2.1		3.6	V
模拟输入					
满量程差分输入电压	$V_{\text{INxP}} - V_{\text{INxN}}$	$\pm V_{\text{REF}}$ /增益			V
V_{CM} 输入共模范围	$(V_{\text{INxP}} + V_{\text{INxN}}) / 2$	请参阅输入共模范围章节			
电压基准输入					

		最小值	标称值	最大值	单位
V_{REF} 参考输入电压	$V_{REF} = (V_{VREFP} - V_{VREFN})$	4(AVDD=5V)/2.4(AVDD=3V)			V
V_{REFN} 负输入			AVSS		V
V_{REFP} 正输入			2.4/4		V
时钟输入					
f_{CLK} 外部时钟输入频率 CLKSEL 引脚=0	CLKSEL 引脚 = 0	1.5	2.048	2.25	MHz
数字输入					
输入电压		DGND - 0.1		DVDD + 0.1	V
温度范围					
T_A 工作温度范围		-40		85	°C

7.4. 热信息

表5.

热参数		LHE7909-4, LHE7909-6,LHE7909-8		单位
		LQFP		
		64 PINS		
R _{θJA}	结环境热阻	46.2		°C/W
R _{θJC(top)}	结对壳（顶部）热阻	5.8		°C/W
R _{θJB}	结对板热阻	19.6		°C/W
R _{θJC(bot)}	结对壳（底部）热阻	n/a		°C/W

7.5. 电气特性

所有规格均为 AVDD-AVSS=5V, DVDD=3.3V, VREF=4V, 外部 $f_{CLK}=2.048\text{MHz}$, 数据速率=250SPS, 增益=12 (除非另有说明)。

表6.

参数	测试条件	最小值	典型值	最大值	单位
模拟输入					
输入电容			20		pF
输入偏置电流	TA = +25°C, InxP and INxN = 2.5 V			±300	pA
	TA = −40°C to +85°C, InxP and INxN = 2.5 V		±300		
直流输入阻抗	No lead-off	1000			MΩ
	电流源引断检测(I _{LEADOFF} = 6nA)		500		
PGA 性能					
增益设置		1、2、3、4、6、8、12、24			
BW 带宽		请参阅 Table 5			
ADC 性能					
分辨率		24			位
数据速率	f _{CLK} = 2.048 MHz	250		32000	SPS
直流通道性能					
输入参考噪声(0.01Hz 至 70Hz)	10 秒的数据, 增益=24 (1)		1		μV _{pp}
	250 点, 1 秒数据, 增益=24, TA=+25°C		1	1.35	
	250 点, 1 秒数据, 增益=24, TA=-40°C 至+85°C		1	1.6	
	所有其他采样率和增益设置		请参阅噪声测量		
INL 积分非线性	满量程增益=12, 最适合		8		ppm
失调误差			60		μV
失调误差漂移			80		μV/°C
增益误差	排除电压基准误差		0.1	±0.5	% of FS
增益漂移	排除电压基准漂移		3		ppm/°C
通道之间的增益匹配			0.2		% of FS
交流通道性能					
CMRR 共模抑制比	f _{CM} = 50 Hz and 60 Hz(2)	-110	-120		dB
PSRR 电源抑制比	f _{PS} = 50 Hz and 60 Hz		96		dB
串扰	f _{IN} =50Hz 和 60Hz		-110		dB
SNR 信噪比	V _{IN} =-2dBFS, f _{IN} =10-Hz 输入, 增益=12		121		dB
THD 总谐波失真	V _{IN} = −0.5 dBFS, f _{IN} = 10 Hz		−99		dB
患者偏置放大器					
综合噪音	BW = 150 Hz		2		μVRMS
增益带宽积	50-kΩ 10-pF 负载, 增益=1		100		kHz
压摆率	50-kΩ 10-pF 负载, 增益=1		0.07		V/us

参数	测试条件	最小值	典型值	最大值	单位
THD 总谐波失真	$f_{IN}=10\text{Hz}$, 增益=1		-80		dB
共模输入范围		AVSS + 0.3		AVDD - 0.5	V
短路电流			1.1		mA
静态功耗			20		μA
LEAD-OFF DETECT					
频率	连续监测	有关设置, 请参阅注册映射			Hz
	一次或周期	7.8	-	16K	
电流	具体章节, 请参考寄存器				nA
		0	-	70	
电流精度			$\pm 20\%$		
比较器阈值精度			± 30		mV
外部参考					
输入阻抗			6		k Ω
内部参考					
V_{REF} 内部参考电压			4		V
VREF 精度			$\pm 0.2\%$		
温漂	$T_A = -40^\circ\text{C}$ to $+85^\circ\text{C}$		35		ppm/ $^\circ\text{C}$
启动时间			150		ms
系统监控					
读取错误	模拟电源		2%		
	数码供应		2%		
设备唤醒	从上电到低电		150		ms
	待机模式		31.25		μs
温度传感器读数	Voltage $T_A = +25^\circ\text{C}$		TBC		mV
	Coefficient		TBC		$\mu\text{V}/^\circ\text{C}$
测试信号	信号频率	有关设置, 请参阅寄存器部分	$f_{CLK} / 2^{21}$, $f_{CLK} / 2^{20}$		Hz
	信号电压	有关设置, 请参阅寄存器部分	$\pm V_{ref}/1000$		mV
	Accuracy		$\pm 2\%$		
时钟					
内部振荡器时钟频率	标称频率		2.048		MHz
内部时钟精度	$T_A = +25^\circ\text{C}$			$\pm 0.5\%$	
	$T_A = -40^\circ\text{C}$ to $+85^\circ\text{C}$			$\pm 2.5\%$	
内部振荡器启动时间			20		μs
内部振荡器功耗			60		μW
数字输入输出(DVDD=1.8V 至 3.6V)					
V_{IH} 高电平输入电压		0.8 DVDD		DVDD + 0.1	V
V_{IL} 低电平输入电压		-0.1		0.2 DVDD	V
V_{OH} 高电平输出电压	$I_{O_H} = -500 \mu\text{A}$	0.9 DVDD			V
V_{OL} 低电平输出电压	$I_{O_L} = +500 \mu\text{A}$			0.1 DVDD	V
输入电流	$0 \text{ V} < V_{DigitalInput} < \text{DVDD}$	-10		10	μA

所有规格均为 AVDD-AVSS=5V, DVDD=3.3V, $V_{REF}=4\text{V}$, 外部 $f_{CLK}=2.048\text{MHz}$, 数据速率=250SPS, 增益=12 (除非另有说明)。

表7.

参数		测试条件	最小值	典型值	最大值	单位
电源电流（偏置关闭）						
IAVDD AVDD current	LHE7909-4	正常模式，AVDD-AVSS=5V		3.52		mA
	LHE7909-6					
	LHE7909-8		6.77			
IDVDD DVDD current	LHE7909-4	正常模式，DVDD=3.3V		0.7		mA
	LHE7909-6					
	LHE7909-8		1.126			
	LHE7909-4	正常模式，DVDD=1.8V				
	LHE7909-6					
	LHE7909-8					
功耗（模拟电源=5V，偏置放大器关闭）						
功耗	LHE7909-4	正常模式		19.91		mW
		关断模式		3.45		μW

参数		测试条件	最小值	典型值	最大值	单位
	LHE7909-6	待机模式, 内部参考		0.7		mW
		正常模式				mW
		关断模式				μW
		待机模式, 内部参考				mW
	LHE7909-8	正常模式		37.56		mW
		关断模式		3.83		μW
		待机模式, 内部参考		0.8		mW

7.6. 时序要求:串行接口

工作环境温度范围（除非另有说明）。

表8.

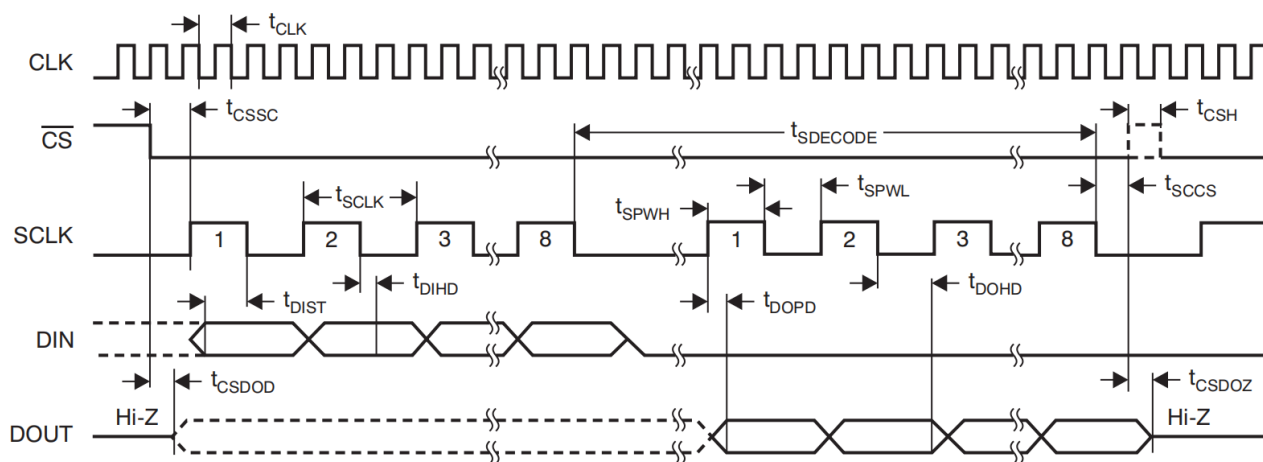
		2.7V ≤ DVDD ≤ 3.6V		1.65 V ≤ DVDD ≤ 2.0V		单位
		最小值	最大值	最小值	最大值	
t _{CLK}	主时钟周期	414	666	414	666	ns
t _{CS}	延迟时间, $\overline{CS}$ 低到第一 SCLK	6		17		ns
t _{SCLK}	SCLK 周期	50		66.6		ns
t _{SPWH, L}	脉冲持续时间, SCLK 脉冲持续时间, 高电平或低电平	15		25		ns
t _{DIST}	建立时间, DIN 对 SCLK 下降沿有效	10		10		ns
t _{DIHD}	SCLK 下降沿之后的有效 DIN:保持时间	10		11		ns
t _{CSH}	保持时间, SCLK 下降沿后有效 DIN	2		2		t _{CLK}
t _{SCCS}	脉冲持续时间, $\overline{CS}$ 高	4		4		t _{CLK}
t _{DECODE}	延迟时间, 最终 SCLK 下降沿到CS高	4		4		t _{CLK}
t _{DISCK2ST}	命令解码时间	10		10		ns
t _{DISCK2HT}	建立时间, DAISY_IN 对 SCLK 上升沿有效	10		10		ns

7.7. 开关特性:串行接口

工作环境温度范围（除非另有说明）。

表9.

参数		2.7V ≤ DVDD ≤ 3.6V		1.65V ≤ DVDD ≤ 2.0V		单位
		最小值	最大值	最小值	最大值	
t _{DOHD}	保持时间, SCLK 下降沿到无效 DOUT	10		10		ns
t _{DOPD}	传播延迟时间, SCLK 上升沿到 DOUT 有效		17		32	ns
t _{CSDOD}	传播延迟时间, $\overline{CS}$ 低到 DOUT 驱动	10		20		ns
t _{CSDOZ}	传播延迟时间, $\overline{CS}$ 低到 DOUT Hi-Z		10		20	ns



注意:SPI 设置为 CPOL = 0 且 CPHA = 1。

图1. 串行接口时序

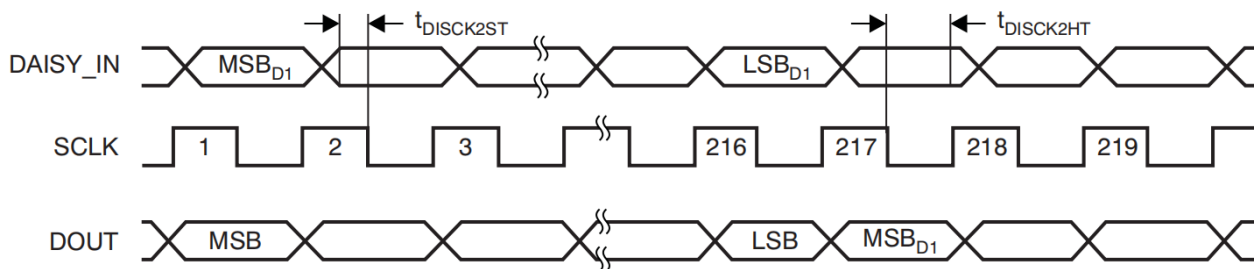


图2. 菊花链接口时序

7.8. 典型特性

在 $T_A=25^{\circ}\text{C}$ 时, $AVDD=5\text{V}$, $AVSS=0\text{V}$, $DVDD=3.3\text{V}$, 内部 $VREFP=4\text{V}$, $VREFN=AVSS$, 外部时钟=2.048 MHz, 数据速率=250SPS, 增益=12 (除非另有说明)。

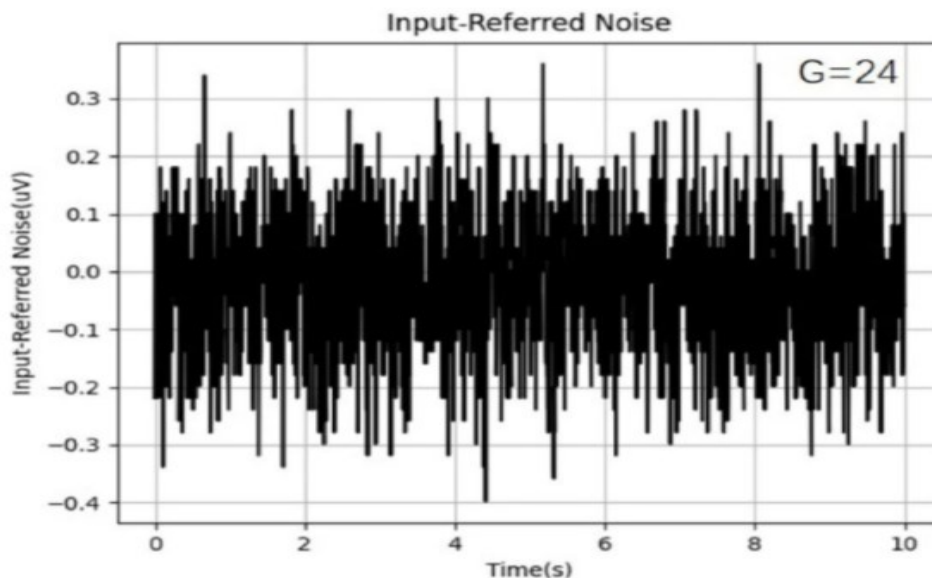


图3. 输入参考噪声

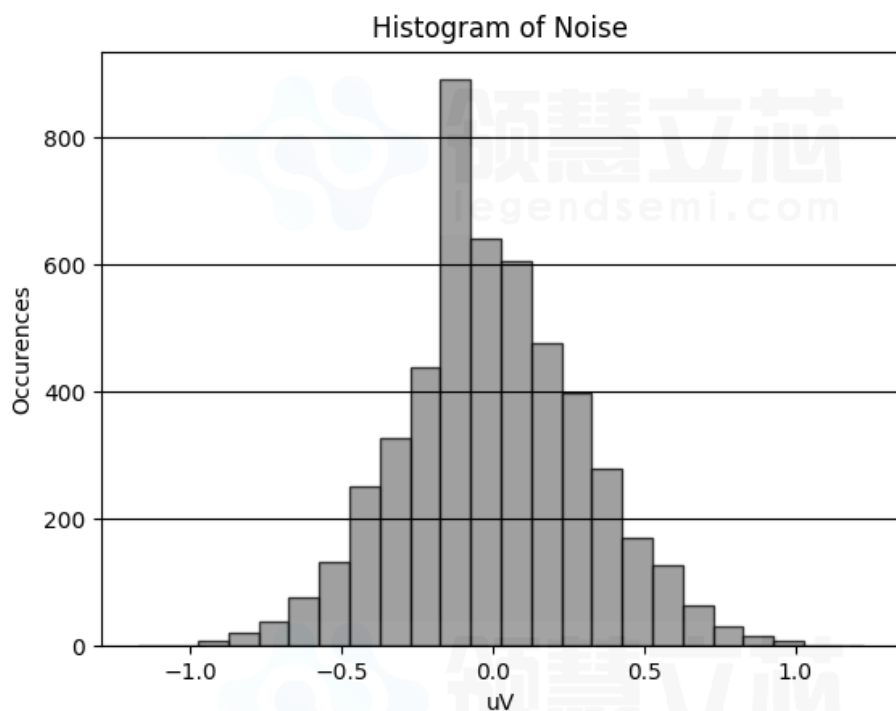


图1. 噪声直方图

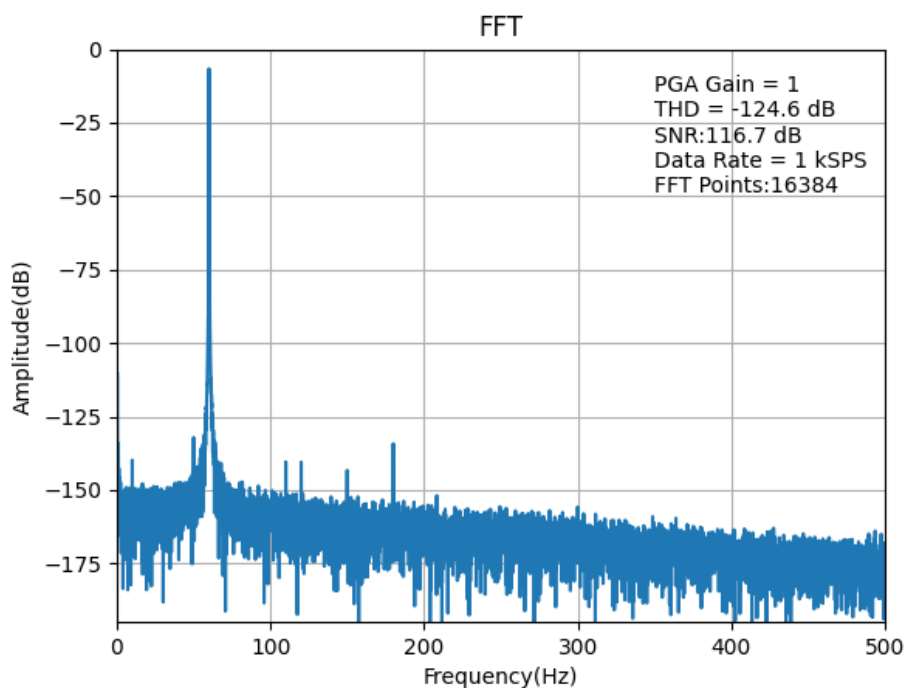


图2. THD FFT Plot (60-Hz Signal)

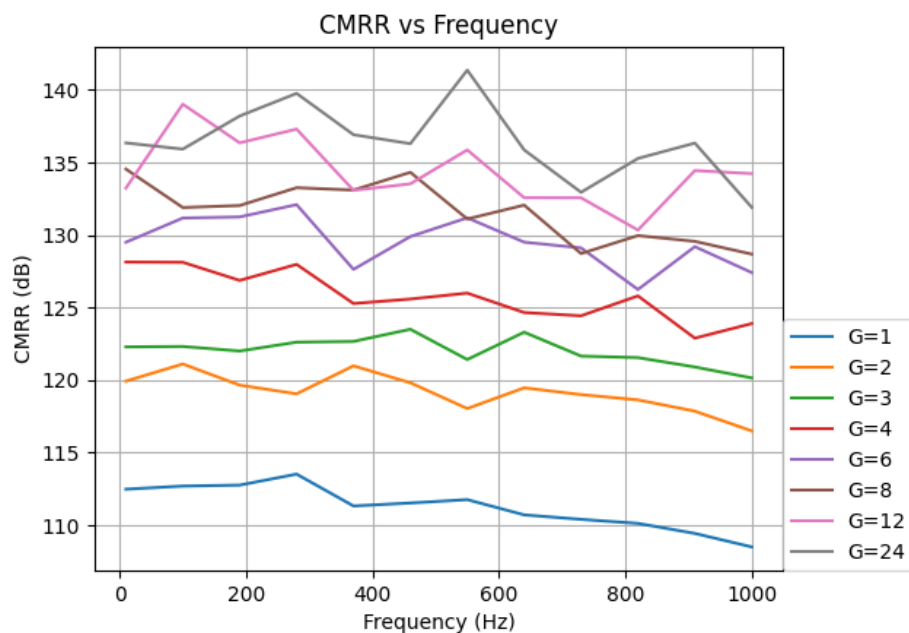


图3. CMMR vs 频率

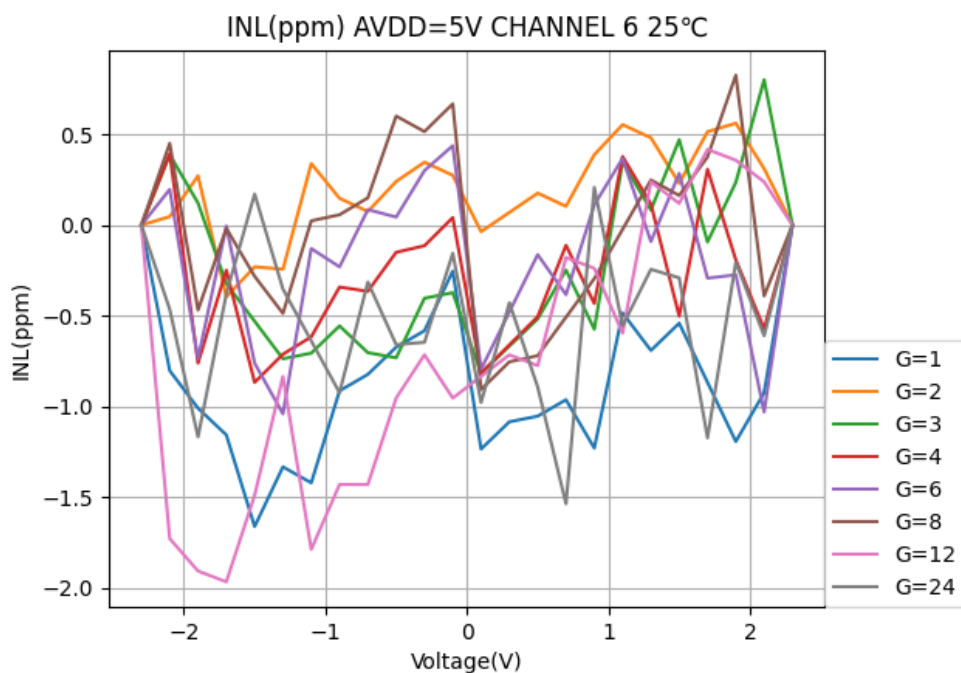


图4. INL vs PGA 增益

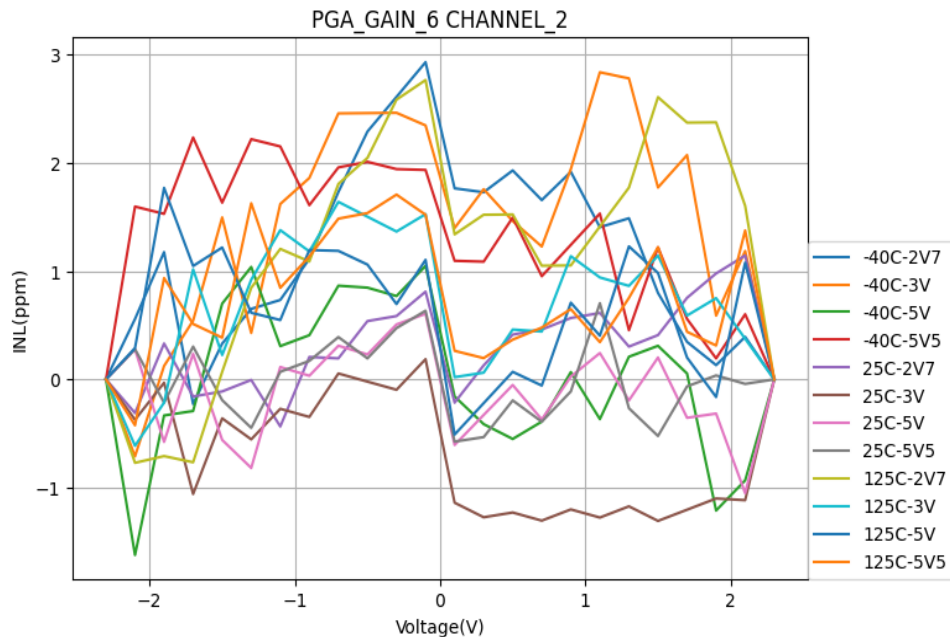


图5. INL vs 温度

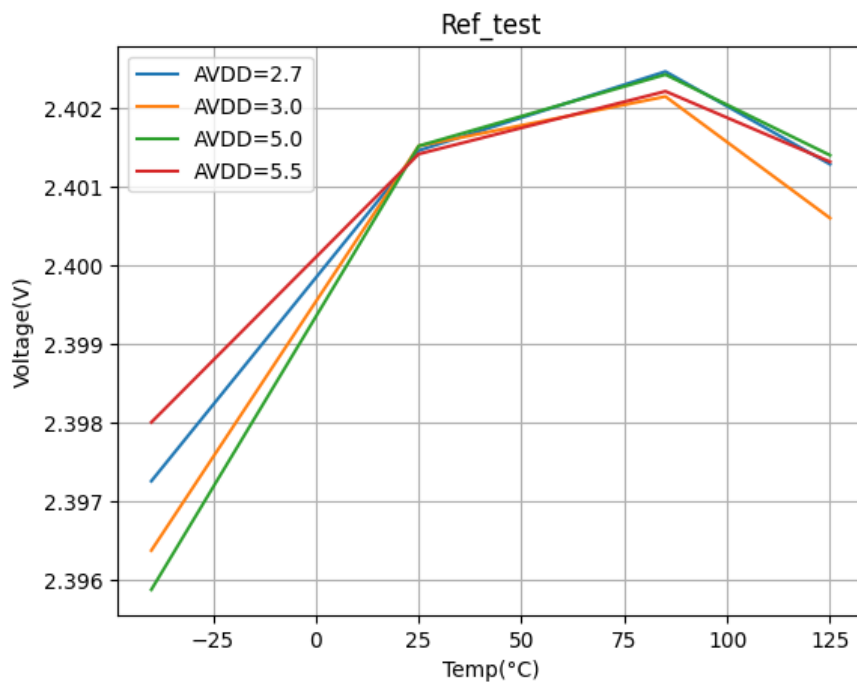


图6. 内部 VREF 温漂

8. 参数测量信息

8.1. 噪声测量

除非另有说明，否则 LHE7909 指 LHE7909-4、LHE7909-6 和 LHE7909-8 的所有规格和功能说明。

通过调整数据速率和 PGA 设置优化 LHE7909 噪声性能。降低数据速率会增加数据平均，噪声会相应地下降。增加 PGA 增益以降低输入噪声。更低的噪声电平在测量低电平生物电势信号时特别有用。下表总结了采用 5V 模拟电源时 LHE7909 的噪声性能。这些数据代表了 $T_A=+25^{\circ}\text{C}$ 时的典型噪声性能。至少使用 1000 个连续读数来计算每个读数的 RMS 和峰峰值噪声。对于较低的数据速率，该比率大约为 6.6。

下表显示了使用内部参考进行的测量。这些数据也代表了 LHE7909 采用 REF5045 等低噪声外部基准时的噪声性能。

下表列出了所示条件下的输入参考噪声，单位为 μV_{RMS} 和 μV_{PP} 。以有效位数(ENOB)为单位的相应数据，其中均方根噪声的 ENOB 定义如下式 1 所示：

$$ENOB = \log_2 \left(\frac{V_{REF}}{\sqrt{2} \times Gain \times V_{RMS}} \right) \quad (1)$$

用相同的方法计算峰峰值噪声的无噪声位。

使用公式 2 计算下表中的动态范围数据：

$$Dynamic\ Range = 20 \times \log \left(\frac{V_{REF}}{\sqrt{2} \times Gain \times V_{RMS}} \right) \quad (2)$$

表10. 正常模式下的输入参考噪声(μV_{RMS} , μV_{PP}) 5V 模拟电源和 4V 基准电压源⁽¹⁾

DR BITS OF CONFIG1 REGISTER	OUTPUT DATA RATE (SPS)	-3-dB BANDWIDTH (Hz)	PGA GAIN = 1					PGA GAIN = 2				
			μV_{RMS}	μV_{PP}	DYNAMIC RANGE (dB)	NOISE- FREE BITS	ENOB	μV_{RMS}	μV_{PP}	DYNAMIC RANGE (dB)	NOISE- FREE BITS	ENOB
110	250	65	0.739	5.245	131.656	19.041	21.868	0.373	2.623	131.570	19.041	21.853
101	500	131	1.009	7.153	128.949	18.593	21.418	0.534	3.815	128.466	18.500	21.338
100	1000	262	1.422	10.014	125.976	18.108	20.924	0.740	5.245	125.623	18.041	20.865
011	2000	524	2.014	15.736	122.952	17.456	20.422	1.044	7.868	122.633	17.456	20.369
010	4000	1048	2.885	20.504	119.827	17.074	19.903	1.481	10.014	119.597	17.108	19.865
001	8000	2096	4.164	29.564	116.641	16.546	19.374	2.153	15.974	116.351	16.434	19.326
000	16000	4193	6.407	46.730	112.898	15.885	18.752	3.365	23.603	112.471	15.871	18.681
111	32000	8385	12.506	96.798	107.088	14.835	17.787	6.574	54.359	106.653	14.667	17.715

(1) 至少使用了 1000 个连续读数来计算该表中的 RMS 和峰峰值噪声值。

表11. 正常模式下的输入参考噪声(μV_{RMS} , μV_{PP})5V 模拟电源和 4V 基准电压源⁽¹⁾

DR BITS OF CONFIG1 REGISTER	OUTPUT DATA RATE (SPS)	-3-dB BANDWIDTH (Hz)	PGA GAIN = 3					PGA GAIN = 4				
			μV_{RMS}	μV_{PP}	DYNAMIC RANGE (dB)	NOISE- FREE BITS	ENOB	μV_{RMS}	μV_{PP}	DYNAMIC RANGE (dB)	NOISE- FREE BITS	ENOB
110	250	65	0.300	2.066	129.949	18.800	21.584	0.207	1.550	130.661	18.800	21.702
101	500	131	0.425	2.861	126.912	18.330	21.080	0.280	1.907	128.047	18.500	21.268
100	1000	262	0.600	4.450	123.927	17.693	20.584	0.405	2.861	124.848	17.915	20.737
011	2000	524	0.844	6.358	120.964	17.178	20.092	0.567	4.530	121.912	17.252	20.249
010	4000	1048	1.223	9.378	117.743	16.617	19.557	0.812	6.676	118.799	16.693	19.732
001	8000	2096	1.743	12.875	114.663	16.160	19.045	1.236	10.490	115.146	16.041	19.125
000	16000	4193	2.763	20.663	110.660	15.478	18.380	2.086	15.259	110.602	15.500	18.371
111	32000	8385	5.457	42.439	104.749	14.439	17.399	4.509	36.001	103.908	14.262	17.259

(1) 至少使用了 1000 个连续读数来计算该表中的 RMS 和峰峰值噪声值。

表12. 正常模式下的输入参考噪声(μV_{RMS} , μV_{PP}) 5V 模拟电源和 4V 基准电压源⁽¹⁾

DR BITS OF CONFIG1 REGISTER	OUTPUT DATA RATE (SPS)	-3-dB BANDWIDTH (Hz)	PGA GAIN = 6					PGA GAIN = 8				
			μV_{RMS}	μV_{PP}	DYNAMIC RANGE (dB)	NOISE- FREE BITS	ENOB	μV_{RMS}	μV_{PP}	DYNAMIC RANGE (dB)	NOISE- FREE BITS	ENOB
110	250	65	0.158	1.033	129.482	18.800	21.507	0.147	1.073	127.610	18.330	21.196
101	500	131	0.223	1.907	126.496	17.915	21.011	0.203	1.371	124.802	17.976	20.729
100	1000	262	0.316	2.464	123.479	17.546	20.509	0.292	2.325	121.655	17.215	20.206
011	2000	524	0.439	3.338	120.610	17.108	20.033	0.414	3.219	118.636	16.745	19.705
010	4000	1048	0.645	5.166	117.276	16.478	19.479	0.596	4.113	115.463	16.391	19.178
001	8000	2096	0.986	7.868	113.588	15.871	18.867	0.919	6.974	111.699	15.630	18.553

000	16000	4193	1.771	13.669	108.504	15.074	18.022	1.702	13.769	106.351	14.648	17.664
111	32000	8385	4.064	31.551	101.288	13.867	16.824	3.815	31.352	99.340	13.461	16.500

(1) 至少使用了 1000 个连续读数来计算该表中的 RMS 和峰值噪声值。

表13. 正常模式下的输入参考噪声(μV_{RMS} , μV_{PP}) 5V 模拟电源和 4V 基准电压源⁽¹⁾

DR BITS OF CONFIG1 REGISTER	OUTPUT DATA RATE (SPS)	-3-dB BANDWIDTH (Hz)	PGA GAIN = 12					PGA GAIN = 24				
			μV_{RMS}	μV_{PP}	DYNAMIC RANGE (dB)	NOISE- FREE BITS	ENOB	μV_{RMS}	μV_{PP}	DYNAMIC RANGE (dB)	NOISE- FREE BITS	ENOB
110	250	65	0.134	0.914	124.911	17.976	20.747	0.119	0.795	119.914	17.178	19.917
101	500	131	0.191	1.431	121.811	17.330	20.232	0.165	1.192	117.068	16.593	19.445
100	1000	262	0.267	1.868	118.909	16.945	19.750	0.237	1.828	113.948	15.976	18.926
011	2000	524	0.387	2.821	115.693	16.350	19.216	0.333	2.424	110.987	15.569	18.435
010	4000	1048	0.559	4.292	112.492	15.745	18.685	0.484	3.775	107.722	14.930	17.892
001	8000	2096	0.855	7.510	108.812	14.938	18.073	0.777	5.583	103.622	14.366	17.211
000	16000	4193	1.601	11.802	103.357	14.286	17.167	1.513	11.047	97.833	13.381	16.250
111	32000	8385	3.647	29.405	96.209	12.969	15.980	3.502	28.412	90.540	12.018	15.038

(1) 至少使用了 1000 个连续读数来计算该表中的 RMS 和峰值噪声值。

9. 详细说明

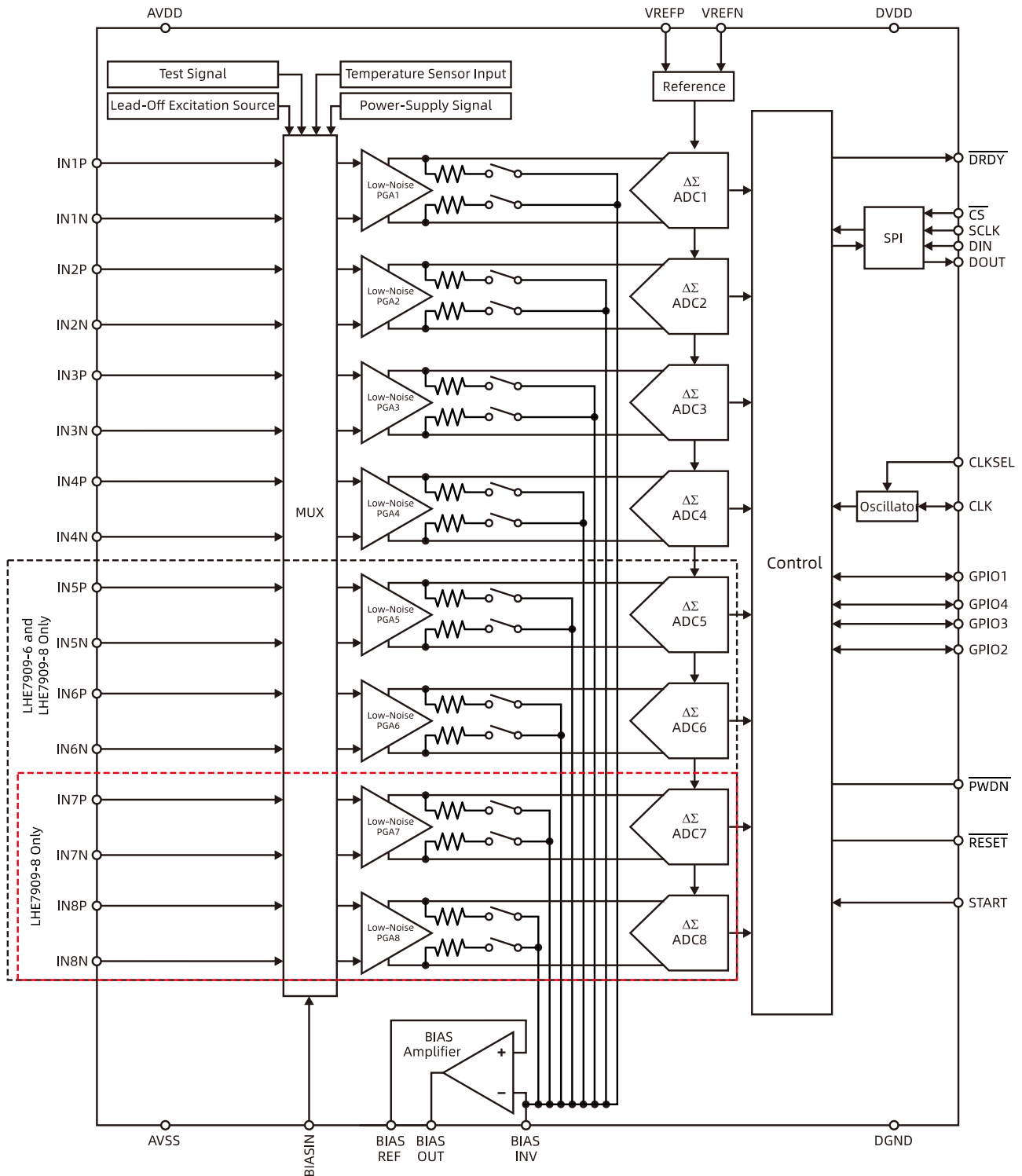
9.1. 概要

LHE7909 是一款具有集成可编程增益放大器(PGA)的低噪声、低功耗、多通道、同时采样、24 位、delta-sigma($\Delta\Sigma$)模数转换器(ADC)。这些设备集成了各种脑电图特定功能，使该系列非常适合可扩展的心电图 (ECG)，脑电图 (EEG) 应用。通过关闭 ECG 或 EEG 专用电路，这些器件还可用于高性能、多通道数据采集系统。

这些器件具有高度可编程的多路复用器，可进行温度、电源、输入短路和偏置测量。此外，多路复用器允许将任何输入电极编程为患者参考驱动器。PGA 增益可以从八种设置中选择一种(1,2,3 4,6,8,12,和 24)。器件中的 ADC 提供 250SPS 至 32kSPS 的数据速率。与器件的通信通过 SPI 兼容接口完成。该器件提供四个通用输入输出(GPIO)引脚供一般使用。可以使用 START 引脚同步多个设备。

内部基准在使能时产生一个低噪声的 4V 内部电压，内部振荡器在使能时产生一个 2.048MHz 时钟。多功能患者偏置驱动模块可以选择任何电极组合的平均值，来产生患者驱动信号。电极脱落检测可以通过使用拉电流或灌电流来完成也可以通过内部交流激励信号驱动检测。

9.2. 功能方框图



9.3. 功能描述

本节包含 LHE7909 内部功能模块的详细信息。首先讨论模拟模块，然后讨论数字接口。本节末尾介绍了实现 EEG 特定功能的模块。

在本文档中， f_{CLK} 表示 CLK 引脚信号频率， t_{CLK} 表示 CLK 引脚信号周期， f_{DR} 表示输出数据速率， t_{DR} 表示输出数据时间周期， f_{MOD} 表示调制器采样输入的频率。

9.3.1. 模拟功能

9.3.1.1. 输入多路复用模块

LHE7909 输入多路复用器非常灵活，提供多种可配置信号切换选项。下图显示了该器件单通道上的多路复用器。请注意，该器件具有四个(LHE7909-4)、六个(LHE7909-6)或八个(LHE7909-8)此类模块。SRB1、SRB2 和 BIASIN 是所有多路复用模块共用。INxP 和 INxN 对于四个、六个或八个块模块的每一个是分开的。这种灵活性允许重要的设备和子系统诊断、校准和配置。通过使用 CONFIG3 寄存器中的 BIAS_MEAS 位将适当的值写入 CHnSET[3:0]寄存器来切换每个通道的设置。有关多路复用器的 EEG 特定功能的更多信息，请参阅输入多路复用器部分。

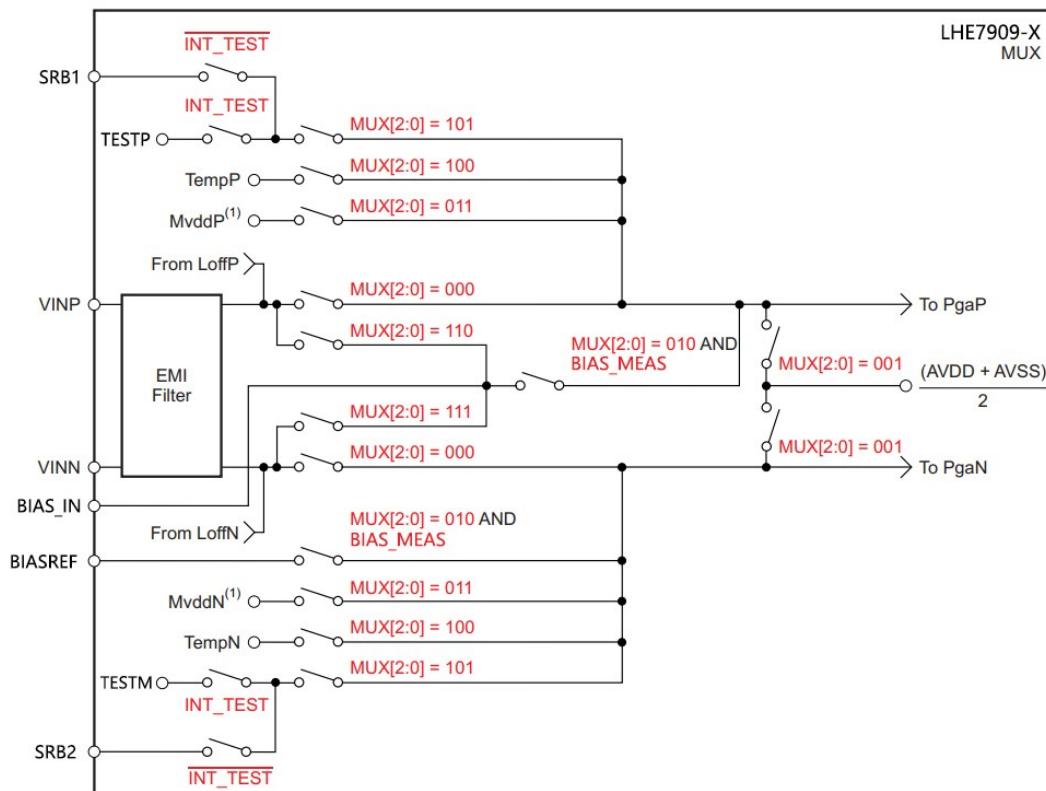


图7. 一个通道的输入多路复用器块

器件噪声测量

设置 CHnSET [2:0] = 001 将 (AVDD+AVSS)的共模电压设置为两个通道输入。

此设置可用于测试用户系统中的固有器件噪声。

测试信号 (TestP 和 TestM)

设置 CHnSET [2:0] = 101 可提供内部生成的测试信号，用于上电时的子系统验证。此功能允许对器件内部信号链进行测试。

测试信号通过寄存器设置进行控制(详情请参阅寄存器映射部分的 CONFIG2 寄存器)。CAL_AMP 控制信号幅度，CAL_FREQ 控制测试信号的频率。

温度传感器(TempP,TempN)

LHE7909 包含一个片上温度传感器。该传感器使用两个内部二极管，二极管电流密度的差异产生与绝对温度成比例的电压差。

由于封装对印刷电路板(PCB)的热阻较低，内部器件温度会密切跟踪 PCB 温度。注意 LHE7909 的自发热导致读数高于周围 PCB 的温度。

公式 3 的将温度读数转换为摄氏度。在使用这个方程之前，温度读数代码必须首先转换为微伏。

$$\text{Temperature (}^{\circ}\text{C)} = \left[\frac{\text{Temperature Reading (}\mu\text{V)} - 145,300 \mu\text{V}}{490 \mu\text{V}/^{\circ}\text{C}} \right] + 25^{\circ}\text{C} \quad (3)$$

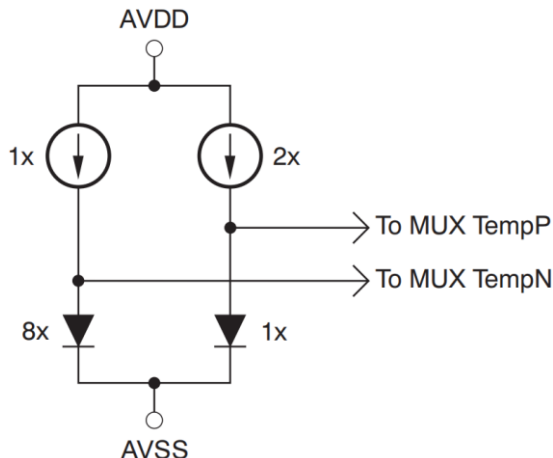


图8. 输入中的温度传感器测量

电源测量(MVDDP,MVDDN)

对于通道 1,2,5,6,7,和 8, (MVDDP-MVDDN)为 $[0.5 \times (AVDD - AVSS)]$ 。对于通道 3 和 4, (MVDDP-MVDDN)是 DVDD/4。

为避免在测量电源时使 PGA 输出饱和, 请将增益设置为 1。

导联脱落激励信号(LoffP,LoffN)

导联脱落激励信号在开关之前送入多路复用器。检测导联断开状态的比较器也在开关之前连接到多路复用器模块。有关导联断开块的详细说明, 请参阅导联断开检测部分。

辅助单端输入

BIASIN 引脚主要用于在偏置电极脱落的情况下将偏置信号路由到任何电极。BIASIN 引脚也可用作多个单端输入通道。可以使用八个通道中的任何一个测量 BIASIN 引脚上的信号 (相对于 BIASREF 引脚上的电压)。通过将通道多路复用器设置为 '010' 并将 CONFIG3 寄存器的 BIAS_MEAS 位设置为 '1' 来完成此测量。

9.3.1.2. 模拟输入

器件的模拟输入直接连接到集成的低噪声、低漂移、高输入阻抗、可编程增益放大器。放大器位于各个通道多路复用器之后。

LHE7909 模拟输入为全差分输入。差分输入电压(VINxP-VINxN)需保持再 $-V_{\text{ref}}/\text{增益}$ 到 $V_{\text{ref}}/\text{增益}$ 之间。有关模拟输入和数字代码之间的相关性的解释, 请参阅数据格式部分。驱动 LHE7909 模拟输入的一般方法有两种伪差分或全差分, 如下图所示。

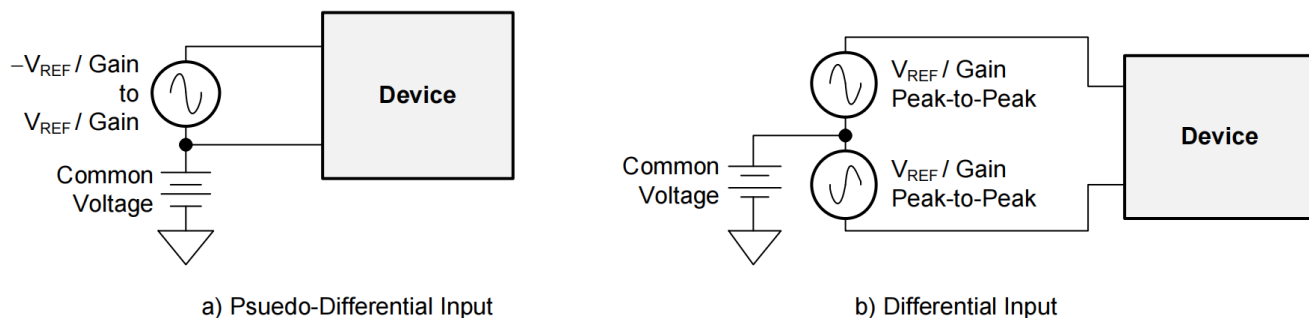


图9. 驱动 LHE7909 的方法:伪差分或全差分

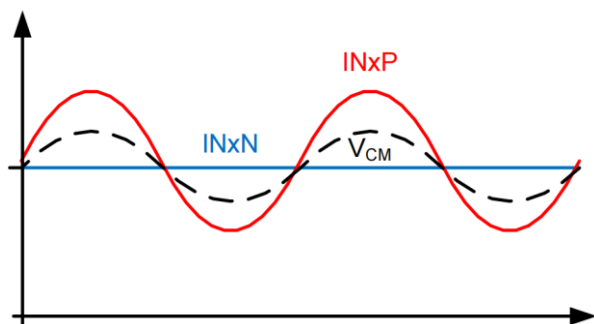


图10. 伪差分输入模式

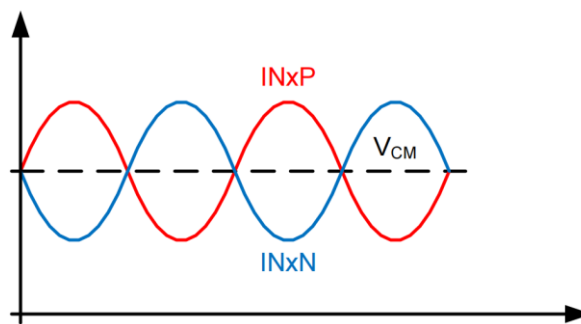


图11. 全差分输入模式

将 INxN 引脚保持在一个共模电压，最好是在电源的中间值，则为全差分输入的伪差分信号。INxP 引脚信号在共模电压上下摆动且幅度在 $-V_{ref}/\text{增益}$ 到 $V_{ref}/\text{增益}$ 之间，并保持在绝对最大规格范围内。当输入信号为伪差分模式时，共模电压(VCM)随信号变化而平变化。差分信号的最小值和最大值要符合输入共模范围部分中讨论的共模输入规范。

将 INxP 和 INxN 处的信号配置为以共模电压为中心的 180° 相位差，以使用全差分输入方法。INxP 和 INxN 输入以共模电压为中心，摆动范围在 $-V_{ref}(x0.5)/\text{增益}$ 到 $V_{ref}(x0.5)/\text{增益}$ 之间。最大和最小值处的差分电压等于 $-V_{REF}/\text{增益}$ 至 $V_{REF}/\text{增益}$ 并以固定的共模电压(VCM)为中心。在差分配置中使用 LHE7909 可最大限度地扩大数据转换器的动态范围。为了获得最佳性能，建议将共模电压设置在模拟电源的中点 $[(AVDD+AVSS)/2]$ 。

9.3.1.3. PGA 设置和输入范围

低噪声 PGA 是差分输入和输出放大器。PGA 有八个增益设置(1,2,3 4,6,8,12,和 24) 可以通过写入 CHnSET 寄存器来设置 (详情请参阅寄存器映射部分的 Chnset:个别通道设置小节)。PGA 具有 CMOS 输入，因此电流噪声可忽略不计。

输入共模范围

为了保持在 PGA 的线性工作范围内，输入信号必须满足某些要求：

输入共模电压无特殊限制，只需保持输入信号 INP、INN 电压在 $AVSS+0.1V \sim AVDD-0.1V$ 之间。

输入差分动态范围

差分输入电压范围($V_{INxP} - V_{INxN}$)取决于系统中使用的模拟电源和基准电压源。该范围示于公式 5。

$$\text{Full-Scale Range} = \frac{\pm V_{REF}}{\text{Gain}} = \frac{2V_{REF}}{\text{Gain}} \quad (5)$$

ADC $\Delta\Sigma$ Modulator

每个 LHE7909 通道都有一个 24 位 $\Delta\Sigma$ ADC。该转换器采用针对低噪声应用优化的二阶调制器。调制器以 ($f_{MOD}=f_{CLK}/2$) 的速率采样输入信号。与任何 $\Delta\Sigma$ 调制器的情况一样，器件噪声被整形直到 $f_{MOD}/2$ ，下图所示。下一节将介绍的片内数字抽取滤波器可用于滤除较高频率下的噪声。这些片上抽取滤波器还提供混叠滤波。这一 $\Delta\Sigma$ 转换器特性大大降低了典型奈奎斯特 ADC 所需的模拟抗混叠滤波器的复杂性。

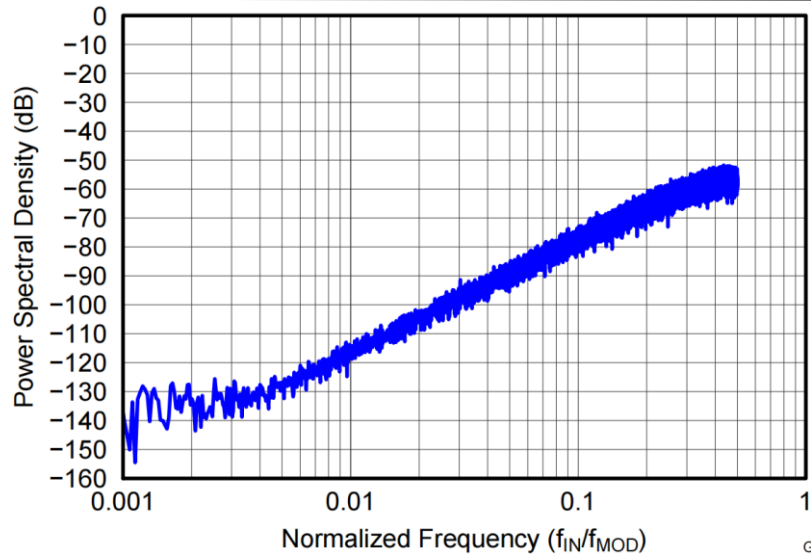
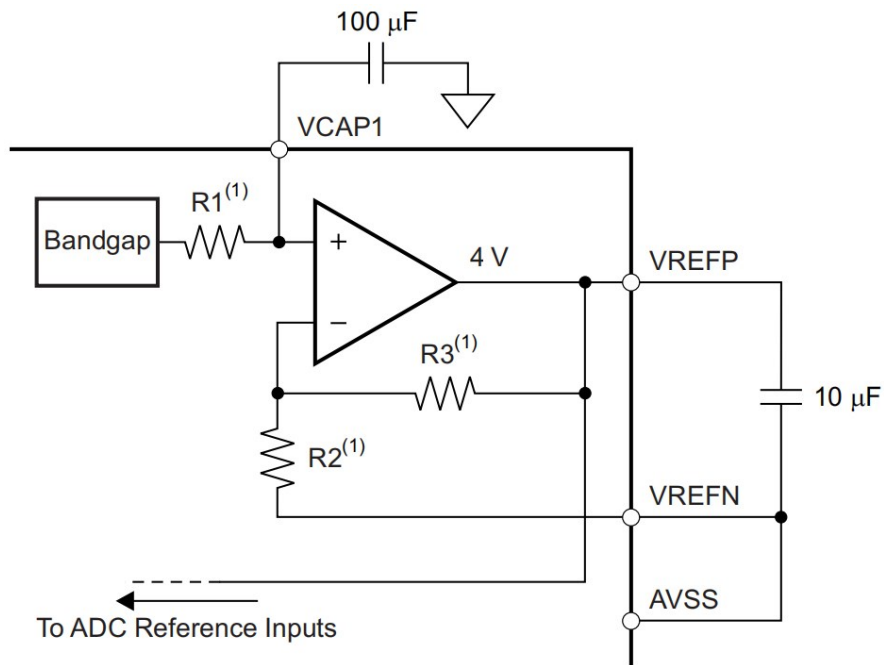


图12. 调制器噪声频谱高达 $0.5 \times f_{MOD}$

Reference

下图显示了 LHE7909 内部基准电压源的简化框图。4V 参考电压相对于 AVSS 产生。使用内部基准电压时，将 V_{REFN} 连接到 AVSS。



(1) 对于 $V_{REF}=4V$: $R1=9.8K\Omega$, $R2=13.4K\Omega$, 并且 $R3=36.85K\Omega$ 。

图13. 内部参考

外部带限电容决定了参考噪声的贡献量。对于高端 EEG 系统，应选择电容值，使带宽限制在 10Hz 以下，以便参考噪声不会主导系统噪声。

或者，可以关闭内部基准缓冲器，并将外部基准应用于 VREFP。下图所示为典型的外部基准驱动电路。掉电由 CONFIG3 寄存器中的 PD_REFBUF 位控制。默认情况下，器件工作于外部基准模式下。

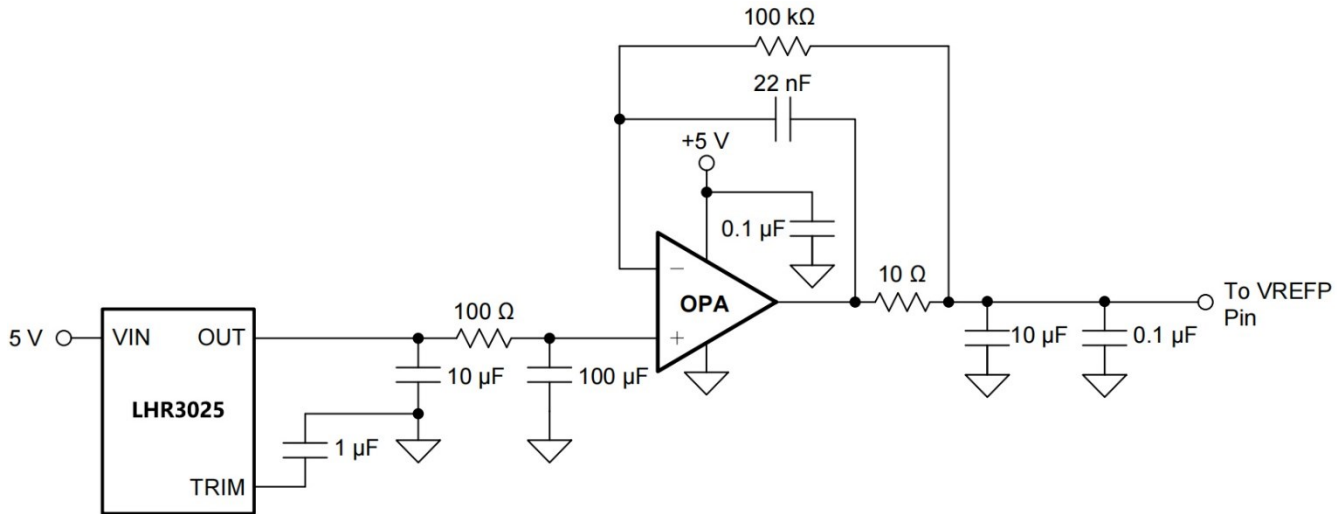


图14. 外部参考驱动器

9.3.2. 数字功能

9.3.2.1. 数字抽取滤波器

数字滤波器接收调制器输出并抽取数据流。通过调整过滤量，可以在分辨率和数据速率之间进行权衡：过滤更多以获得更高的分辨率，过滤更少以获得更高的数据速率。更高的数据速率通常用于脑电图应用的交流脱落检测。

每个通道上的数字滤波器由三阶 Sinc 滤波器组成。Sinc 滤波器抽取比可通过 CONFIG1 寄存器中的 DR 位进行调整(详情请参阅寄存器映射部分)。此设置是影响所有通道的全局设置，因此，所有通道在设备中以相同的数据速率运行。

Sinc 滤波器级(sinx/x)

Sinc 滤波器是一种可变抽取率、三阶低通滤波器。数据以 f_{MOD} 的速率从调制器提供到滤波器的该部分。Sinc 滤波器衰减调制器高频噪声，然后将数据流抽取为并行数据。抽取率会影响整个转换器数据速率。

公式 6 给出了 Sinc 滤波器的缩放 Z 域传递函数。

$$|H(z)| = \left| \frac{1 - Z^{-N}}{1 - Z^{-1}} \right|^3 \quad (6)$$

Sinc 滤波器的频域传递函数如公式 7 所示。

$$|H(f)| = \left| \frac{\sin \left[\frac{N\pi f}{f_{MOD}} \right]}{N \times \sin \left[\frac{\pi f}{f_{MOD}} \right]} \right|^3 \quad (7)$$

where: N=抽取比

Sinc 滤波器具有以输出数据速率及其倍数出现的陷波（或零）。在这些频率下，滤波器具有无限衰减。图 15. 显示了 Sinc 滤波器的频率响应，图 16. 显示了 Sinc 滤波器的滚降。当输入端发生阶跃变化时，滤波器需要 $3 \times TDR$ 才能建立。在开始信号的上升沿之后，滤波器需要 t 建立时间给出第一个数据输出。滤波器在各种数据速率下的建立时间在 SPI 接口部分的开始小节中讨论。图 17. 和图 18. 示出了分别在不同数据速率下直到 $f_{MOD}/2$ 和 $f_{MOD}/16$ 的

滤波器传递函数。图 19. 显示了扩展到 $4 \times f_{\text{MOD}}$ 的传递函数。LHE7909 通带在每个 f_{MOD} 处重复自身。应选择系统中的输入 R-C 抗混叠滤波器，以便充分衰减 f_{MOD} 倍数周围频率中的任何干扰。

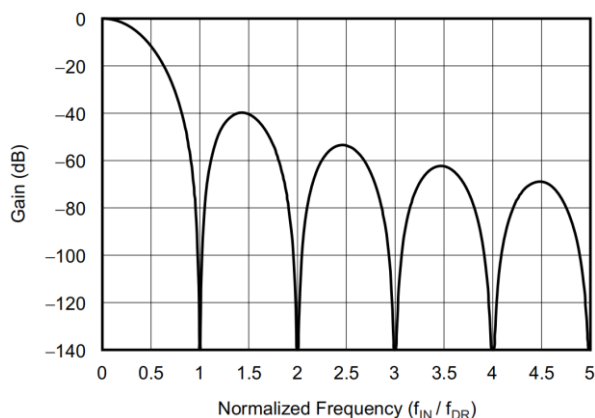


图15. Sinc 滤波器频率响应

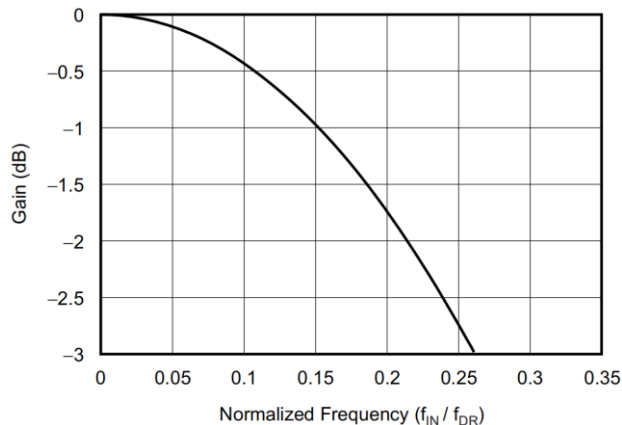


图16. Sinc 滤波器滚降

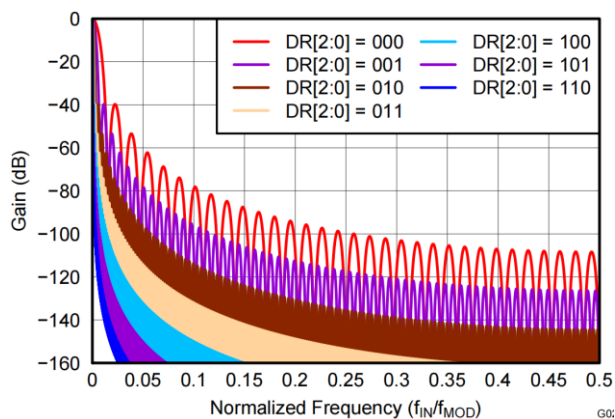


图17. 片上抽取滤波器的传递函数直到 $f_{\text{MOD}}/2$

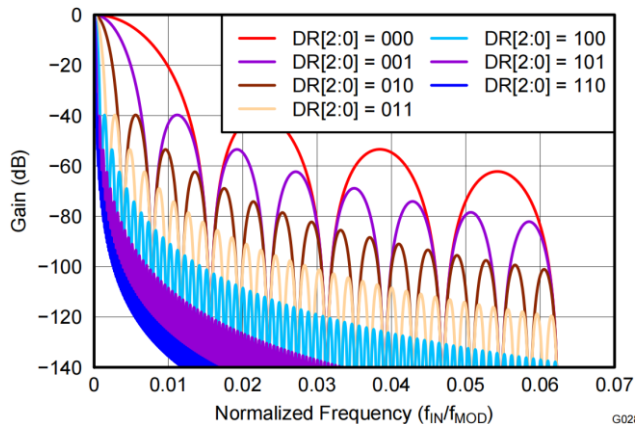


图18. 片上抽取滤波器的传递函数直到 $f_{\text{MOD}}/16$

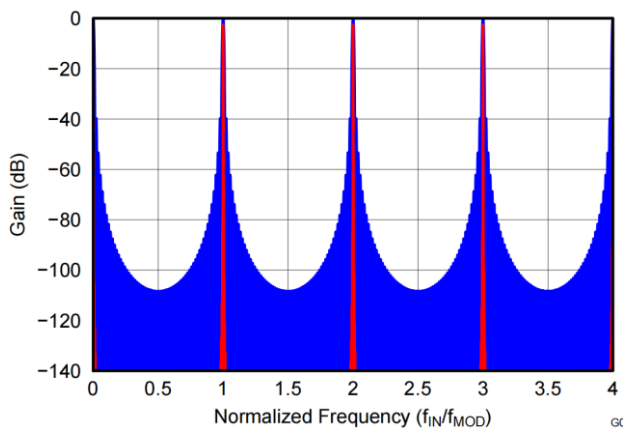


图19. 片上抽取滤波器的传递函数直到 $4f_{\text{MOD}}$ 为 $\text{DR}[2:0]=000$ 和 $\text{DR}[2:0]=110$

9.3.2.2. 时钟

LHE7909 提供三种器件计时方法:内部和外部。内部时钟非常适合低功耗、电池供电系统。内部振荡器经过微调以确保室温下的精度。精度在指定的温度范围内变化;请参阅电气特性。时钟选择由 CLKSEL 引脚和 CLK_EN 寄存器位控制。

CLKSEL 引脚选择内部或外部时钟。CONFIG1 寄存器中的 CLK_EN 位使能和禁止在 CLK 引脚输出振荡器时钟。这两个引脚的真值表如下表所示。在菊花链配置中使用多个器件时, CLK_EN 位非常有用。在掉电期间, 建议关闭外部时钟以节省功率。

表14. CLKSEL 引脚和 CLK_EN 位

CLKSEL 引脚	CONFIG1.CLK_EN 位	时钟源	CLK 引脚状态
0	X	外部时钟	输入:外部时钟
1	0	内部时钟振荡器	三态
1	1	内部时钟振荡器	输出:内部时钟振荡器

9.3.2.3. GPIO

LHE7909 在正常工作模式下共有四个通用数字 IO(GPIO)引脚。数字 IO 引脚可通过 GPIOC 位寄存器单独配置为输入或输出。GPIO 寄存器中的 GPIOD 位控制引脚电平。当读取 GPIOD 位时, 返回的数据是引脚的逻辑电平, 无论它们被编程为输入还是输出。当 GPIO 引脚配置为输入时, 写入相应的 GPIOD 位不起作用。配置为输出时, 对 GPIOD 位的写入将设置输出值。

如果配置为输入, 则必须驱动这些引脚(不要浮空)。GPIO 引脚在上电后或复位后设置为输入。下图显示 GPIO 端口结构。如果不使用, 应将引脚短接至 DGND。

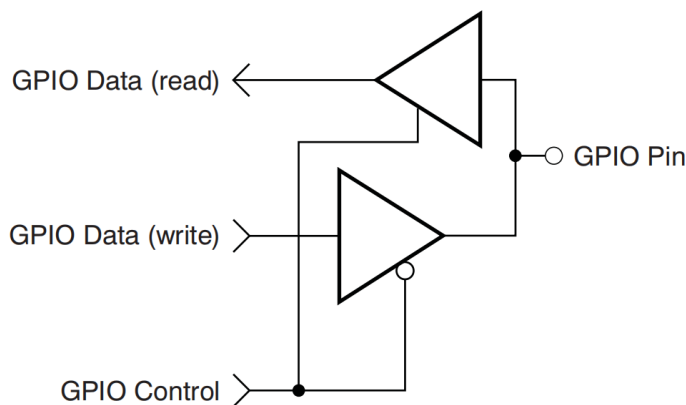


图20. GPIO 端口引脚

9.3.2.4. ECG 和 EEG 特定功能

输入多路复用器（重新路由偏置驱动信号）

输入多路复用器具有针对偏置驱动信号的 EEG 特定功能。当选择合适的驱动通道、在芯片外部安装反馈元件形成闭合环路时, 偏置信号可在 BIASOUT 引脚说输出。该信号可以在滤波后馈入, 也可以直接馈入 BIASIN 引脚, 如下图所示。通过将适当通道寄存器的 MUX 位设置为"110"(P 测)或"111"(N 测), 可以将 BIASIN 信号复用到任何输入电极中。下图显示了从通道 1、2 和 3 产生并路由到通道 8 N 侧的偏置信号。该特征可用于动态地改变被用作驱动患者身体的参考信号的电极。

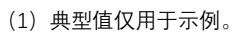
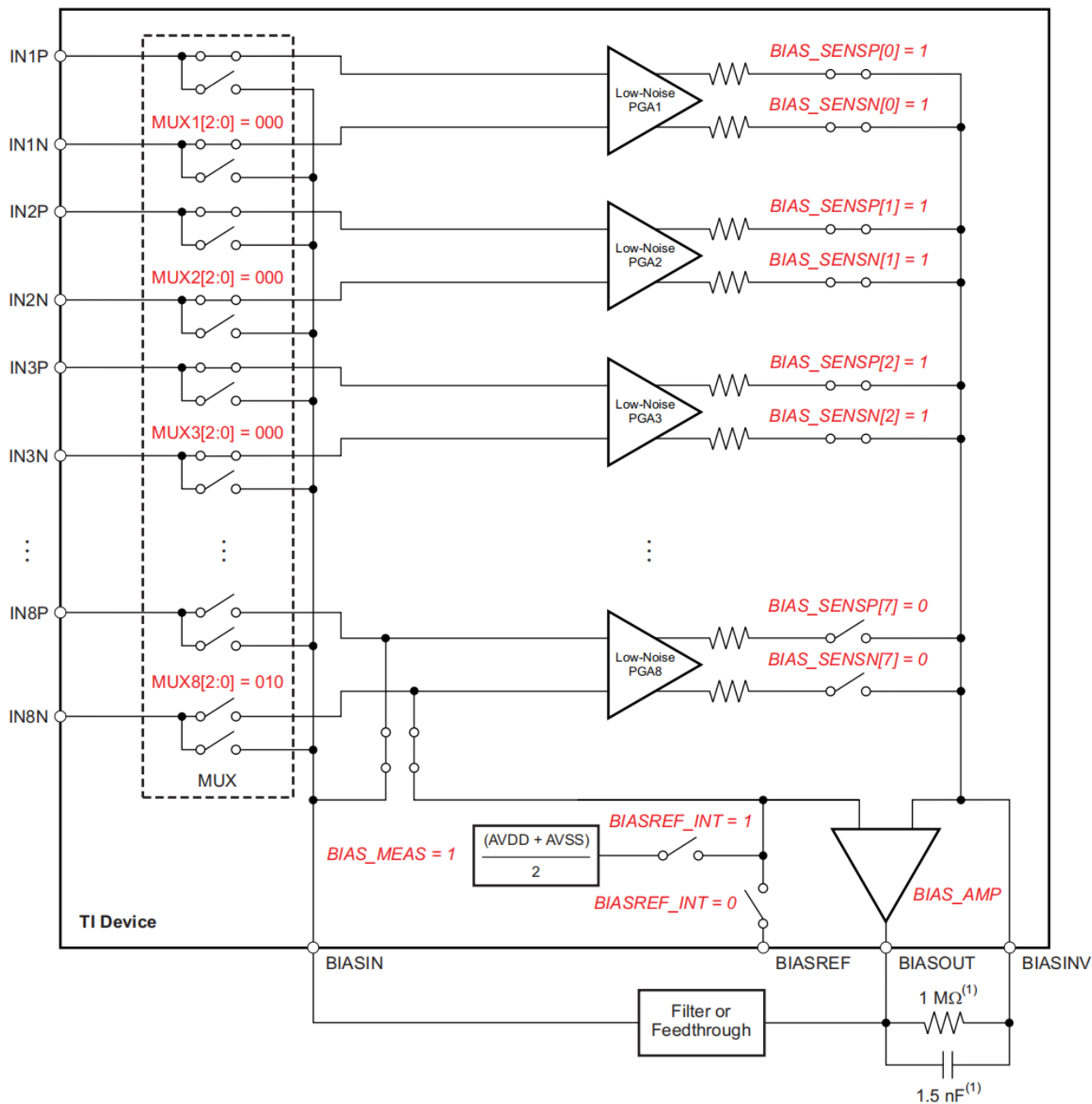


图21. BIASOUT 信号路由到 IN8N

输入多路复用器 (测量 BIAS 驱动信号)

此外，偏置输出信号可以路由到某一个通道（不用于计算偏置）进行测量。下图显示了将 BIASIN 信号路由到通道 8 的寄存器设置。测量是相对于 BIASREF 引脚上的电压完成的。如果 BIASREF 被选择为内部提供，那么 BIASREF 将被设置在 $[(AVDD+AVSS)/2]$ 。此功能可用于产品开发过程中的调试目的。



(1) 典型值仅用于示例。

图22. 配置 BIASOUT 信号被通道 8 回读

Lead-Off 监测

已知患者电极阻抗随时间衰减。必须持续监测这些电极连接，以验证是否存在合适的连接。LHE7909 导联脱落检测功能块为用户提供了很大的灵活性，可从各种导联脱落检测策略中进行选择。虽然称为导联检测，但这实际上是一种电极脱落检测。

基本原理是注入激励电流并测量电压以确定电极是否脱落。如下图的导联脱落检测功能框图所示，该电路提供了两种不同的确定患者电极状态的方法。两种方法在激励信号的频率内容上有所不同。可以使用 LOFF_SENSP 和 LOFF_SENSN 寄存器选择在哪个通道进行导联脱落检测。此外，可以禁用内部激励电路。

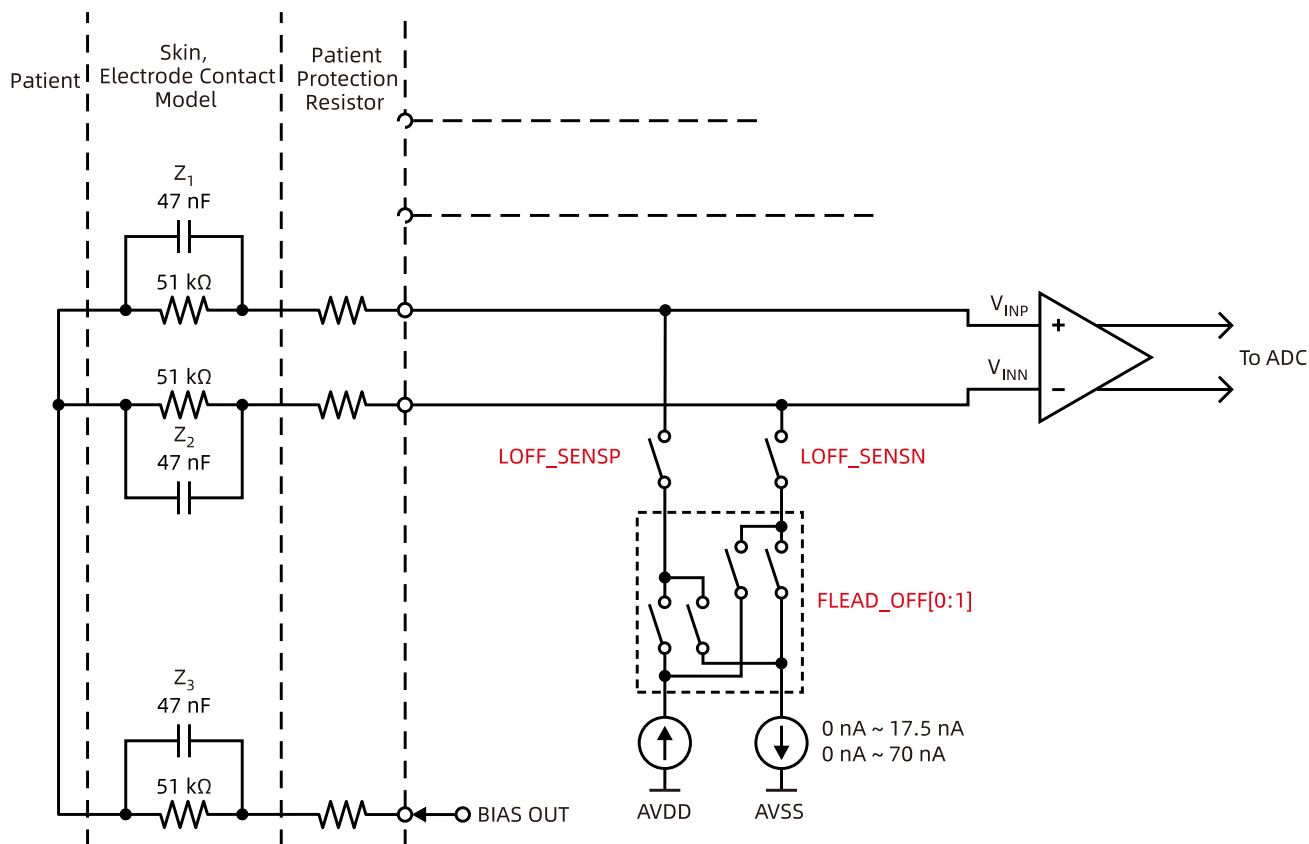


图23. 导联脱落检测框图

直流导联脱落

在这种方法中，导联脱落激励是用直流信号完成的。从上拉或下拉电阻或从拉电流或灌电流系统中选择一个直流激励信号，如下图所示。上下拉电阻方式时通道的一侧被拉至电源，另一侧被拉至接地。如果使用拉电流或灌电流，则使用 CONFIG3.ILEAD_EN, LOFF.ILEAD_OFF[1:0] 和 LOFF_CFG.ILOFF_BST_EN 设置电流的幅度。与 10MΩ 上拉或下拉电阻相比，拉电流或灌电流方式可提供更大的输入阻抗。

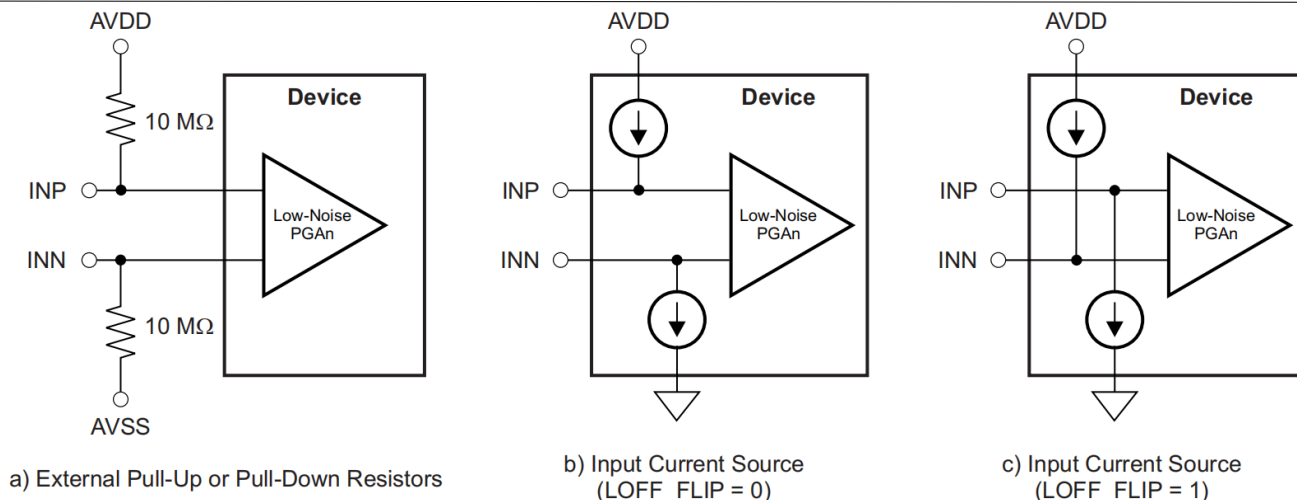


图24. 直流导联激励配置

如果任一电极脱落，那么上拉或下拉电阻器会使通道饱和。读取芯片输出结果以确定 P 侧或 N 侧是否脱落。要查明哪一侧脱落，需要使能比较器。通过使用比较器和 3 位 DAC（其电平由 LOFF 寄存器中的 COMP_TH[2:0] 位设置）监视输入电压。比较器输出存储在 LOFF_STATP 和 LOFF_STATN 寄存器中，这两个寄存器作为输出数据流的一部分（请参阅数据输出引脚 (DOUT) 部分）。如果未使用直流导联脱落，则可以通过设置 CONFIG4 寄存器中的 PD_LOFF_COMP 位使导联脱落比较器断电。

交流导联脱落

在该方法中，使用带内 AC 信号进行激励。通过在输入端以固定频率交替地提供电流源和电流沉来产生 AC 信号。频率可由 LOFF 寄存器中的 FLEAD_OFF[1:0] 位和 LOFF_FREQ 控制。激励频率选择为带内频率时只在测量阻抗时才使用（会降低 PGA 的输入阻抗）。带外频率激励经过数字处理可以进行连续的阻抗测试。

Bias Lead-Off

正常工作期间的偏置导联脱落检测

正常工作时不能使用 LHE7909 上电导联脱落监测功能，因为偏置放大器那个时候是关断的。

上电时的偏置导联脱落检测

上电时 LHE7909 使用电流源和比较器来确定偏置电极连接状态，如下图所示。设置比较器的参考电平来确定可接受的偏置阻抗阈值。

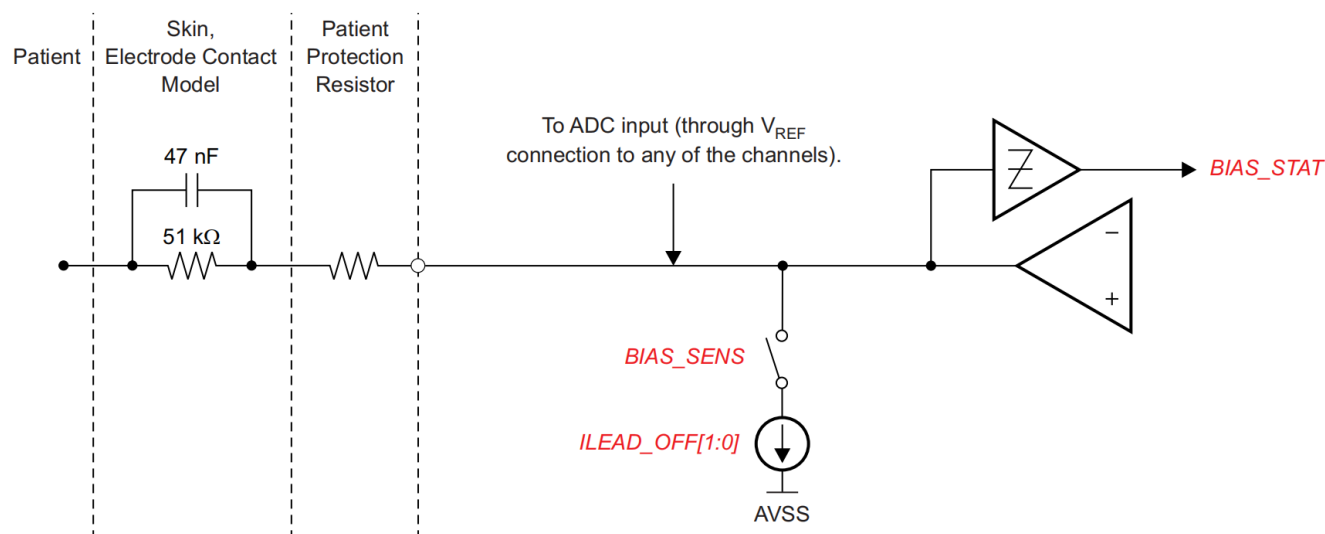
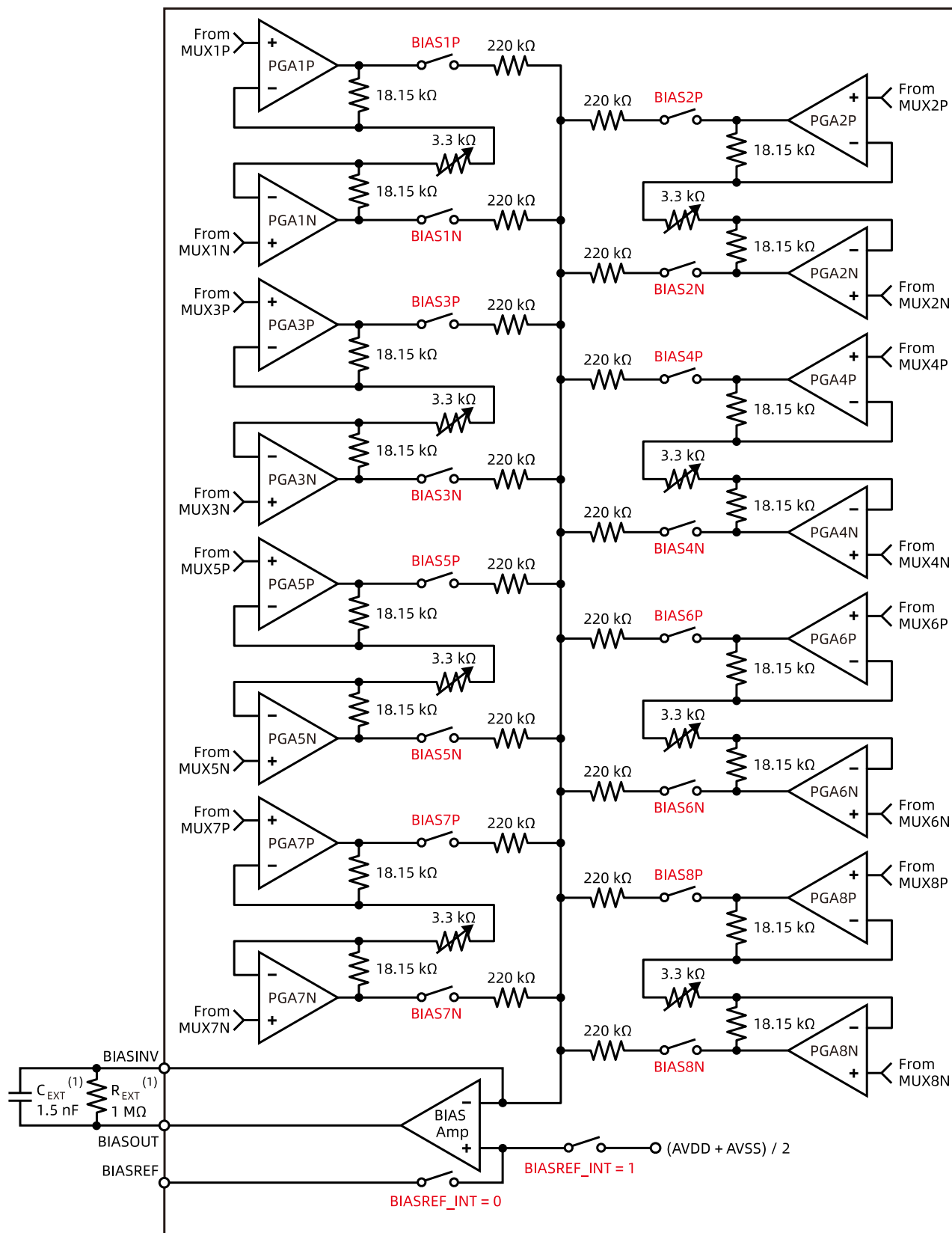


图25. 上电时的偏置引线断开检测

当偏置放大器工作时，电流源功能关闭。

偏置驱动（直流偏置电路）

可使用直流偏置电路来抵消 ECG 系统中由于电源线和其他源（包括荧光灯）导致的共模干扰。直流偏置电路检测所选电极的共模电压，并通过负反馈环路产生反向共模信号来驱动人体。负反馈环路将共模波动限制在较窄的范围内，具体则取决于环路增益。下图中所示的电路显示了直流偏置电路整体连接图。



(1) 典型值。

图26. 偏置驱动放大器通道选择

偏置驱动的参考电压可以选择在内部产生 $[(AVDD+AVSS)/2]$ 或通过电阻分压器在外部提供。通过将适当的值写入 CONFIG2 寄存器中的 BIASREF_INT 位来选择偏置环路的内部参考电压与外部参考电压。

如果未使用偏置功能，则可以使用 PD_BIAS 位对放大器进行断电(详情请参阅寄存器映射部分的 CONFIG3:配置寄存器 3 小节)。将多个 LHE7909 器件以菊花链方式连接时，使用 PD_BIAS 位可对除一个之外的所有偏置放大器断电。

具有多个器件的偏置配置

下图示出了连接到偏置驱动电路的多个器件。

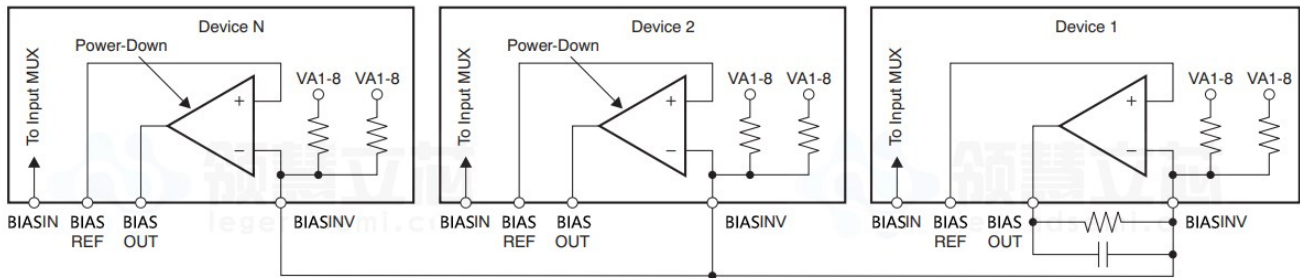


图27. 用于多个设备的偏置驱动连接

9.4. 器件功能模式

9.4.1. 启动转换

将 START 引脚拉高至少 $2t_{CLK}$ 周期，或发送 START 命令开始转换。当 START 为低电平且 START 命令尚未发送时，器件不会发出 $\overline{DRDY}$ 信号（转换已停止）。

使用 START 命令控制转换时，将 START 引脚保持为低电平。LHE7909 具有两种模式来控制转换:连续模式和单次触发模式。模式由 SINGLE_SHOT (CONFIG4 寄存器的第 3 位) 选择控制。在多个器件配置中，START 引脚用于同步器件（有关更多详细信息，请参阅 SPI 接口部分的多个器件配置小节）。

9.4.1.1. 建立时间

建立时间(t_{SETTLE})是转换器在开始信号拉高到输出完全建立的数据所需的时间。当 START 被拉高时， $\overline{DRDY}$ 也被拉高。下一个 $\overline{DRDY}$ 下降沿指示数据准备就绪。下图显示了时序图，下表列出了不同数据速率的建立时间。建立时间取决于 f_{CLK} 和抽取比(由 CONFIG1 寄存器中的 DR[2:0]位控制)。当最初的建立时间过去后， $\overline{DRDY}$ 下降沿发生在设定的数据速率 t_{DR} 。如果数据没有在 DOUT 上读回并且输出移位寄存器需要更新，则 $\overline{DRDY}$ 在变为低电平之前（表示新数据已准备就绪）持续高电平时间为 $4t_{CLK}$ 。下表列出了建立时间作为 t_{CLK} 的函数。请注意，当 START 保持高电平时，输入信号发生阶跃变化时，滤波器需要 $3 \times T_{DR}$ 才能建立到新值。在第四个 $\overline{DRDY}$ 脉冲上可获得已确定的数据。

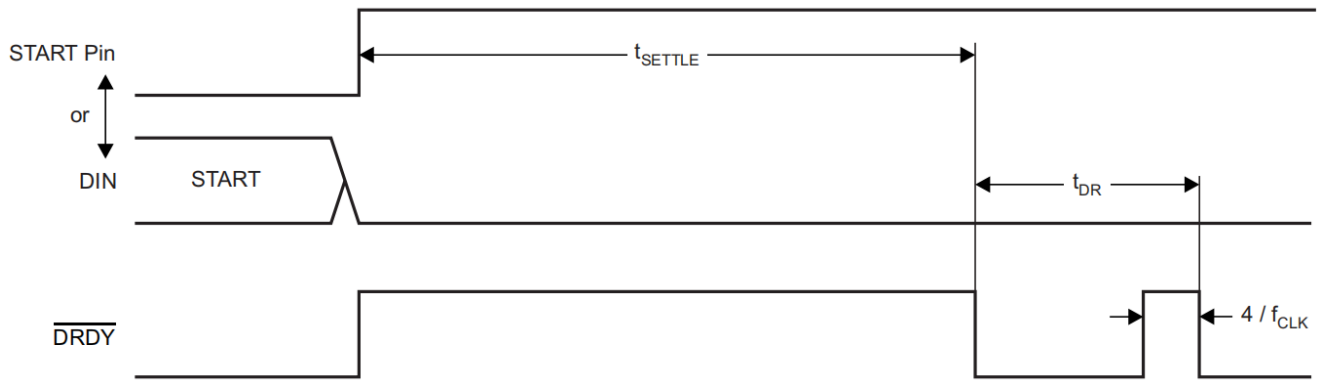


图28. 建立时间

表15. 不同数据速率的建立时间

DR[2:0]	正常模式	UNIT
000	521	t_{CLK}
001	1033	t_{CLK}
010	2057	t_{CLK}
011	4105	t_{CLK}
100	8201	t_{CLK}
101	16393	t_{CLK}
110	32777	t_{CLK}

9.4.2. 复位 (RESET)

复位 LHE7909 的方法有两种:将 RESET 引脚拉低, 或发送 RESET 命令。当使用复位引脚时, 确保遵循最小脉冲持续时间定时规范, 然后再将引脚恢复为高电平。复位命令在命令的第八个 SCLK 下降沿生效。复位后, 需要 18 个 T_{CLK} 周期才能完成配置寄存器到默认状态的初始化之后开始转换。请注意, 只要使用 WREG 命令将 CONFIG1 寄存器设置为新值, 就会自动向数字滤波器发出内部复位。

9.4.3. 掉电 (PWDN)

当 PWDN 被拉低时, 所有片上电路都掉电。要退出掉电模式, 请将 PWDN 引脚置于高电平。从掉电模式退出后, 内部振荡器和基准需要时间唤醒。在掉电期间, 建议关闭外部时钟以节省功耗。

9.4.4. 数据检索

9.4.4.1. 数据就绪(DRDY)

DRDY 是一个从高电平转换到低电平的输出信号, 表示新的转换数据已准备就绪。CS 信号对数据就绪信号没有影响。DRDY 行为取决于设备是否处于 RDATA 模式或 RDATA 命令读取数据。(有关详细信息, 请参阅 SPI 命令定义部分的 RDATA:连续读取数据和 RDATA:读取数据部分)。

当使用 RDATA 命令读取数据时, 读取操作可以与下一个 DRDY 发生重叠, 而不会发生数据损坏。

下图显示了数据检索期间 DRDY、DOUT 和 SCLK 之间的关系(对于 LHE7909-8)。DOUT 在 SCLK 上升沿锁存。DRDY 在 SCLK 下降沿被拉高。请注意, DRDY 在第一个 SCLK 下降沿变为高电平, 无论是从器件检索数据还是通过 DIN 引脚发送命令。

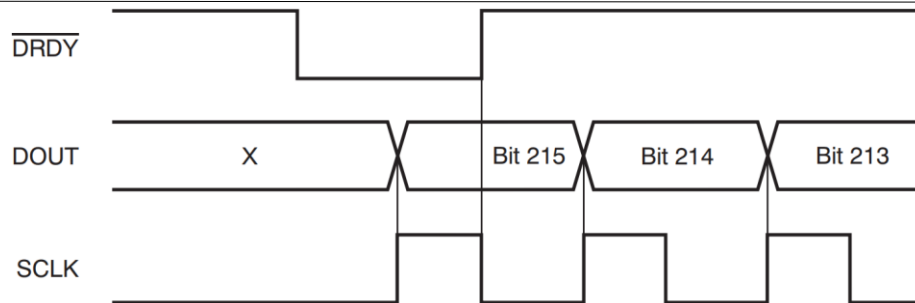


图29. DRDY与数据检索 (CS=0)

9.4.4.2. 回读数据

数据检索可以通过两种方法之一来完成:

1. RDATA:连续数据读取命令将设备设置为连续读取数据的模式, 而不发送命令。有关更多详细信息, 请参阅 RDATA:读取数据连续部分。
2. RDATA:读取数据命令要求先向设备发送命令, 把最新数据加载到输出移位寄存器。有关更多详细信息, 请参阅 RDATA:读数据部分。

转换数据是通过在 DOUT 上移出数据来读取的。DOUT 上数据的 MSB 在第一个 SCLK 上升沿输出。DRDY 在第一个 SCLK 下降沿返回高电平。对于整个读取操作, DIN 应保持低电平。

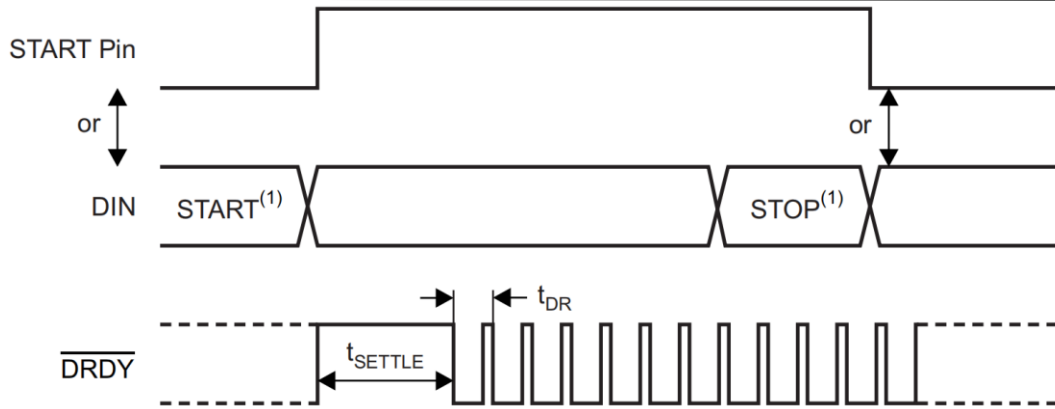
数据输出中的位数取决于通道数和每个通道的位数。对于 8 通道 LHE7909-8, 数据输出数为 $[(24 \text{ 位} + 24 \text{ 位} \times 8 \text{ 通道}) = 216 \text{ 位}]$ 。24 个状态位的格式为:(GPIO 寄存器的 1100+LOFF_STATP+LOFF_STATN+bits[4:7])。每个通道数据的数据格式是二进制补码, MSB 先输出。当使用用户寄存器设置关闭通道时, 相应的通道输出设置为"0"。然而, 通道输出序列保持不变。

LHE7909 还提供多次回读功能。在 RDATA 模式下数据可以通过给出更多的 SCLK 来多次读出, 在这种情况下, 最高字节数据在读取最后一个字节后重复。CONFIG1 寄存器中的DAISY_EN位必须设置为"1"才能进行多次回读。

9.4.5. 连续转换模式

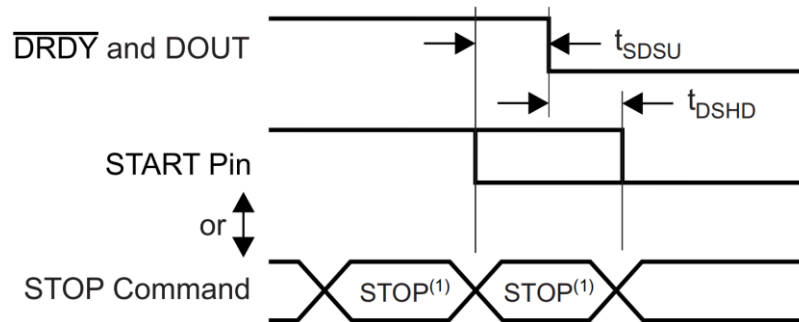
当 START 引脚变为高电平或发送 START 命令时, 转换开始。如下图所示, 当开始转换时 DRDY 输出变为高电平, 当数据准备就绪时变为低电平。转换无限的继续,直到开始引脚被拉低或停止命令被传输。当 START 引脚拉低或发出 STOP 命令时, 允许正在进行的转换完成。下图和下表说明了在这种模式下 DRDY 与 START 引脚或 START 和 STOP 命令的时序关系。 T_{SDSU} 指示在 DRDY 下降沿之前何时将 START 引脚变为低电平或发送 STOP 命令以停止进一步的转换。 T_{DSHD} 指示在 DRDY 下降沿后何时将 START 引脚变为低电平或发送 STOP 命令以完成当前转换并停止进一步转换。为了保持转换器连续运行, START 引脚可以永久地高电平。

当从单发模式切换到连续转换模式时, 将 START 引脚拉低再拉高或发送停止命令后再发开始命令。此转换模式非常适合需要固定采样率的应用。



(1) 启动和停止命令在第七个 SCLK 下降沿生效。

图30. 连续转换模式



(1) 启动和停止命令在命令结束时的第七个 SCLK 下降沿生效。

图31. 开始转换与DRDY时序关系

表16. 图 29⁽¹⁾的时序特性

		MIN	UNIT
t_{SDSU}	启动引脚低或停止命令到 DRDY 建立时间停止进一步的转换	16	t_{CLK}
t_{DSHD}	启动引脚低电平或停止命令以完成电流转换	16	t_{CLK}

(1) 启动和停止命令在命令结束时的第七个 SCLK 下降沿生效。

9.4.6. 单次触发模式

通过将 CONFIG4 寄存器中的 SINGLE_SHOT 位设置为"1"来启用单次模式。在单次模式下，当 START 引脚变为高电平或发送 START 命令时，LHE7909 执行一次转换。如下图所示，当转换完成后， $\overline{DRDY}$ 变为低电平并停止进一步的转换。无论转换数据是否被读取， $\overline{DRDY}$ 都保持低电平。要开始新的转换，请将 START 引脚变为低电平，然后返回高电平，或再次发送 START 命令。当从连续转换模式切换到单发模式时，将 START 引脚拉低再拉高或发送停止命令后再发开始命令。

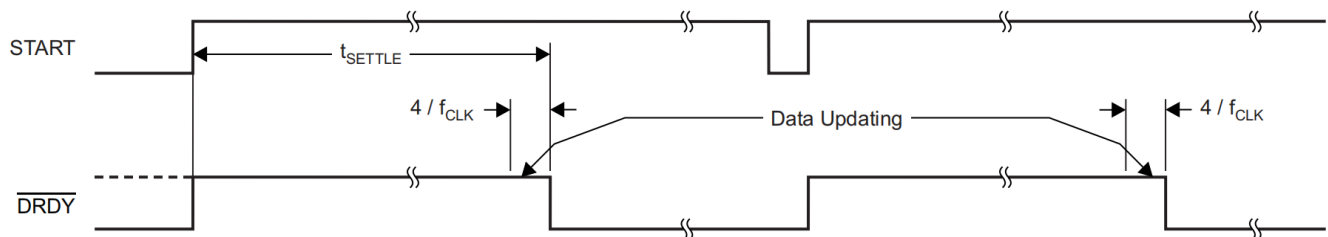


图32. 单次触发模式下没有数据读取时的DRDY

这种转换模式非常适合需要非标准或非连续数据速率的应用。发出 START 命令或切换 START 引脚高电平会重置数字滤波器，有效地将数据速率降低四倍。这种模式使系统更容易受到混叠效应的影响，需要更复杂的模拟或数字滤波。处理器必须切换 START 引脚或发送 START 命令以启动新的转换周期。

9.5. 程序设计

9.5.1. 数据格式

该器件以二进制补码格式提供 24 位数据。使用公式 8 计算一个码的大小(LSB)。

$$1 \text{ LSB} = (2 \times V_{\text{REF}} / \text{Gain}) / 2^{24} = +FS / 2^{23} \quad (8)$$

正满量程输入产生 7FFFFFFh 的输出代码，负满量程输入产生 800000h 的输出代码。下表总结了不同输入信号的理想输出代码。

表17. 理想的输出代码与输入信号

INPUT SIGNAL, VIN (INxP - INxN)	IDEAL OUTPUT CODE(1)
$\geq FS$	7FFFFFFh
$+FS / (2^{23} - 1)$	000001h
0	000000h
$-FS / (2^{23} - 1)$	FFFFFFh
$\leq -FS / (2^{23}/2^{23} - 1)$	800000h

(1) 排除噪声、线性度、失调和增益误差的影响。

9.5.2. SPI 接口

SPI 兼容串行接口由四个信号组成： $\overline{CS}$ 、SCLK、DIN 和 DOUT。接口读取转换数据，读写寄存器，并控制 LHE 7909 操作。数据就绪输出 $\overline{DRDY}$ （参见数据就绪(DRDY)部分）用作状态信号，以指示数据何时就绪。当有新数据可用时， $\overline{DRDY}$ 会变低。

9.5.2.1. 芯片选择($\overline{CS}$)

$\overline{CS}$ 引脚激活 SPI 通信。 $\overline{CS}$ 在数据事务处理之前必须为低电平，并且必须在整个 SPI 通信期间保持低电平。当 $\overline{CS}$ 为高电平时，DOUT 引脚进入高阻状态。因此，对串行接口的读取和写入被忽略并且串行接口被复位。 $\overline{DRDY}$ 引脚操作独立于 $\overline{CS}$ 。 $\overline{DRDY}$ 仍然指示新的转换已经完成并且作为对 SCLK 的响应被强制为高电平，即使 $\overline{CS}$ 为高电平。

将 $\overline{CS}$ 设为高电平仅停用与器件的 SPI 通信，并复位串行接口。数据转换继续进行，并且可以监视 $\overline{DRDY}$ 信号以检查新的转换结果是否准备就绪。监控 $\overline{DRDY}$ 信号的主设备可以通过将 $\overline{CS}$ 引脚拉低来选择合适的从设备。串行通信完成后，始终等待四个或更多个 t_{CLK} 周期，然后将 CS 变为高电平。

9.5.2.2. 串行时钟(SCLK)

SCLK 为串行通信提供时钟。SCLK 是施密特触发输入，尽可能保持 SCLK 无噪声，以防止毛刺无意中移位数据。在 SCLK 的下降沿数据移至 DIN，在 SCLK 的上升沿移出 DOUT。因此，主控端发出的数据需在 SCLK 下降沿保持稳定，建议在 SCLK 的上升沿改变输入数据电平，在 SCLK 的下降沿读取 DOUT 输出的数据。

SCLK 的最大限制如图 1. 所示。当主控发送 SPI 命令时，请确保向设备发出完整的 SCLK。如果不这样做，可能会导致设备串行接口处于未知状态，可将 $\overline{CS}$ 拉高以复位串行接口。

对于单个器件，SCLK 所需的最低速度取决于通道数、分辨率位数和输出数据速率。（对于多个级联设备，请参阅多设备配置部分的级联模式小节。）

例如，如果 LHE7909-8 用于 500-SPS 模式（8 通道，24 位分辨率），则最低 SCLK 速度为 110kHz。

数据检索可以通过将设备置于 RDATA 模式或根据需要发出数据的 RDATA 命令来完成。公式 9 中的 SCLK 速率限制适用于 RDATA。对于 RDATA 命令，如果必须在两个连续的 DRDY 信号之间读取数据，则限制适用。公式 9 假设在数据捕获之间没有发出其他命令。

$$t_{\text{SCLK}} < \frac{t_{\text{DR}} - 4 t_{\text{CLK}}}{N_{\text{BITS}} \times N_{\text{CHANNELS}} + 24} \quad (9)$$

9.5.2.3. 数据输入(DIN)

DIN 与 SCLK 一起用于向设备发送数据。DIN 上的数据在 SCLK 的下降沿移入器件。

该设备的通信本质上是全双工的。即使数据被移出，该设备也会监视移入的命令。当发送命令时，输出移位寄存器中的数据被移出。因此，在移出数据时，请确保 DIN 引脚上发送的任何内容都是有效的。当读出数据时没有命令要发送到设备时，在 DIN 上发送 NOP 命令。在 DIN 上发送多字节命令时，确保满足 t_{SDECODE} 时序要求。

9.5.2.4. 数据输出(DOUT)

DOUT 与 SCLK 一起用于从器件读取转换结果和寄存器数据。数据在 SCLK 的上升沿输出，最先输出 MSB 位。当 CS 为高电平时，DOUT 进入高阻抗状态。下图显示了 LHE7909 数据输出协议。

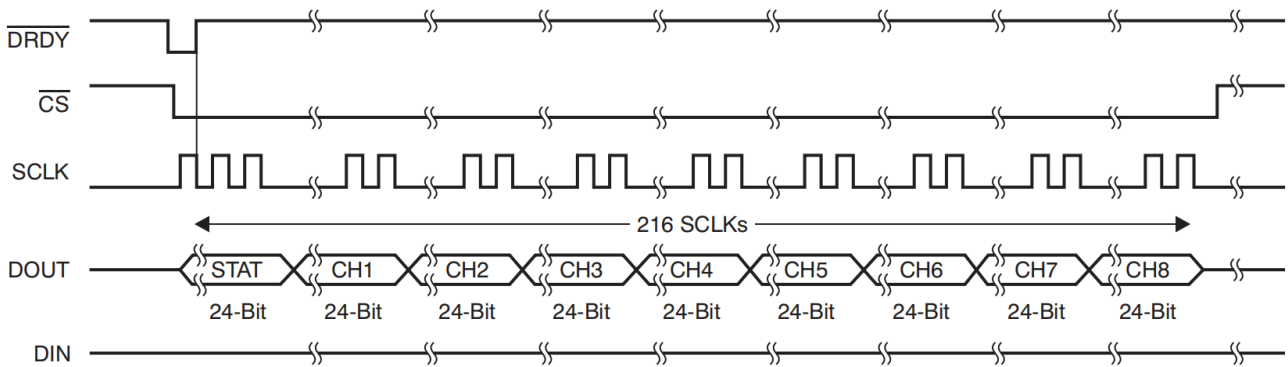


图33. SPI 总线数据输出

9.5.3. SPI 命令定义

LHE7909 提供灵活的配置控制。下表中总结的命令控制和配置设备操作。这些命令是单字节的，除了寄存器读写操作需要第二个命令字节加上数据。CS 可以在命令之间保持高电平或低电平，但对于整个命令操作（特别是对于多字节命令）必须保持低电平。系统命令和数据读取命令由器件在第七个 SCLK 下降沿解码。寄存器读写命令在第八 SCLK 下降沿进行解码。发出命令后将 CS 拉高时，请务必遵循 SPI 时序要求。

表18. 命令定义

命令	说明	第一个字节	第二个字节	第三个字节
系统命令				
WAKEUP	从待机模式唤醒	0000 0010 (02h)	—	—
STANDBY	进入待机模式	0000 0100 (04h)	—	—
RESET	复位器件	0000 0110 (06h)	—	—
START	启动/重新启动（同步）转换	0000 1000 (08h)	—	—
STOP	停止转换	0000 1010 (0Ah)	—	—
OFFSET_CAL	Offset 自动校准命令	0001 1010 (1Ah)	—	—
SLEEP	关闭 OSC clk 和 XOSC clk，进入睡眠	0001 1101 (1Dh)	—	—
SLEEP_EXIT	打开 OSC clk 和 XTAL clk，退出睡眠	0001 1110 (1Eh)	—	—

数据读取命令				
RDATA	启用连续读取数据模式。	0001 0000 (10h)	—	—
	该模式是上电时的默认模式。 ⁽¹⁾			—
SDATA	停止连续读取数据模式	0001 0001 (11h)	—	—
RDATA	通过命令读取数据；支持多个读回。	0001 0010 (12h)	—	—
寄存器读取命令				
RREG	从地址 r rrrr 开始读取 n nnnn 寄存器	001r rrrr (2xh) ⁽²⁾	000n nnnn ⁽²⁾	—
WREG	从地址 r rrrr 开始写入 n nnnn 寄存器	010r rrrr (4xh) ⁽²⁾	000n nnnn ⁽²⁾	—
RTREG	读地址 {r_rrrr,nnnn_nnnn}寄存器内容	100r rrrr	nnnn_nnnn	0000_0000
WTREG	从地址 r rrrr 开始写入 n nnnn 寄存器	010r rrrr (4xh)	nnnn_nnnn	0000_0000

(1) 当处于 RDATA 模式时，RREG 命令将被忽略。

(2) nnnnn=要读取或写入的寄存器数-1。例如，要读取或写入三个寄存器，请设置 nnnnn=0(0010)。rrrrr=读取或写入命令的起始寄存器地址。

9.5.3.1. 发送多字节命令

LHE7909 串行接口以字节为单位解码命令，解码和执行需要 $4t_{CLK}$ 周期。因此，当发送多字节命令（例如 RREG 或 WREG）时， $4t_{CLK}$ 周期必须将一个字节（或命令）的末尾与下一个字节分开。

假设 CLK 为 2.048Mhz，则 $t_{SDECODE}(4t_{CLK})$ 为 1.96 μ s。当 SCLK 为 16MHz 时，可以在 500ns 内传输一个字节。此字节传输时间不符合 $t_{SDECODE}$ 规范；因此，必须插入延迟，以便第二个字节的末尾在 1.46 μ s 后到达。如果 SCLK 为 4MHz，则在 2 μ s 内传输一个字节。因为此传输时间超过 $t_{SDECODE}$ 规范，处理器可以无延迟地发送后续字节。在后面的场景中，可以对串行端口进行编程，使其从每个周期的单字节传输移动到多个字节。

9.5.3.2. 唤醒:退出待机模式

唤醒命令退出低功耗待机模式；请参阅 SPI 命令定义部分的待机:进入待机模式小节。退出待机模式时需要时间（详情请参阅电气特性）。此命令没有 SCLK 速率限制，可以随时发出。任何后续命令必须在延迟 $4t_{CLK}$ 周期后发送。

9.5.3.3. 待机:进入待机模式

待机命令进入低功耗待机模式。电路的所有部分都关闭，除了参考部分。电特性中规定了待机模式功耗。此命令没有 SCLK 速率限制，可以随时发出。在设备进入待机模式后，不要发送唤醒命令以外的任何其他命令。

9.5.3.4. RESET:将寄存器重置为默认值

RESET 命令复位数字滤波器周期并将所有寄存器设置返回到默认值。有关更多详细信息，请参阅 SPI 接口部分的复位(RESET)小节。此命令没有 SCLK 速率限制，可以随时发出。执行复位命令需要 18 个 TCLK 周期，避免在此期间发送任何命令。

9.5.3.5. START:开始转换

START 命令启动数据转换。将 START 引脚连接到低电平，通过命令控制转换。如果正在进行转换，则此命令不起作用。STOP 命令停止转换。如果 START 命令紧接着是 STOP 命令，那么它们之间必须有 $4-t_{CLK}$ 周期延迟。当 START 命令发送到设备时，保持 START 引脚为低电平，直到发出 STOP 命令。（有关更多详细信息，请参阅 SPI 接口部分的开始小节。）此命令没有 SCLK 速率限制，可以随时发出。

9.5.3.6. STOP:停止转换

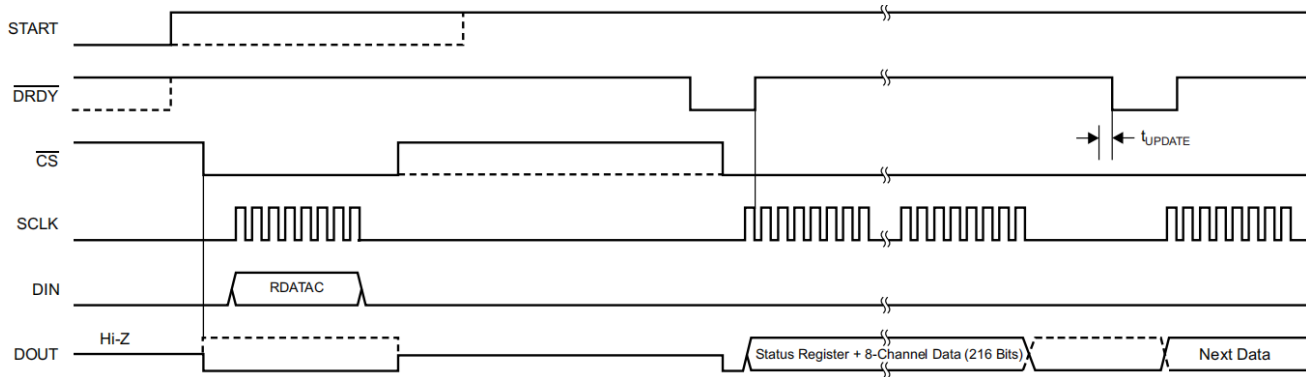
STOP 命令停止转换。需将 START 引脚连接到低电平，才能通过命令停止转换。发送停止命令时，正在进行的转换完成并停止进一步的转换。如果转换已停止，则此命令不起作用。此命令没有 SCLK 速率限制，可以随时发出。

9.5.3.7. RDATA:连续读取数据命令

RDATA 命令可在每个 DRDY 上实现转换数据输出，而无需发出读取数据命令。这种模式将转换数据放在输出寄存器中，可以直接移出。连续读取数据模式是设备默认模式；设备在上电时默认为该模式。

RDATA 模式通过停止连续读取命令而取消。如果设备处于 RDATA 模式，则必须先发出 SDATA 命令，之后才能将任何其他命令发送到设备。此命令没有 SCLK 速率限制。但是，后续转换结果数据读取 SCLKs 或 SDATA 命令应在完成前至少等待 $4t_{CLK}$ 周期（请参阅发送多字节命令部分）。RDATA 时序如下图所示。如下图所示，在

DRDY 脉冲的下降沿前有一个时间为 4 倍 t_{CLK} 周期的禁区，该区不能发出此命令。如果没有从设备中检索到数据，则 DOUT 和 DRDY 在此模式下的行为类似。若要在发出 RDATA 命令后从设备检索数据，请确保 START 引脚为高电平或发出 START 命令。下图显示了使用 RDATA 命令的推荐方式。RDATA 非常适合数据记录器或记录仪等应用，其中寄存器设置一次，不需要重新配置。



(1) $t_{UPDATE} = 4 / f_{CLK}$ 。在此期间不要读取数据。

图34. RDATA 用法

9.5.3.8. SDATA:停止连续读取数据

SDATA 命令取消读取数据连续模式。此命令没有 SCLK 速率限制，但下一个命令必须等待 $4t_{CLK}$ 周期才能完成。

9.5.3.9. RDATA:读取数据

RDATA 命令用于不处于连续读取数据模式时将最新数据加载到输出移位寄存器。在 DRDY 变为低电平后发出此命令以读取转换结果。此命令没有 SCLK 速率限制，并且后续命令或数据读取 SCLK 不需要等待时间。若要在发出 RDATA 命令后从设备中检索数据，请确保 START 引脚为高电平或发出 START 命令。当使用 RDATA 命令读取数据时，读取操作可以与下一个 DRDY 发生重叠，而不会发生数据损坏。下图显示了使用 RDATA 命令的推荐方法。RDATA 最适合 ECG 和 EEG 型系统，其中寄存器设置必须在转换周期之间经常读取或更改。

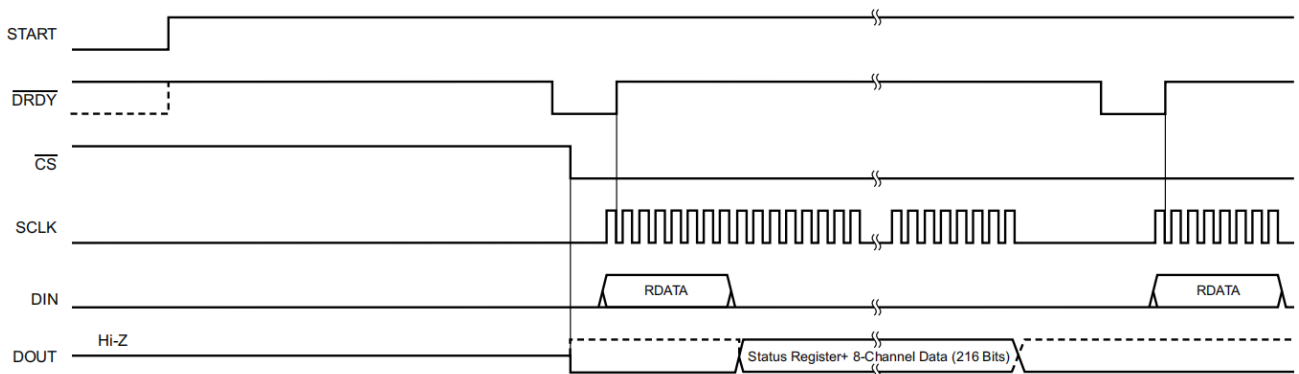


图35. RDATA 用法

9.5.3.10. RREG:从寄存器读取

此命令读取寄存器数据。寄存器读取命令是一个两字节命令，后跟寄存器数据输出。第一个字节包含命令和寄存器地址。第二个命令字节指定要读的寄存器数减一。

第一个命令字节:001rrrrr，其中 rrrrr 是起始寄存器地址。

第二个命令字节:000nnnnn，其中 nnnnn 是要读取的寄存器数-1。

操作的第 17 个 SCLK 上升沿将第一个寄存器的 MSB 计时，如下图所示。当设备处于读取数据连续模式时，必须先发出 SDATAC 命令，然后才能发出 RREG 命令。RREG 命令可以随时发出。但是，由于此命令是多字节命令，因此存在 SCLK 速率限制，具体取决于发出 SCLK 的方式以满足 $t_{SDECODE}$ 时序。有关更多详细信息，请参阅 SPI 接口部分的串行时钟(SCLK)小节。请注意，整个命令的CS必须为低电平。

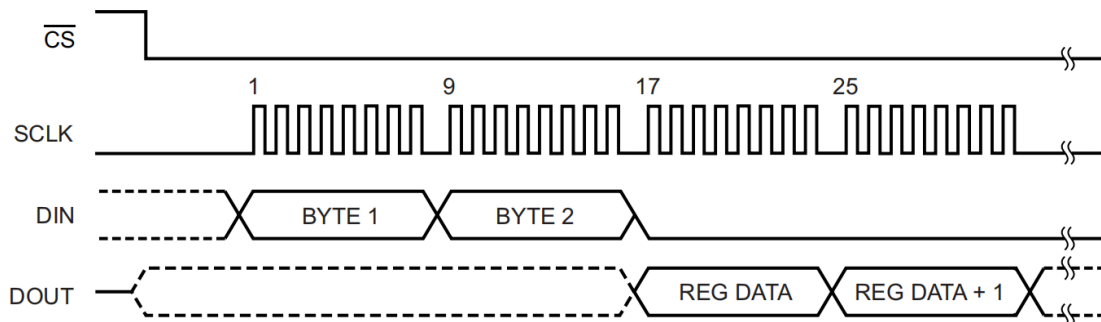


图36. RREG 命令示例:从寄存器地址 00h (ID 寄存器) 开始读取两个寄存器

9.5.3.11. WREG:写信寄存器

此命令写入寄存器数据。寄存器写命令是一个两字节命令，后跟寄存器数据输入。第一个字节包含命令和寄存器地址。第二个命令字节指定要写的寄存器数目减一。

第一个命令字节:010rrrrr，其中 rrrrr 是起始寄存器地址。

第二个命令字节:000nnnnn，其中 nnnnn 是写入 1 的寄存器数。

在命令字节之后，寄存器数据跟随 (MSB-first 格式)，如下图所示。WREG 命令可以随时发出。但是，由于此命令是多字节命令，因此存在 SCLK 速率限制，具体取决于发出 SCLK 的方式以满足 $t_{SDECODE}$ 时序。有关更多详细信息，请参阅 SPI 接口部分的串行时钟(SCLK)小节。请注意，整个命令的CS必须为低电平。

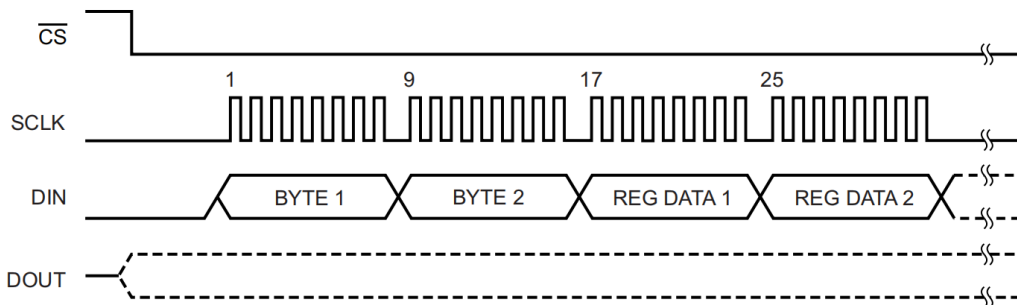


图37. WREG 命令示例:从 00h 开始写入两个寄存器 (ID 寄存器)

9.5.3.12. RTREG:从高地址寄存器读取

命令格式类似于 RREG。其中 OPCODE1(100r_rrrr)，OPCODE2(aaaa_aaaa)指定了要读取的地址{r_rrrr, aaaa_aa aa}，寻址位宽 13 位，寻址区间:'d0~'d8191。OPCODE3(nnnn_nnnn)指定了读取的寄存器数量-1，最大连续读取 256 个。

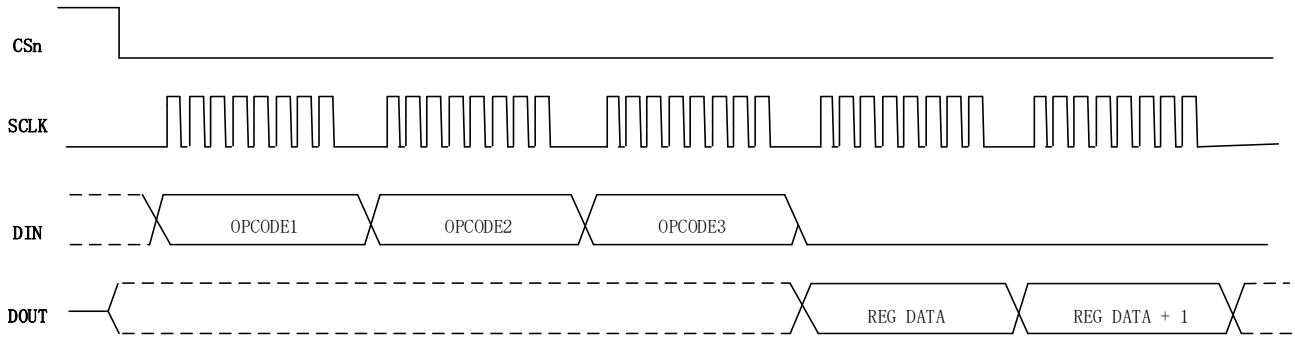


图38. 寄存器读取

9.5.3.13. WTREG:高地址寄存器写入

WTREG 命令用于测试时写寄存器。命令格式类似于 WREG, PCODE1(101r_rrrr), OPCODE2(aaaa_aaaa)指定了要写入的地址{r_rrrr, aaaa_aaaa}, 寻址位宽 13 位, 寻址区间:d0~d8191。OPCODE3(nnnn_nnnn)指定了写入的寄存器数量-1, 最大连续写入 256 个。

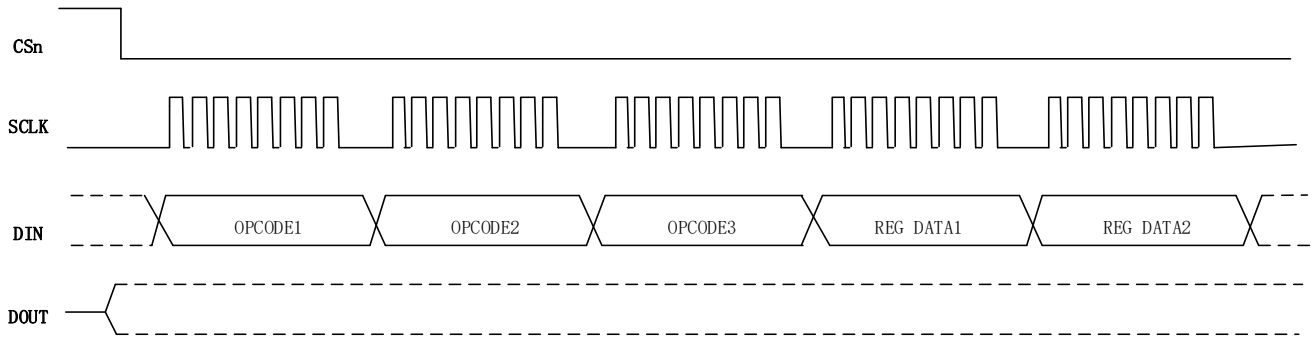


图39. 寄存器写入

9.6. 寄存器列表

下表描述了各种 LHE7909-x 寄存器。

表19. 寄存器分配

ADDRESS	REGISTER	默认设置	寄存器位							
			7	6	5	4	3	2	1	0
只读 ID 寄存器										
00h	ID	xxh	DEV_ID[2:0]			1	REV_ID[1:0]		NU_CH[1:0]	
跨渠道的全局设置										
01h	CONFIG1	16h	0	DAISY_EN	CLK_EN	1	0	DR[2:0]		
02h	CONFIG2	C8h	1	1	0	INT_CAL	1	CAL_AMP0	CAL_FREQ[1:0]	
03h	CONFIG3	00h	PD_REFBUF	ILEAD_EN	VREF_4V	BIAS_MEAS	BIASREF_INT	PD_BIAS	BIAS_LOFF_SENS	BIAS_STAT
04h	LOFF	00h	COMP_TH[2:0]			0	ILEAD_OFF[1:0]		FLEAD_OFF[1:0]	
Channel-Specific Settings										
05h	CH1SET	00h	PD1	GAIN1[2:0]			0	MUX1[2:0]		
06h	CH2SET	00h	PD2	GAIN2[2:0]			0	MUX2[2:0]		
07h	CH3SET	00h	PD3	GAIN3[2:0]			0	MUX3[2:0]		
08h	CH4SET	00h	PD4	GAIN4[2:0]			0	MUX4[2:0]		
09h	CH5SET ⁽¹⁾	00h	PD5	GAIN5[2:0]			0	MUX5[2:0]		
0Ah	CH6SET (1)	00h	PD6	GAIN6[2:0]			0	MUX6[2:0]		
0Bh	CH7SET ⁽²⁾	00h	PD7	GAIN7[2:0]			0	MUX7[2:0]		
0Ch	CH8SET ⁽²⁾	00h	PD8	GAIN8[2:0]			0	MUX8[2:0]		
0Dh	BIAS_SENSP	00h	BIASP8 ⁽²⁾	BIASP7 ⁽²⁾	BIASP6 ⁽¹⁾	BIASP5 ⁽¹⁾	BIASP4	BIASP3	BIASP2	BIASP1

ADDRESS	REGISTER	默认设置	寄存器位							
			7	6	5	4	3	2	1	0
0Eh	BIAS_SENSN	00h	BIASN8 ⁽²⁾	BIASN7 ⁽²⁾	BIASN6 ⁽¹⁾	BIASN5 ⁽¹⁾	BIASN4	BIASN3	BIASN2	BIASN1
0Fh	LOFF_SENSP	00h	LOFFP8 ⁽²⁾	LOFFP7 ⁽²⁾	LOFFP6 ⁽¹⁾	LOFFP5 ⁽¹⁾	LOFFP4	LOFFP3	LOFFP2	LOFFP1
10h	LOFF_SENSN	00h	LOFFM8 ⁽²⁾	LOFFM7 ⁽²⁾	LOFFM6 ⁽¹⁾	LOFFM5 ⁽¹⁾	LOFFM4	LOFFM3	LOFFM2	LOFFM1
11h	LOFF_FLIP	00h	LOFF_FLIP8 ⁽²⁾	LOFF_FLIP7 ⁽²⁾	LOFF_FLIP6 ⁽¹⁾	LOFF_FLIP5 ⁽¹⁾	LOFF_FLIP4	LOFF_FLIP3	LOFF_FLIP2	LOFF_FLIP1
导联状态寄存器（只读寄存器）										
12h	LOFF_STATP	00h	IN8P_OFF	IN7P_OFF	IN6P_OFF	IN5P_OFF	IN4P_OFF	IN3P_OFF	IN2P_OFF	IN1P_OFF
13h	LOFF_STATN	00h	IN8M_OFF	IN7M_OFF	IN6M_OFF	IN5M_OFF	IN4M_OFF	IN3M_OFF	IN2M_OFF	IN1M_OFF
GPIO 和其他寄存器										
14h	GPIO	0Fh		GPIOD[4:1]					GPIOC[4:1]	
15h	MISC1	00h	0	0	0	0	0	0	0	0
16h	MISC2	00h	0	0	0	0	0	0	0	0
17h	CONFIG4	01h	0	0	0	0	SINGLE_SHOT	0	PD_LOFF_ COMP	1
高地址寄存器										
82h	LOFF_CFG	04h	0	0	0	0	0	1	ILEAD_BST_EN	0
83h	LOFF_FREQ	00h	0	0	0	0	0	AC_FREQ[2:0]		
182h	USERKEY	00h	0	0	0	0	0	0	0	0

(1) 寄存器或位仅在 LHE7909-6 和 LHE7909-8 中可用。LHE7909-4 中的寄存器位设置为 0h 或 00h。

(2) 寄存器或位仅在 LHE7909-8 中可用。LHE7909-4 和 LHE7909-6 中的寄存器位设置为 0h 或 00h。

9.6.1. 用户寄存器描述

只读 ID 控制寄存器在器件制造期间被编程以指示器件。

9.6.1.1. ID:ID 控制寄存器（地址=00h）（复位=XXh）

7	6	5	4	3	2	1	0
DEV_ID[2:0]			0	REV_ID[1:0]		NU_CH[1:0]	
R-5h			R-0h	R-0h		R-xh	

图例:RW=ReadWrite; R=Readonly; -n=复位后的值

表20. ID 控制寄存器字段描述

Bit	Field	Type	Reset	Description
7:5	DEV_ID[2:0]	R	5h	101: LHE 7909 part
4	Reserved	R	0h	总是读0
3:2	REV_ID[1:0]	R	0h	版本标识
1:0	NU_CH[1:0]	R	xh	通道数。 这些位指示信道数。 00:8通道 LHE7909-8 01:6 通道 LHE7909-6 10:4 通道 LHE7909-4

9.6.1.2. CONFIG1:配置寄存器 1（地址=01h）（复位=16h）

该寄存器配置DAISY_EN位、时钟和数据速率。

7	6	5	4	3	2	1	0
0	DAISY_EN	CLK_EN	1	0	DR[2:0]		
R/W-0h	R/W-0h	R/W-0h	R-1h	R-0h	R/W-6h		

图例:RW=ReadWrite; R=Readonly; -n=复位后的值

表21. 配置寄存器 1 字段描述

Bit	Field	Type	Reset	DescriptIO n
7	Reserved	R/W	0h	只读寄存器
6	DAISY_EN	R/W	0h	菊花链或多重回读模式此位决定启用哪种模式。 0:菊花链模式 1:多重回读模式
5	CLK_EN	R/W	0h	该位确定当 CLKSEL 引脚=1 时内部振荡器信号是否连接到 CLK 引脚。 0:振荡器时钟输出禁用 1:振荡器时钟输出启用
4	Reserved	R	1h	只读寄存器位
3	Reserved	R	0	只读寄存器位
2:0	DR[2:0]	R/W	6h	输出数据速率 000:16 K 001:8K 010:4K 011:2K 100:1K 101:500 110:250 111:32K

(1) 驱动外部设备时消耗额外的功率。

9.6.1.3. CONFIG2:配置寄存器 2 (地址=02h) (复位=C8h)

该寄存器配置测试信号生成。有关更多详细信息，请参阅输入多路复用器部分。

7	6	5	4	3	2	1	0
1	1	0	INT_CAL	1	CAL_AMP	CAL_FREQ[1:0]	
R-1h	R-1h	R-0h	R/W-0h	R-1h	R/W-0h	R/W-0h	

图例:RW=ReadWrite; R=Readonly; -n=复位后的值

表22. 配置寄存器 2 字段描述

Bit	Field	Type	Reset	DescriptIO n
7:5	Reserved	R	6h	总是写6h
4	INT_CAL	R/W	0h	测试来源 该位确定测试信号的源。 0:测试信号由外部驱动 1:测试信号由内部产生
3	Reserved	R	1h	总是写1h
2	CAL_AMP	R/W	0h	测试信号幅度 这些位确定校准信号幅度。 0:1× - (VREFP-VREFN) / 1000 1:2× - (VREFP-VREFN) / 1000
1:0	CAL_FREQ[1:0]	R/W	0h	测试信号频率这些位确定校准信号频率。 00:脉冲频率 $f_{clk}/2^{21}$ 01:脉冲频率 $f_{clk}/2^{20}$ 10:保留使用 11:直流

9.6.1.4. CONFIG3:配置寄存器 3 (地址=03h) (复位=00h)

配置寄存器 3 配置内部或外部基准和偏置操作。

7	6	5	4	3	2	1	0
PD_REFBUF	ILEAD_EN	VREF_4V	BIAS_MEAS	BIASREF_INT	PD_BIAS	BIAS_LOFF_SENS	BIAS_STAT
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-6h	R/W-0h	R/W-0h

图例:RW=ReadWrite; R=Readonly; -n=复位后的值

表23. 配置寄存器 3 字段描述

Bit	Field	Type	Reset	DescriptIO n
7	PD_REFBUF	R/W	0h	掉电参考缓冲器 该位确定掉电参考缓冲器状态。 0:掉电内部基准缓冲器 1:启用内部基准缓冲器
6	ILEAD_EN	R/W	0h	是否开启 ILEADOFF 大电流

Bit	Field	Type	Reset	Description
				0:关闭 1:开启
5	VREF_4V	R/W	0h	基准电压 该位决定基准电压 VREFP。 0= VREFP 设置为 2.4V 1= VREFP 设置为 4V (仅与 5V 模拟电源配合使用)
4	BIAS_MEAS	R/W	0h	偏置测量 该位使能偏置测量。偏置信号可以用任何通道测量。 0:BIAS_IN信号与PGA断开 1:BIAS_IN信号被路由到MUX=010的通道
3	BIASREF_INT	R/W	0h	该位确定BIASREF信号源。 0:外部馈入的BIASREF信号 1:内部产生的BIASREF信号(AVDD+AVSS)/2
2	PD_BIAS	R/W	0h	偏置缓冲器使用位 0:偏置缓冲器掉电 1:偏置缓冲器使能
1	BIAS_LOFF_SENS	R/W	0h	偏置检测功能 该位启用偏置检测功能。 0:偏置感应被禁用 1:偏置感应启用
0	BIAS_STAT	R	0h	偏置导联状态此位确定偏置状态。 0:偏置已连接 1:偏置未连接

9.6.1.5. LOFF:导联截止控制寄存器 (地址=04h) (复位=00h)

导联断开控制寄存器配置导联断开检测操作。

7	6	5	4	3	2	1	0
COMP_TH2[2:0]			0	ILEAD_OFF[1:0]		FLEAD_OFF[1:0]	
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

图例:RW=ReadWrite; R=Readonly; -n=复位后的值

表24. 导联控制寄存器字段描述

Bit	Field	Type	Reset	Description
7:5	COMP_TH[2:0]	R/W	0h	导联脱落比较器阈值 比较器正极侧 000= 95% 001= 92.5% 010= 90% 011= 87.5% 100= 85% 101= 80% 110= 75% 111= 70% 比较器负极侧 000= 5% 001= 7.5% 010= 10% 011= 12.5% 100= 15% 101= 20% 110= 25% 111= 30%
4	Reserved	R/W	0h	总是写0h
3:2	ILEAD_OFF[1:0]	R/W	0h	导联脱落电流幅度 这些位决定当前导联脱落模式的电流幅度。 当 LOFF_CFG.ILOFF_BST_EN 位为 0 时: 00 = 0.0nA(CONFIG3.ILEAD_EN=0) 10.0nA(CONFIG3.ILEAD_EN=1) 01 = 2.5nA(CONFIG3.ILEAD_EN=0) 12.5nA(CONFIG3.ILEAD_EN=1) 10 = 5.0nA(CONFIG3.ILEAD_EN=0) 15.0nA(CONFIG3.ILEAD_EN=1) 11 = 7.5nA(CONFIG3.ILEAD_EN=0) 17.5nA(CONFIG3.ILEAD_EN=1) 当 LOFF_CFG.ILOFF_BST_EN 位为 1 时: 00 = 0.0nA(CONFIG3.ILEAD_EN=0) 40.0nA(CONFIG3.ILEAD_EN=1)

Bit	Field	Type	Reset	Description
				01 = 10.0nA(CONFIG3.ILEAD_EN=0) 50.0nA(CONFIG3.ILEAD_EN=1) 10 = 20.0nA(CONFIG3.ILEAD_EN=0) 60.0nA(CONFIG3.ILEAD_EN=1) 11 = 30.0nA(CONFIG3.ILEAD_EN=0) 70.0nA(CONFIG3.ILEAD_EN=1)
1:0	FLEAD_OFF[1:0]	R/W	0h	导联脱落频率 这些位决定每个通道的导联脱落检测的频率。 00 = 当 LOFF_SENSP 或 LOFF_SENSN 寄存器的任何位打开时, 确保 FLEAD[1:0] 设置为 01 或 11 01 = 以 LOFF_FREQ (复位为 500Hz) 设置 的频率执行交流导联脱落检测 10 = not use 11 = 直流导联脱落检测打开

9.6.1.6. CHnSET:个别通道设置(n=1 至 8)(地址=05h 至 0Ch)(复位=00h)

CH[1:8]SET 控制寄存器配置功率模式、PGA 增益和多路复用器设置通道。有关详细信息, 请参阅输入多路复用器部分。CH[2:8]SET 类似于 CH1SET, 对应于各自的通道。

7	6	5	4	3	2	1	0
PDn	GAINn[2:0]			保留	MUXn[2:0]		
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

图例:RW=ReadWrite; R=Readonly; -n=复位后的值

表25. 单个通道设置 (n=1 到 8) 字段描述

Bit	Field	Type	Reset	Description
7	PDn	R/W	0h	该位确定用于相应信道的信道功率模式。 0:正常操作 1:通道掉电。 关断通道时, LHE建议通过设置CHnSET寄存器的适当MUXn[2:0]=001将通道设置为输入short。
6:4	GAINn[2:0]	R/W	0h	PGA增益 000= 6 001= 1 010= 2 011= 3 100= 4 101= 8 110= 12 111 =24
3	Reserved	R/W	0h	总写0h
2:0	MUXn[2:0]	R/W	0h	通道输入。 这些位确定信道输入选择。 000:正常电极输入 001:输入短路 (用于偏移或噪声测量) 010:与BIAS_MEAS位配合使用, 用于测量偏置。 011:测量MVDD 100:温度传感器 101:测试信号 110:BIAS_DRP(正极为偏置) 111:BIAS_DRN(负极为偏置)

9.6.1.7. BIAS_SENSP:通道 P 端连接偏置驱动控制寄存器 (地址=0Dh) (复位=00h)

该寄存器控制选择哪个通道的 P 端连接到偏置电压(BIAS)运放的输入。有关详细信息, 请参阅偏置驱动 (直流偏置电路) 部分。

寄存器位[5:4]不适用于 LHE7909-4。寄存器位[7:6]不可用于 LHE7909-4, 或 LHE7909-6。在写入寄存器时, 将相关设备的不可用位设置为 0。

7	6	5	4	3	2	1	0
BIASP8	BIASP7	BIASP6	BIASP5	BIASP4	BIASP3	BIASP2	BIASP1
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

图例:RW=ReadWrite; R=Readonly; -n=复位后的值

表26. 偏置正信号推导字段描述

Bit	Field	Type	Reset	DescriptIOn
7	BIASP8	R/W	0h	IN8P连接到偏置驱动 0:禁用 1:启用
6	BIASP7	R/W	0h	IN7P连接到偏置驱动 0:禁用 1:启用
5	BIASP6	R/W	0h	IN6P连接到偏置驱动 0:禁用 1:启用
4	BIASP5	R/W	0h	IN5P连接到偏置驱动 0:禁用 1:启用
3	BIASP4	R/W	0h	IN4P连接到偏置驱动 0:禁用 1:启用
2	BIASP3	R/W	0h	IN3P连接到偏置驱动 0:禁用 1:启用
1	BIASP2	R/W	0h	IN2P连接到偏置驱动 0:禁用 1:启用
0	BIASP1	R/W	0h	IN1P连接到偏置驱动 0:禁用 1:启用

9.6.1.8. BIAS_SENSN: 通道 N 端连接偏置驱动控制寄存器（地址=0Eh）（复位=00h）

该寄存器控制选择哪个通道的 N 端连接到偏置电压(BIAS)运放的输入。有关详细信息，请参阅偏置驱动（直流偏置电路）部分。

寄存器位[5:4]不适用于 LHE7909-4。寄存器位[7:6]不可用于 LHE7909-4，或 LHE7909-6。在写入寄存器时，将相关设备的不可用位设置为 0。

7	6	5	4	3	2	1	0
BIASN8	BIASN7	BIASN6	BIASN5	BIASN4	BIASN3	BIASN2	BIASN1
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

图例:RW=ReadWrite; R=Readonly; -n=复位后的值

表27. 偏置负信号推导字段描述

Bit	Field	Type	Reset	DescriptIOn
7	BIASN8	R/W	0h	IN8N连接到偏置驱动 0:禁用 1:启用
6	BIASN7	R/W	0h	IN7N连接到偏置驱动 0:禁用 1:启用
5	BIASN6	R/W	0h	IN6N连接到偏置驱动 0:禁用 1:启用
4	BIASN5	R/W	0h	IN5 N连接到偏置驱动 0:禁用 1:启用
3	BIASN4	R/W	0h	IN4N连接到偏置驱动 0:禁用 1:启用
2	BIASN3	R/W	0h	IN3N连接到偏置驱动 0:禁用 1:启用
1	BIASN2	R/W	0h	IN2N连接到偏置驱动 0:禁用 1:启用
0	BIASN1	R/W	0h	IN1N连接到偏置驱动 0:禁用 1:启用

9.6.1.9. LOFF_SENSP: 通道 P 端导联脱落检测控制寄存器(地址=0Fh)(复位=00h)

该寄存器选择通道的 P 端是否进行导联脱落检测。有关详细信息，请参阅导联脱落检测部分。只有当相应的 LOFF_SENSP 位设置为 1 时，对应的 LOFF_STATP 寄存器位才有效。

寄存器位[5:4]不适用于 LHE7909-4。寄存器位[7:6]不可用于 LHE7909-4，或 LHE7909-6。在写入寄存器时，将相关设备的不可用位设置为 0。

7	6	5	4	3	2	1	0
LOFFP8	LOFFP7	LOFFP6	LOFFP5	LOFFP4	LOFFP3	LOFFP2	LOFFP1
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

图例:RW=ReadWrite; R=Readonly; -n=复位后的值

表28. 正信号导联脱落检测描述

Bit	Field	Type	Reset	Description
7	LOFFP8	R/W	0h	IN8P是否进行导联脱落检测 0:禁止 1:使能
6	LOFFP7	R/W	0h	IN7P是否进行导联脱落检测 0:禁止 1:使能
5	LOFFP6	R/W	0h	IN6P是否进行导联脱落检测 0:禁止 1:使能
4	LOFFP5	R/W	0h	IN5P是否进行导联脱落检测 0:禁止 1:使能
3	LOFFP4	R/W	0h	IN4P是否进行导联脱落检测 0:禁止 1:使能
2	LOFFP3	R/W	0h	IN3P是否进行导联脱落检测 0:禁止 1:使能
1	LOFFP2	R/W	0h	IN2P是否进行导联脱落检测 0:禁止 1:使能
0	LOFFP1	R/W	0h	IN1P是否进行导联脱落检测 0:禁止 1:使能

9.6.1.10. LOFF_SENSN:通道 N 端导联脱落检测控制寄存器(address=10h)(reset=00h)

该寄存器选择通道的 N 端是否进行导联脱落检测。。有关详细信息，请参阅导联脱落检测部分。只有当相应的 LOFFSENSN 位设置为 1 时，LOFF_STATN 寄存器位才有效。

寄存器位[5:4]不适用于 LHE7909-4。寄存器位[7:6]不可用于 LHE7909-4，或 LHE7909-6。在写入寄存器时，将相关设备的不可用位设置为 0。

7	6	5	4	3	2	1	0
LOFFM8	LOFFM7	LOFFM6	LOFFM5	LOFFM4	LOFFM3	LOFFM2	LOFFM1
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

图例:RW=ReadWrite; R=Readonly; -n=复位后的值

表29. 负信号端导联脱落描述

Bit	Field	Type	Reset	Description
7	LOFFM8	R/W	0h	IN8N是否进行导联脱落检测 0:禁止 1:使能
6	LOFFM7	R/W	0h	IN7N是否进行导联脱落检测 0:禁止 1:使能
5	LOFFM6	R/W	0h	IN6N是否进行导联脱落检测 0:禁止 1:使能
4	LOFFM5	R/W	0h	IN5N是否进行导联脱落检测 0:禁止

Bit	Field	Type	Reset	DescriptIOn
				1:使能
3	LOFFM4	R/W	0h	IN4N是否进行导联脱落检测 0:禁止 1:使能
2	LOFFM3	R/W	0h	IN3N是否进行导联脱落检测 0:禁止 1:使能
1	LOFFM2	R/W	0h	IN2N是否进行导联脱落检测 0:禁止 1:使能
0	LOFFM1	R/W	0h	IN1N是否进行导联脱落检测 0:禁止 1:使能

9.6.1.11. LOFF_FLIP 导联脱落检测翻转寄存器 (地址=11h) (复位=00h)

该寄存器控制导联脱落电流方向。有关详细信息，请参阅导联脱落检测部分。

7	6	5	4	3	2	1	0
LOFF_FLIP8	LOFF_FLIP7	LOFF_FLIP6	LOFF_FLIP5	LOFF_FLIP4	LOFF_FLIP3	LOFF_FLIP2	LOFF_FLIP1
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

图例:RW=ReadWrite; R=Readonly; -n=复位后的值

表30. 导联翻转寄存器字段描述

Bit	Field	Type	Reset	DescriptIOn
7	LOFF_FLIP 8	R/W	0h	通道8LOFF极性翻转 翻转通道8上的电流源的上拉或下拉极性以进行导联脱落检测。 0:不翻转 IN8P拉到AVDD和IN8N拉到AVSS 1:翻转IN8P拉到AVSS和IN8N拉到AVDD
6	LOFF_FLIP 7	R/W	0h	通道7LOFF极性翻转 翻转通道7上电流源的上拉或下拉极性，以进行导联脱落检测。 0:不翻转IN7P拉到AVDD和IN7N拉到AVSS 1:翻转IN7P拉到AVSS和IN7N拉到AVDD
5	LOFF_FLIP 6	R/W	0h	通道6LOFF极性翻转 翻转通道6上电流源的上拉或下拉极性，以进行导联脱落检测。 0:不翻转IN6P拉到AVDD和IN6N拉到AVSS 1:翻转IN6P拉到AVSS和IN6N拉到AVDD
4	LOFF_FLIP 5	R/W	0h	通道5LOFF极性翻转 翻转通道5上电流源的上拉或下拉极性，以进行导联脱落检测。 0:不翻转IN5P拉到AVDD和IN5N拉到AVSS 1:翻转IN5P拉到AVSS和IN5N拉到AVDD
3	LOFF_FLIP 4	R/W	0h	通道4LOFF极性翻转 翻转通道4上电流源的上拉或下拉极性，以进行导联脱落检测。 0:不翻转IN4P拉到AVDD和IN4N拉到AVSS 1:翻转IN4P拉到AVSS和IN4N拉到AVDD
2	LOFF_FLIP 3	R/W	0h	通道7LOFF极性翻转 翻转通道3上电流源的上拉或下拉极性，以进行导联脱落检测。 0:不翻转IN3P拉到AVDD和IN3N拉到AVSS 1:翻转IN3P拉到AVSS和IN3N拉到AVDD
1	LOFF_FLIP 2	R/W	0h	通道2LOFF极性翻转 翻转通道2上电流源的上拉或下拉极性，以进行导联脱落检测。 0:不翻转IN2P拉到AVDD和IN2N拉到AVSS 1:翻转IN2P拉到AVSS和IN2N拉到AVDD
0	LOFF_FLIP 1	R/W	0h	通道1LOFF极性翻转 翻转通道1上电流源的上拉或下拉极性，以进行导联脱落检测。 0:不翻转IN1P拉到AVDD和IN1N拉到AVSS 1:翻转IN1P拉到AVSS和IN1N拉到AVDD

9.6.1.12. LOFF_STATP:导联脱落正信号状态寄存器(地址=12h)(reset=00h)

该寄存器存储每个通道上的正极是导联还是脱落的状态。有关详细信息，请参阅导联脱落检测部分。如果相应的 LOFF_SENSP 位未设置为 1，则忽略 LOFF_STATP 值。

当 LOFF_SENSEP 位为 0 时，LOFF_STATP 位应被忽略。

7	6	5	4	3	2	1	0
IN8P_OFF	IN7P_OFF	IN6P_OFF	IN5P_OFF	IN4P_OFF	IN3P_OFF	IN2P_OFF	IN1P_OFF
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h

图例:RW=ReadWrite; R=Readonly; -n=复位后的值

表31. 铅断正信号状态字段描述

Bit	Field	Type	Reset	Description
7	IN8P_OFF	R	0h	通道8正端导联脱落状态 IN8P电极是导联还是脱落状态 0:电极导联 1:电极脱落
6	IN7P_OFF	R	0h	通道7正端导联脱落状态 IN7P电极是导联还是脱落状态 0:电极导联 1:电极脱落
5	IN6P_OFF	R	0h	通道6正端导联脱落状态 IN6P电极是导联还是脱落状态 0:电极导联 1:电极脱落
4	IN5P_OFF	R	0h	通道5正端导联脱落状态 IN5P电极是导联还是脱落状态 0:电极导联 1:电极脱落
3	IN4P_OFF	R	0h	通道4正端导联脱落状态 IN4P电极是导联还是脱落状态 0:电极导联 1:电极脱落
2	IN3P_OFF	R	0h	通道3正端导联脱落状态 IN3P电极是导联还是脱落状态 0:电极导联 1:电极脱落
1	IN2P_OFF	R	0h	通道2正端导联脱落状态 IN2P电极是导联还是脱落状态 0:电极导联 1:电极脱落
0	IN1P_OFF	R	0h	通道1正端导联脱落状态 IN1P电极是导联还是脱落状态 0:电极导联 1:电极脱落

9.6.1.13. LOFF_STATN:导联关闭负信号状态寄存器（地址=13h）（复位=00h）

该寄存器存储每个通道上的负极是导联还是脱落的状态。有关详细信息，请参阅导联脱落检测部分。如果相应的 LOFF_SENSN 位未设置为 1，则忽略 LOFF_STATN 值。

当 LOFF_SENSEN 位为 0 时，LOFF_STATP 位应被忽略。

7	6	5	4	3	2	1	0
IN8N_OFF	IN7N_OFF	IN6N_OFF	IN5N_OFF	IN4N_OFF	IN3N_OFF	IN2N_OFF	IN1N_OFF
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h

图例:RW=ReadWrite; R=Readonly; -n=复位后的值

表32. 铅断负信号状态字段描述

Bit	Field	Type	Reset	Description
7	IN8N_OFF	R	0h	通道8负端导联脱落状态 IN8N电极是导联还是脱落状态 0:电极导联 1:电极脱落
6	IN7N_OFF	R	0h	通道7负端导联脱落状态 IN7N电极是导联还是脱落状态 0:电极导联 1:电极脱落
5	IN6N_OFF	R	0h	通道6负端导联脱落状态 IN6N电极是导联还是脱落状态 0:电极导联 1:电极脱落
4	IN5N_OFF	R	0h	通道5负端导联脱落状态 IN5N电极是导联还是脱落状态

Bit	Field	Type	Reset	DescriptIOn
				0:电极导联 1:电极脱落
3	IN4N_OFF	R	0h	通道4负端导联脱落状态 IN4N电极是导联还是脱落状态 0:电极导联 1:电极脱落
2	IN3N_OFF	R	0h	通道3负端导联脱落状态 IN3N电极是导联还是脱落状态 0:电极导联 1:电极脱落
1	IN2N_OFF	R	0h	通道2负端导联脱落状态 IN2N电极是导联还是脱落状态 0:电极导联 1:电极脱落
0	IN1N_OFF	R	0h	通道1负端导联脱落状态 IN1N电极是导联还是脱落状态 0:电极导联 1:电极脱落

9.6.1.14. GPIO: General-Purpose I/O Register (address = 14h) (reset = 0Fh)

通用 IO 寄存器控制 4 个 GPIO 引脚的动作。

7	6	5	4	3	2	1	0
GPIOD[4:1]				GPIOC[4:1]			
R/W-0h				R/W-Fh			

图例:RW=ReadWrite; R=Readonly; -n=复位后的值

表33. 通用 IO 字段描述

Bit	Field	Type	Reset	DescriptIOn
7:4	GPIOD[4:1]	R/W	0h	GPIO数据 这些位用于读取和写入数据到GPIO端口。 当读取寄存器时，返回的数据对应于GPIO外部引脚的状态，无论它们是作为输入还是作为输出编程。 作为输出，对GPIOD的写入设置输出值。作为输入，写入GPIOD不起作用。
3:0	GPIOC[4:1]	R/W	Fh	这些位确定对应的GPIOD引脚是输入还是输出。 0:输出 1:输入

9.6.1.15. MISC1:多功能寄存器 1（地址=15h）（复位=00h）

该寄存器保留以备将来使用。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h

图例:RW=ReadWrite; R=Readonly; -n=复位后的值

表34. 杂项 1 寄存器字段说明

Bit	Field	Type	Reset	DescriptIOn
7:0	Reserved	R	0h	总是写0h

9.6.1.16. MISC2: 多功能寄存器 2 (address = 16h) (reset = 00h)

此寄存器保留以备将来使用。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

图例:RW=ReadWrite; R=Readonly; -n=复位后的值

表35. 杂项 1 寄存器字段说明

Bit	Field	Type	Reset	DescriptIOn
7:0	Reserved	R/W	0h	总是写0h

9.6.1.17. CONFIG4:配置寄存器 4（地址=17h）（复位=01h）

该寄存器配置转换模式并使能导联关断比较器。

7	6	5	4	3	2	1	0
0	0	0	0	SINGLE_SHOT	0	PD_LOFF_COMP	1
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-1h

图例:RW=ReadWrite; R=Readonly; -n=复位后的值

表36. 配置寄存器 4 字段描述

Bit	Field	Type	Reset	DescriptIOn
7:4	Reserved	R/W	0h	总是写0h
3	SINGLE_SHOT	R/W	0h	该位设置转换模式。 0:连续转换模式 1:单次模式
2	Reserved	R/W	0h	总是写0h
1	PD_LOFF_COMP	R/W	0h	导联脱落比较器断电控制位。 0:导联脱落比较器关闭 1:导联脱落比较器使能
0	Reserved	R/W	1h	总是写1h

9.6.1.18. LOFF_CFG:导联脱落 DC 激励源强度控制寄存器（地址=82h）（复位=04h）

该寄存器配置导联脱落直流电流源强度是否倍增。该寄存器受 UserKey 保护。需要先进行 UserKey 解锁操作。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	ILOFF_BST_EN	0
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-1h

图例:RW=ReadWrite; R=Readonly; -n=复位后的值

表37. LOFF_CFG 字段描述

Bit	Field	Type	Reset	DescriptIOn
7:2	Reserved	R/W	0h	总是写1h
1	ILOFF_BST_EN	R/W	0h	ILEADOFF电流是否倍增 0:ILEADOFF电流不倍增 1:LEADOFF电流倍增
0	Reserved	R/W	0h	保留

9.6.1.19. LOFF_FREQ:导联脱落频率配置寄存器（地址=83h）（复位=00h）

该寄存器配置导联脱落交流激励源频率。该寄存器受 UserKey 保护。需要先进行 UserKey 解锁操作。

7	6	5	4	3	2	1	0
0	0	0	0	0	AC_FREQ[2:0]		0
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-1h

图例:RW=ReadWrite; R=Readonly; -n=复位后的值

表38. LOFF_FREQ 字段描述

Bit	Field	Type	Reset	DescriptIOn
7:3	Reserved	R/W	0h	总是写0h
2:0	AC_FREQ[2:0]	R/W	0h	0h:500Hz 1h:1KHz 2h:2KHz 3h:4KHz 4h:8KHz 5h:16KHz 6h:7.8Hz 7h:31.2Hz

需要先将 LOFF 寄存器的 FLEAD_OFF[1:0]配置为 1 h

9.6.1.20. USERKEY:UserKey 解锁寄存器（地址=182h）（复位=00h）

该寄存器解锁 UserKey 保护。向该地址写入 0xAC，即为执行解锁操作。解锁后，受保护的寄存器才能读写。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

图例:RW=ReadWrite; R=Readonly; -n=复位后的值

10. 应用

10.1. 应用信息

10.1.1. 未使用的输入和输出

关闭未使用的模拟输入并将其直接连接到 AVDD。

如果未使用，则关闭偏置放大器，并浮动 BIASOUT 和 BIASINV。BIASIN 也可以浮动，或者如果未使用，可以直接绑定到 AVSS。

将 BIASREF 直接绑定到 AVSS，如果未使用，则保持浮动。

将 SRB1 和 SRB2 直接连接到 AVSS，或者如果未使用，则使其保持浮动状态。

不要浮动未使用的数字输入，因为可能会导致过大的电源泄漏电流。通过 $\geq 10\text{-k}\Omega$ 电阻将双稳态模式设置引脚设置为高电平至 DVDD 或低电平至 DGND。

如果未使用，则使用弱上拉电阻将 DRDY 拉至电源。

如果没有菊花链设备，请将 DAISYIN 直接连接到 DGND。

10.1.2. 设置用于基本数据捕获的设备

下图概述了将设备配置在基本状态并捕获数据的过程。此过程将设备置于与规格部分中列出的参数相匹配的配置中，以检查设备是否在用户系统中正常工作。最初遵循此过程，直到熟悉设备设置。验证此过程后，可以根据需要配置设备。有关命令计时的详细信息，请参阅数据手册中的相应部分。为 ECG 和 EEG 特定功能添加了示例编程代码。

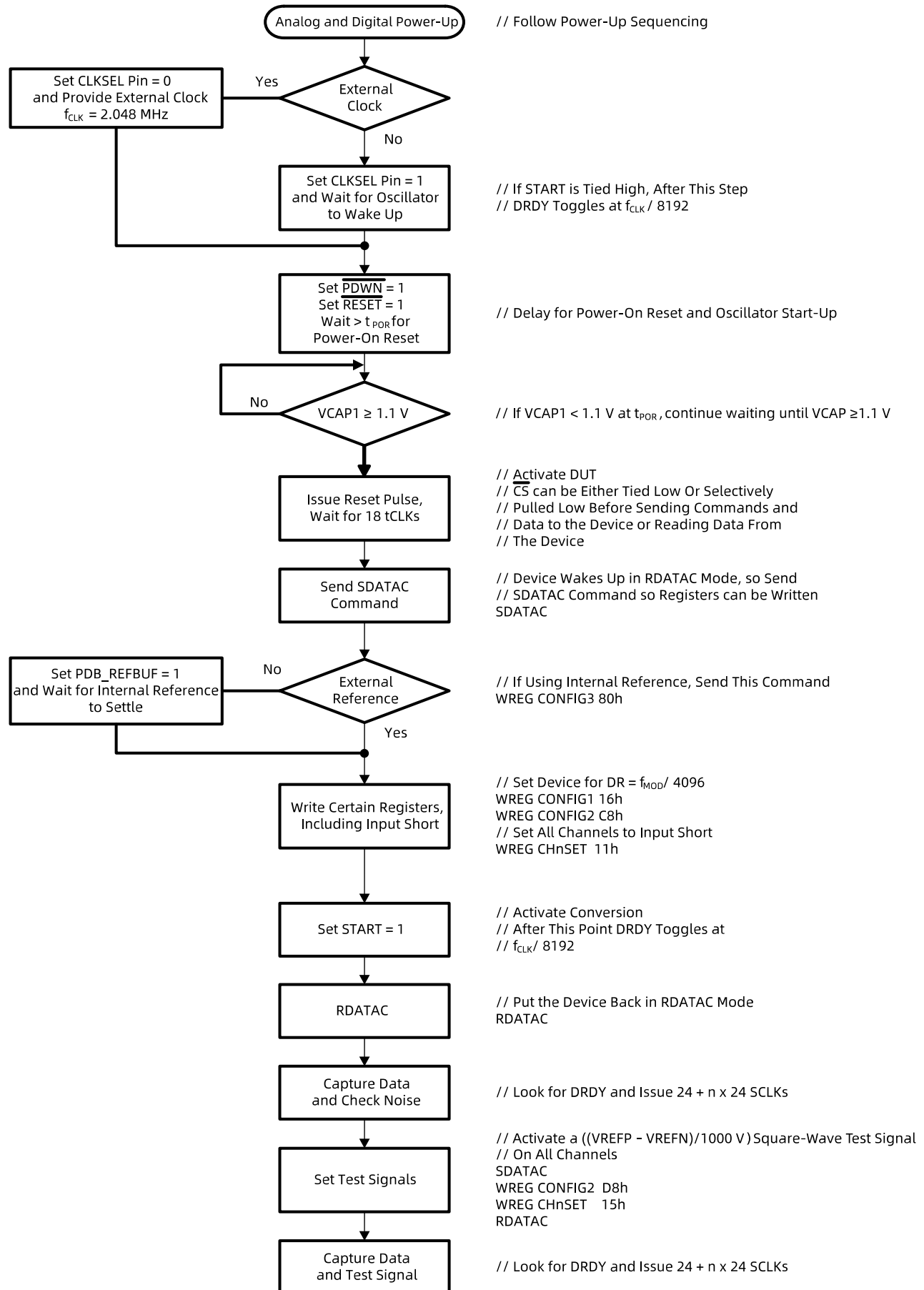


图40. 上电时的初始流程

10.1.3. 建立输入共模

LHE7909 测量共模电压点为正、负模拟输入中点的全差分信号。由于工作所需的裕量，内部 PGA 限制了共模输入范围。人体容易发生共模漂移，因为噪声很容易耦合到人体上，类似于天线。这些共模漂移可能会使 LHE7909 输入共模电压超出 ADC 的可测量范围。

如果系统使用患者驱动电极，则 LHE7909 包括一个片上偏置驱动(BIAS)放大器，用于连接患者驱动电极。偏置放大器的功能是对病人进行偏置，使其他电极共模电压保持在有效范围内。上电时，放大器使用模拟中间电源电压或 BIASREF 引脚上的电压作为参考输入，将患者驱动到该电压。

LHE7909 提供使用输入电极电压作为放大器反馈的选项，通过在 BIAS_SENSP 和 BIAS_SENSN 寄存器中设置相应位，更有效地稳定放大器基准电压的输出。下图显示出了利用该技术的三电极系统的示例。

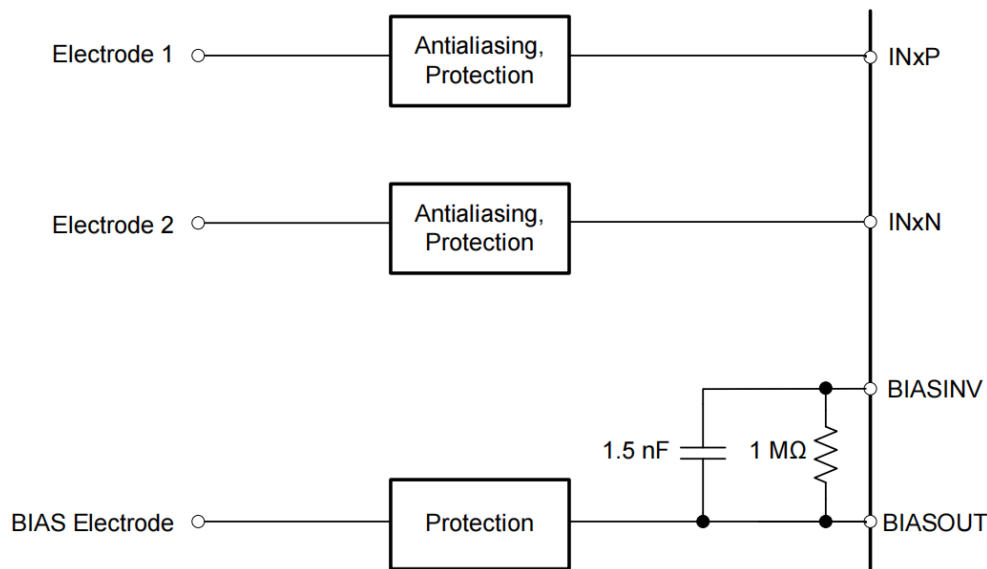


图41. 使用偏置电极设置共模

10.1.4. 多设备配置

LHE7909 设计用于在系统中使用多个器件时提供配置灵活性。串行接口通常需要四个信号: DIN、DOUT、SCLK 和 CS。每个器件附加一个片选信号，可将多个器件连接在一起。接口 n 个设备所需的信号数为 3+n。

偏置驱动放大器可以采用菊花链连接，如多器件偏置配置部分所述。要在菊花链配置中使用内部振荡器，必须将一个器件设置为时钟源的主器件，使能内部振荡器(CLKSEL 引脚=1)，并通过将 CLK_EN 寄存器位设置为“1”将内部振荡器时钟送出器件。此主设备时钟用作其他设备的外部时钟源。

当使用多个设备时，设备可以与启动信号同步。对于给定的数据速率，从启动到 DRDY 信号的延迟是固定的(有关建立时间的更多详细信息，请参阅 SPI 接口部分的启动小节)。下图显示了两个设备在与启动信号同步时的行为。

有两种方法可以通过最佳数量的接口引脚连接多个器件:级联模式和菊花链模式。

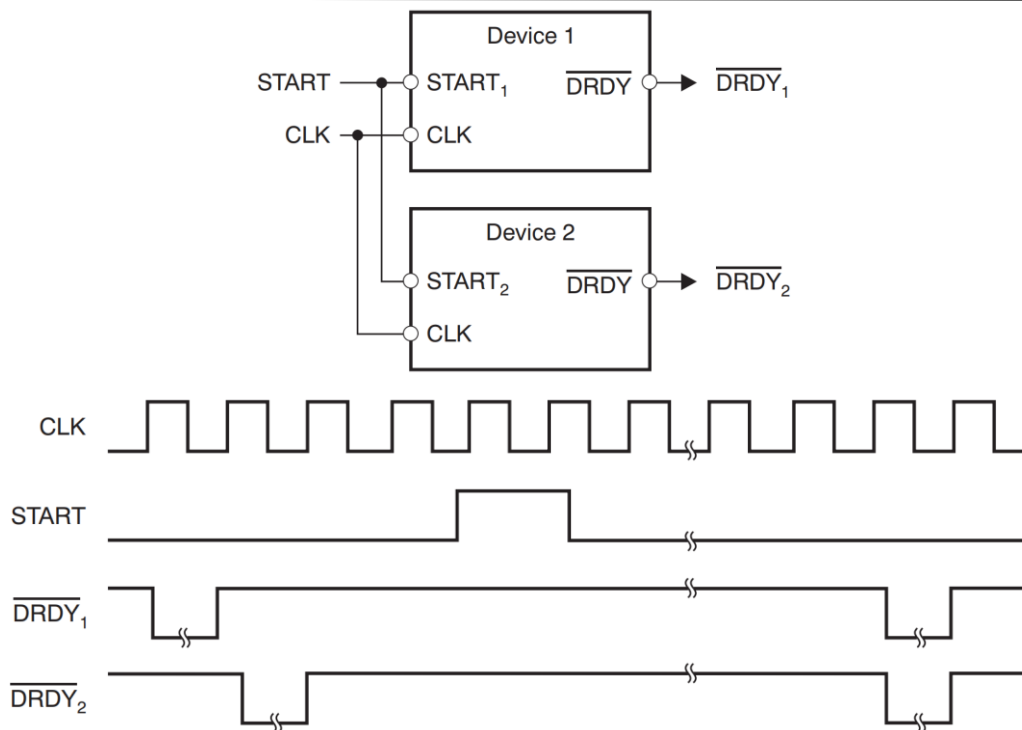


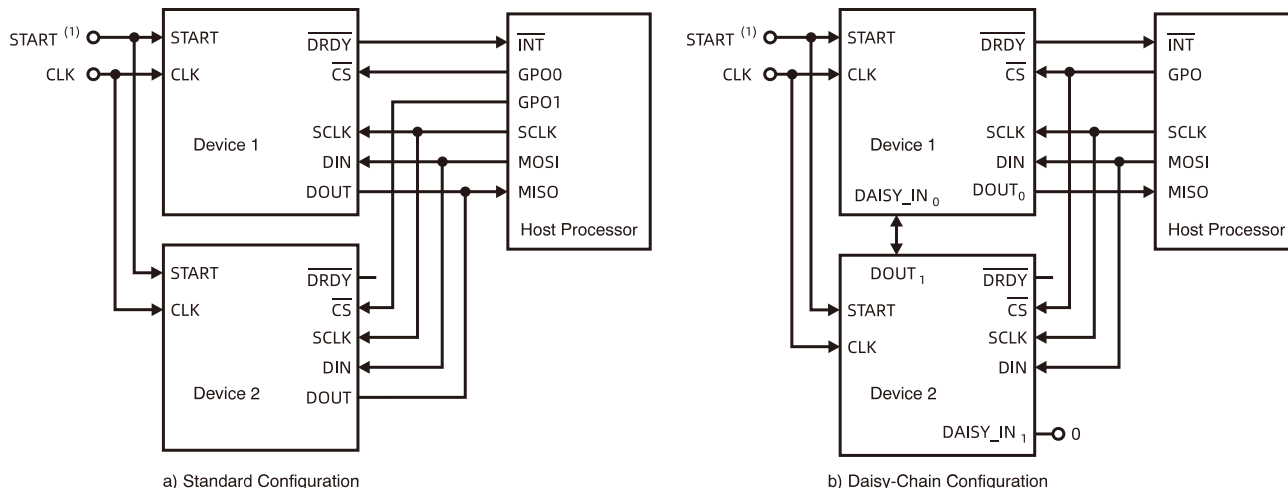
图42. 同步多个转换器

10.1.4.1. 级联模式

下图 a 说明了两个器件级联在一起的配置。这些设备共同创建了一个具有 16 个通道的系统。DOUT、SCLK 和 DIN 共享。每个设备都有自己的芯片选择。当一个设备没有被驱动到逻辑 1 的相应CS选择时，该设备的 DOUT 是高阻抗的。这种结构允许另一个器件控制 DOUT 总线。这种配置方法适用于大多数应用。

10.1.4.2. 菊花链模式

通过设置 CONFIG1 寄存器中的 DAISY_EN 位来启用菊花链模式。下图 b 示出了菊花链配置。在此模式下，SCLK、DIN 和CS可跨多个设备共享。第二设备的 DOUT 连接到第一设备的 DAISY_IN，从而创建链。使用菊花链模式时，多重回读功能不可用。如果不使用，请将 DAISY_IN 引脚短接至数字地。图 2. 描述了下图配置中所示器件所需的时序。来自设备 1 的状态和数据首先出现在 DOUT 上，然后是来自设备 2 的状态和数据。LHE7909-8 可与第二个 LHE7909-8、一个 LHE7909-6 或一个 LHE7909-4 菊花链连接。



(1) 要减少引脚数，请将 START 引脚设置为低电平，并使用 STARTserial 命令同步和启动转换。

图43. 多种设备配置

当链中的所有器件工作在相同的寄存器设置时，DIN 也可以共享。这种配置将 SPI 通信信号减少到四个，而不考虑设备的数量。偏置驱动器不能在多个器件之间共享，必须使用外部时钟，因为在共享公共 DIN 时不能对各个器件进行编程。

请注意，从图 2. 中，SCLK 上升沿将 DOUT 上的数据移出器件。SCLK 负边沿用于将数据锁存到器件 DAISY_IN 引脚上。这种架构允许更快的 SCLK 速率，但也使接口对板级信号延迟敏感。链中的设备越多，坚持设置和保持时间就越具挑战性。SCLK 与所有器件的星形连接、最大限度地减少 DOUT 长度以及其他印刷电路板(PCB)布局技术都很有帮助。在 DOUT 和 DAISY_IN 之间放置延迟电路（如缓冲器）是减轻这一挑战的方法。另一种选择是在 DOUT 和 DAISY_IN 之间插入一个 d 触发器，时钟在一个倒置的 SCLK 上。另请注意，菊花链模式需要一些软件开销来重组跨字节边界分布的数据位。下图示出了用于该模式的时序图。

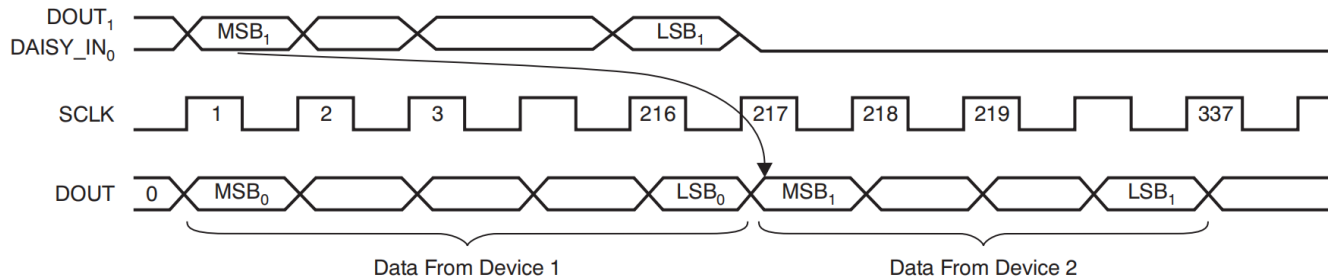


图44. 菊花链定时

可菊花链连接的最大器件数量取决于器件工作时的数据速率。最大器件数量可用公式 10 近似计算。

$$N_{\text{DEVICES}} = \frac{f_{\text{SCLK}}}{f_{\text{DR}} (N_{\text{BITS}})(N_{\text{CHANNELS}}) + 24} \quad (10)$$

where:

N 位=设备分辨率（取决于数据速率），和 N 通道=设备中的通道数。

例如，当 8 通道 LHE7909-8 采用 4MHz f_{SCLK} 以 2-kSPS 数据速率工作时，可将 10 个器件菊花链连接起来。

10.2. 典型应用

与其他类型的生物电势信号相比，在脑电图（EEG）中测 的生物电势信号很小。LHE7909-8 具有极低的输入参考噪声（来自高性能内部 PGA），因此可测量此类小信号。下图是典型 EEG 测量设置中如何配置 LHE7909-8 的示例。下图显示了如何在顺序蒙特奇中测量电极连接。

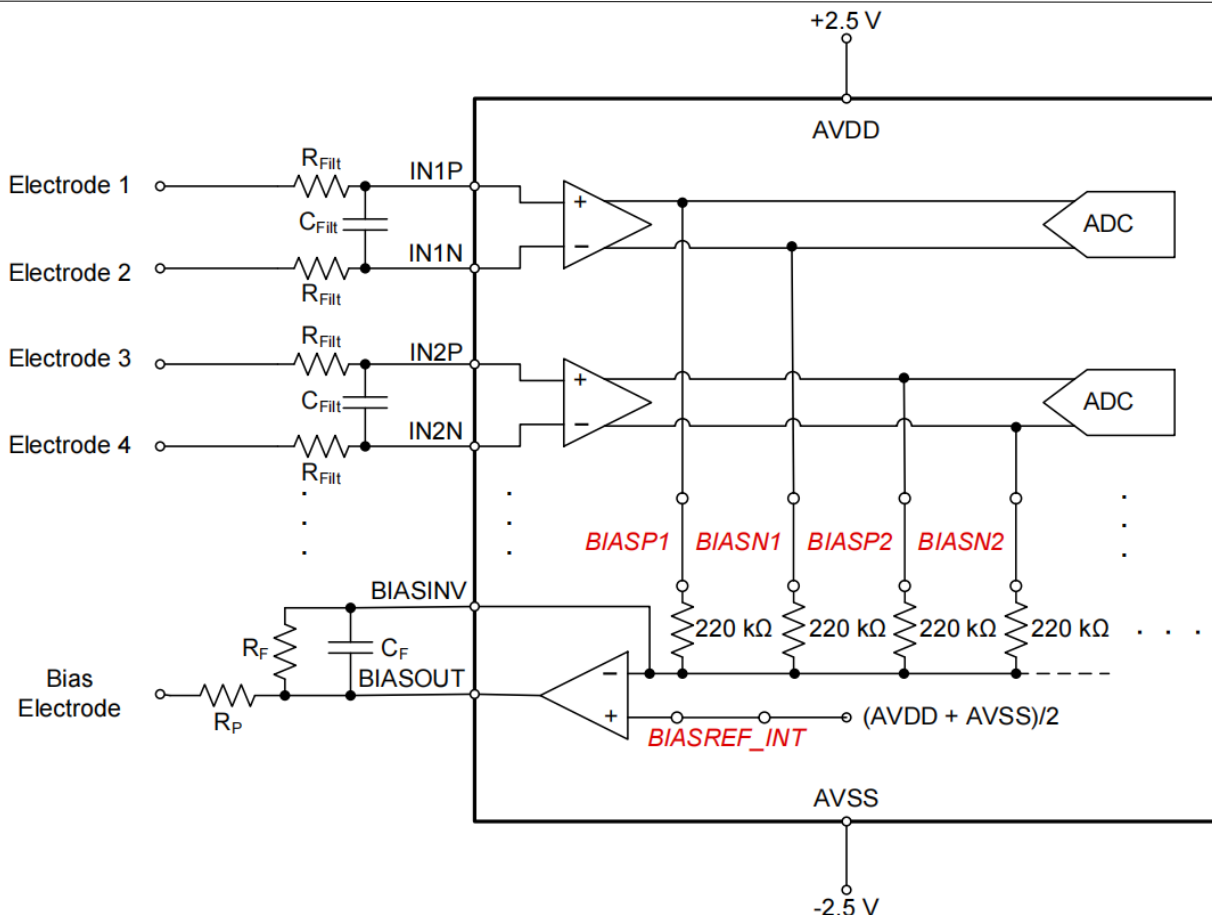


图45. 在脑电图数据采集应用程序中使用 LHE7909-8 的示例原理图，顺序蒙太奇

11. 电源建议

LHE7909 具有两个电源:AVDD 和 DVDD。为了获得最佳性能, AVDD 尽可能干净。用 10μF 电容旁路每个设备电源系统中的微控制器、FPGA 等, 这样这些器件上的返回电流就不会穿过器件的模拟返回路径。可使用单极或双极电源为 LHE7909 供电。

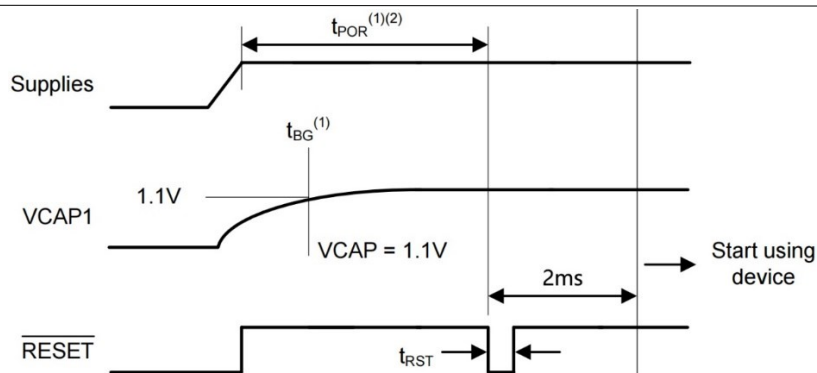
使用表面贴装、低成本、薄型、多层陶瓷型电容器进行去耦。在大多数情况下, VCAP1 电容器也是多层陶瓷; 然而, 在电路板经受高或低频率振动的系统中, 安装非铁电电容器, 例如钽或 1 类电容器(C0G 或 NPO)。EIA2 类和 3 类电介质如 (X7R, X5R, X8R 等) 是铁电的。这些电容器的压电特性可以表现为来自电容器的电噪声。使用内部基准时, VCAP1 节点上的噪声会导致性能下降。

11.1. 上电顺序

上电前, 所有数字和模拟输入必须为低电平。上电时, 将所有这些信号保持在低电平, 直到电源稳定, 如下图所示。

给电源电压留出时间达到其最终值, 然后开始向 CLK 引脚提供主时钟信号。等待时间 t_{POR} , 然后使用 RESET 引脚或 RESET 命令发送复位脉冲以初始化芯片的数字部分。在 t_{POR} 之后或 VCAP1 电压大于 1.1V 之后发出复位, 以时间较长者为准。请注意:

- t_{POR} 描述于下表中。
- VCAP1 引脚充电时间由 VCAP1 上的 RC 时间常数设置;见复位引脚 RESET 释放后, 对配置寄存器进行编程。上电时序示于下图。



- (1) 复位脉冲的定时是 t_{POR} 或 $t_{BG}^{(1)}$ 之后，以较长者为准。
(2) 当使用外部时钟时，直到 CLK 存在且有效才开始 t_{POR} 计时。

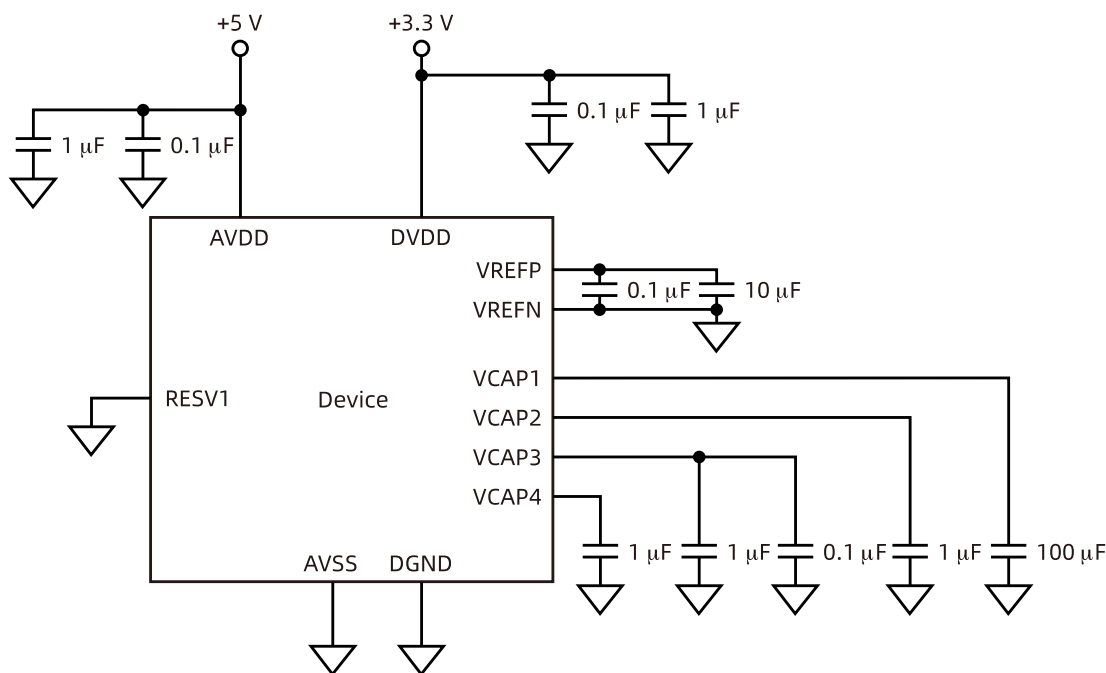
图46. 上电时序图

表39. 上图的时序要求

		典型值	推荐值	UNIT
t_{POR}	上电后等待，直到复位	32	100	ms
t_{RST}	复位低持续时间	2		t_{CLK}

11.2. 将器件连接到单极（5V 和 3.3V）电源

下图显示了连接到单极电源的 LHE7909。在本例中，模拟电源(AVDD)以模拟地(AVSS)为参考，数字电源(DVDD)以数字地(DGND)为参考。

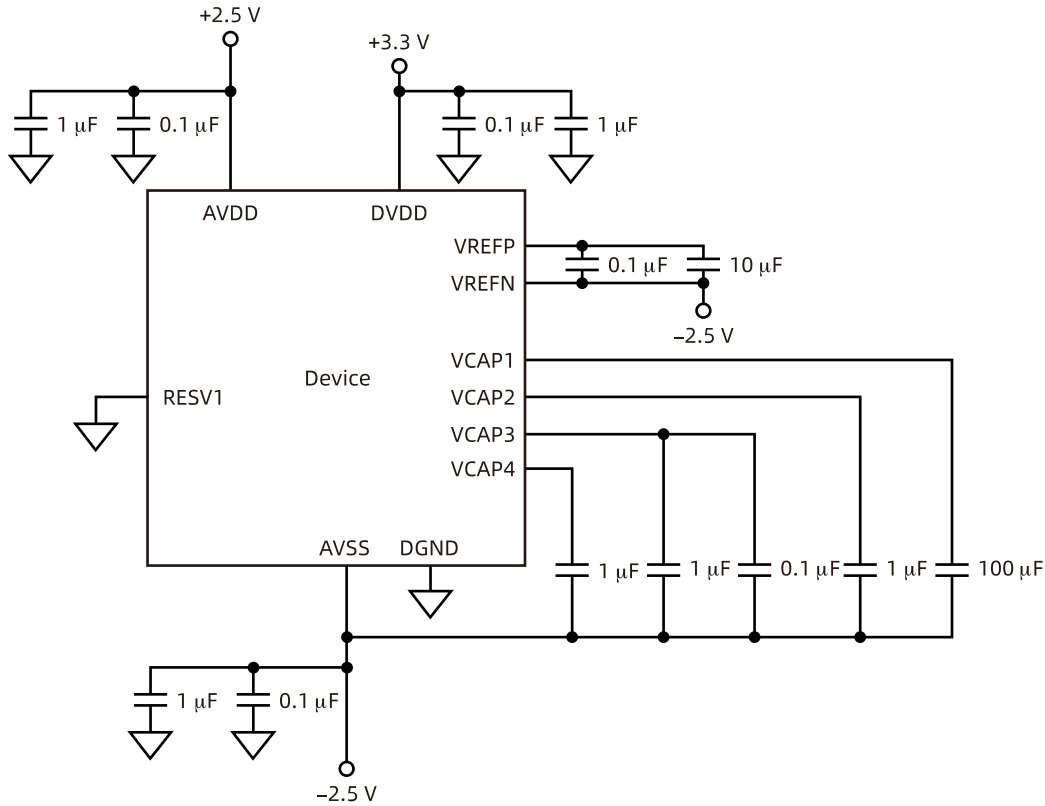


注意：将电源电容、基准电容和 VCAP1 至 VCAP4 电容尽可能靠近封装。

图47. 单电源操作

11.3. 将器件连接到双极性(±2.5V 和 3.3V)电源

下图显示了连接到双极性电源的 LHE7909。在本例中，模拟电源连接到设备模拟电源(AVDD)。该电源以器件模拟返回(AVSS)为参考，数字电源(DVDD)以器件数字地返回(DGND)为参考。



注意：将电源电容器、基准电容器和 VCAP1 至 VCAP4 电容器尽可能靠近封装。

图48. 双极供电操作

12. 布局

12.1. 布局指南

建议在为模拟和数字组件布置印刷电路板(PCB)时采用最佳设计实践。此建议通常意味着布局将模拟组件[如 ADC、放大器、基准、数模转换器(DAC)和模拟多路复用器]与数字组件[如微控制器、复杂可编程逻辑器件(CPLD)、现场可编程门阵列(FPGA)、射频(RF)收发器、通用串行总线(USB)收发器和开关调节器]分开。良好的元件布局例子示于下图。虽然下图提供了一个很好的元件放置示例，但每个应用的最佳放置是所采用的几何形状、元件和 PCB 制造能力所特有的。也就是说，没有一个单一的布局是完美的。当设计中包含模拟器件是，需要仔细思考布局。

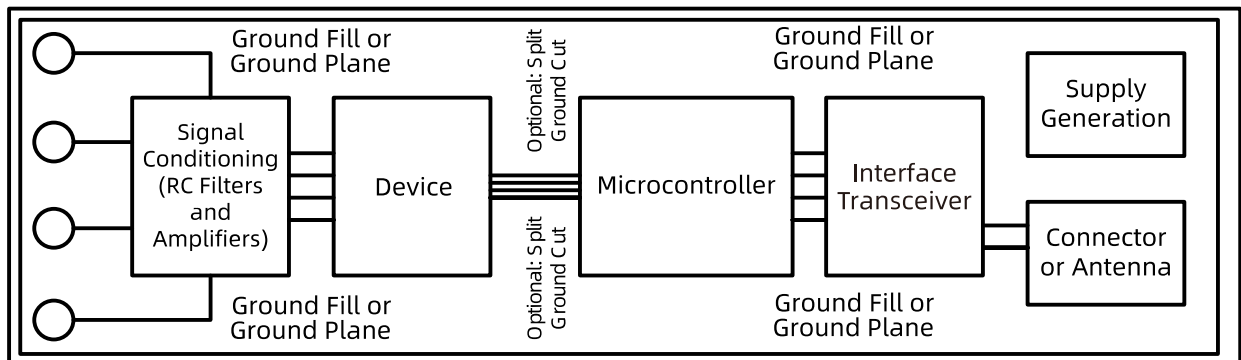


图49. 系统组件放置

以下概述了 LHE7909 布局的一些基本建议，以获得 ADC 的最佳性能。一个好的设计可能会被一个坏的电路布局破坏。

- 分离模拟和数字信号。首先，在布局允许的情况下，将电路板划分为模拟和数字部分。数字线路远离模拟线路。此配置可防止数字噪声耦合回模拟信号。

- 接地层可以分为模拟层(AGND)和数字层(DGND)，但不是必需的。在数字平面上放置数字信号，在模拟平面上放置模拟信号。作为布局的最后一步，模拟地和数字地之间的分割必须在 ADC 处连接在一起。
- 用地面填充信号层上的空隙区域。
- 提供良好的地面返回路径。信号返回电流在阻抗最小的路径上流动。如果接地层被切割或有其他迹线阻止电流在信号迹线旁边流动，那么电流必须找到另一条路径以返回源极并完成电路。如果电流被迫进入更长的路径，信号辐射的机会就会增加。敏感信号更容易受到 EMI 干扰。
- 在电源上使用旁路电容以降低高频噪声。不要在旁路电容和有源器件之间放置过孔。将旁路电容放置在靠近有源器件的同一层上可获得最佳效果。
- 具有差分连接的模拟输入必须在输入端有一个差分电容。差分电容必须是高质量的。最好的陶瓷片式电容器是 C 0 G(NPO)，具有稳定的性能和低噪声特性。

12.2. 布局示例

下图是需要至少两个 PCB 层的 LHE7909-8 布局示例。示例电路显示为单个模拟电源或双极电源连接。在本例中，多边形走线用作设备周围的电源连接。如果使用三层或四层 PCB，则额外的内层可专用于布线电源走线。PCB 由从左侧路由的模拟信号、路由到右侧的数字信号以及设备上方和下方的电源进行分区。

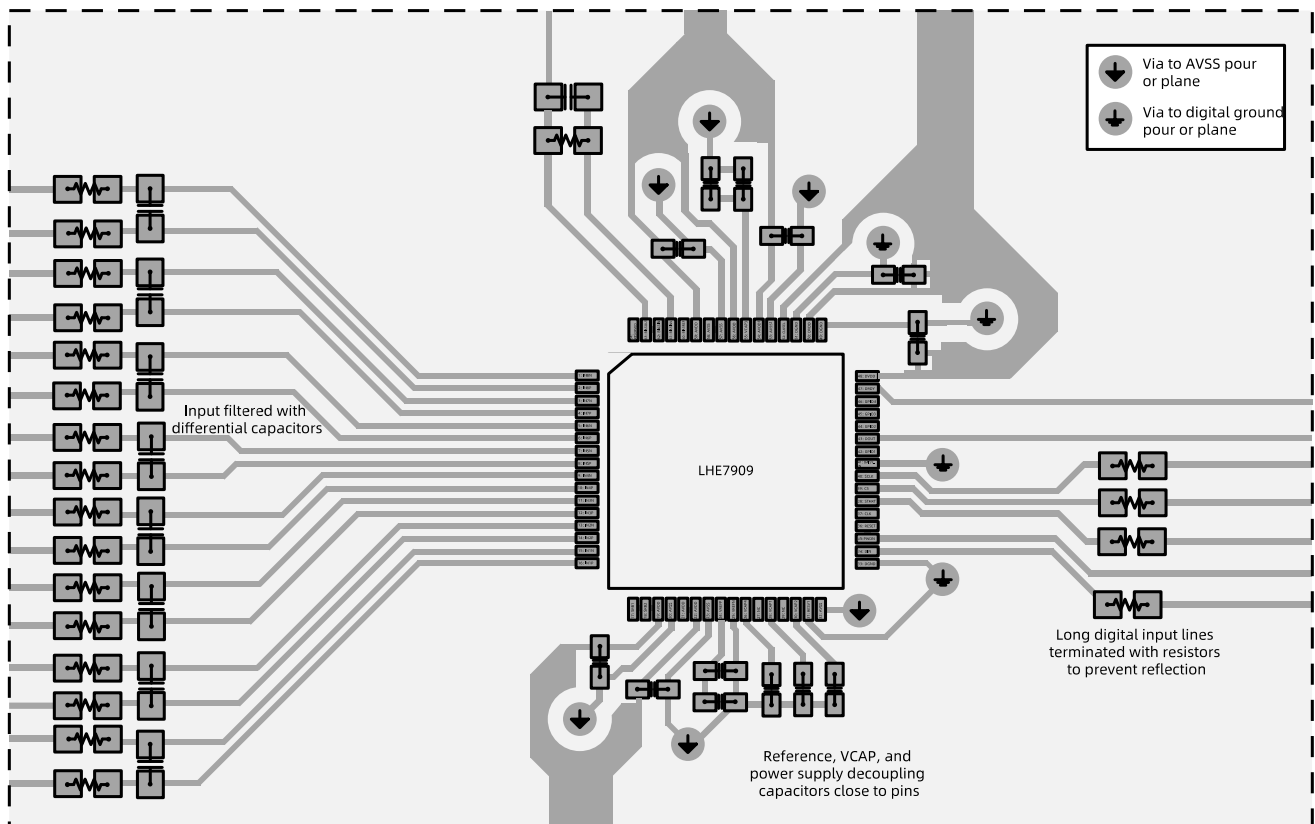


图50. LHE7909 示例布局

13. 封装和可订购信息

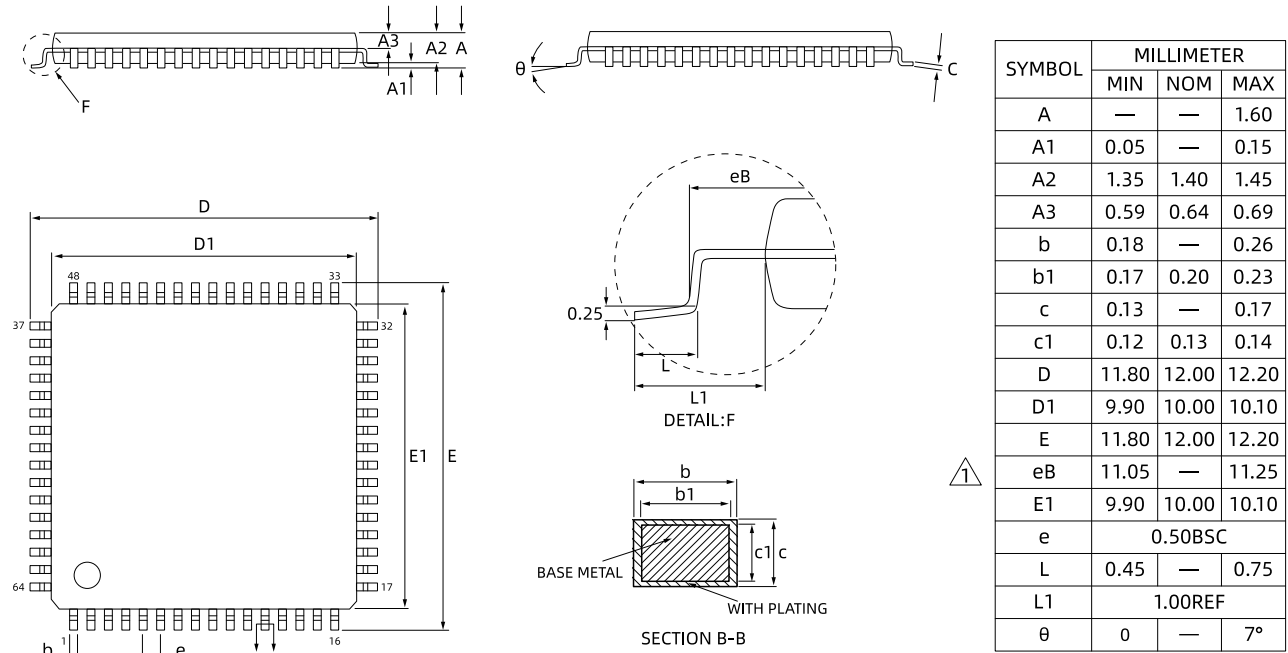


图51. 封装尺寸图

14. 封装和可订购信息

表40. 采购信息

芯片编号	通道数	精度	温度范围	封装类型	引脚数	功耗选择
LHE7909-8FSELBB	8	24bit	-40°C 至 +85°C	LQFP	64	超高分辨率模式
LHE7909-4FSELBB	4	24bit	-40°C 至 +85°C	LQFP	64	超高分辨率模式

表41. 包装规格

订购型号	封装类型	引脚数	包装类型	大包装量	备注
LHE7909-8FSELBB	LQFP	64	TRAY	800 颗/包	
LHE7909-4FSELBB	LQFP	64	TRAY	800 颗/包	

注释: REEL: 卷带包装;
TRAY: 托盘包装;
TUBE: 管式包装;